[illegible]

(A prototype design of a railroad crossing system control using radio transceiver)

โดย

นาย[illegible] รหัสประจำตัว B4406440

รายงานนี้เป็นส่วนหนึ่งของการศึกษาวิชา 427 499 โครงงานวิศวกรรมโทรคมนาคม

ประจำภาคการศึกษาที่ 3 ปีการศึกษา 2547

หลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม หลักสูตรปรับปรุง พ.ศ. 2541

สำนักวิชาวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีสุรนารี

CONTRIBUTION

การออกแบบระบบเครื่องต้นแบบสำหรับควบคุมแผงกั้นรถไฟด้วยเครื่องรับส่งวิทยุ

(A prototype design of a railroad crossing system control using radio transceiver)

โดย

นายสนิท กัลยา รหัสประจำตัว B4406440

รายงานนี้เป็นส่วนหนึ่งของการศึกษาวิชา 409 469 โครงงานศึกษาวิศวกรรมโทรคมนาคม
ประจำภาคการศึกษาที่ 3 ปีการศึกษา 2547
หลักสูตรวิศวกรรมศาสตร์บัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม หลักสูตรปรับปรุง พ.ศ. 2541
สำนักวิชาวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีสุรนารี

ศูนย์บรรณสารและสื่อการศึกษา
มหาวิทยาลัยเทคโนโลยีสุรนารี

โครงงาน	การออกแบบระบบเครื่องต้นแบบสำหรับควบคุมแผงกั้นรถไฟด้วยเครื่องรับส่งวิทยุ
ผู้ดำเนินงาน	นายสนิท กัลยา
อาจารย์ที่ปรึกษา	อาจารย์ ดร.ชาญชัย ทองโสภา
สาขาวิชา	วิศวกรรมโทรคมนาคม
ภาคการศึกษาที่	3/2547

บทคัดย่อ

การออกแบบระบบเครื่องต้นแบบสำหรับควบคุมแผงกั้นรถไฟด้วยเครื่องรับส่งวิทยุ ประกอบไปด้วยส่วนการทำงาน 3 ส่วน คือ ภาคควบคุมระบบ ภาคการติดต่อสื่อสาร และภาคควบคุมแผงกั้นรถไฟ โดยระบบอาศัยการรับส่งข้อมูลด้วยสัญญาณ DTMF (Dual Tone Multi-Frequency) ในย่านความถี่ VHF (Very High Frequency) และควบคุมการทำงานของระบบโดยอาศัยไมโครคอนโทรลเลอร์ตระกูล MCS-51 หลักการทำงานของระบบจะทำการตรวจสอบรหัสควบคุมระหว่างภาคส่งและภาครับว่าถูกต้องตรงกันหรือไม่ ถ้าถูกต้องตรงกัน ก็จะทำการเปิด-ปิดแผงกั้นรถไฟ โดยรหัสควบคุมนั้นทำการโปรแกรมไว้ในไมโครคอนโทรลเลอร์

กิตติกรรมประกาศ

การจัดทำโครงงานออกแบบระบบต้นแบบสำหรับควบคุมแผงกั้นรถไฟด้วยเครื่องรับส่งวิทยุชิ้นนี้ เสร็จสมบูรณ์ลงได้ ก็เพราะด้วยความกรุณาของบุคคลหลายท่าน ซึ่งคอยให้ความช่วยเหลือ คำปรึกษา รวมทั้งข้อเสนอแนะที่เป็นประโยชน์ ในการทำโครงงานครั้งนี้ซึ่งประกอบด้วย อาจารย์ ดร.ชาญชัย ทองโสภา อาจารย์ที่ปรึกษาโครงงานผู้เปิดโอกาสให้ผู้จัดทำได้สัมผัสและรู้จักกับการทำโครงงานนี้เป็นผู้ประสิทธิ์ประสาทวิชาความรู้ รวมทั้งให้คำแนะนำอันเป็นประโยชน์อย่างยิ่งเกี่ยวกับโครงงาน ผศ.ดร.รังสรรค์ วงศ์สรรค์ หัวหน้าสาขาวิชาวิศวกรรมโทรคมนาคม มหาวิทยาลัยเทคโนโลยีสุรนารี ผู้ซึ่งมีความเมตตาคอยให้ความช่วยเหลือในทุกเรื่อง รวมทั้งคอยให้คำแนะนำปรึกษาอันเป็นผลทำให้โครงงานชิ้นนี้สำเร็จลุล่วงลงได้

ขอขอบคุณ คุณประพล จาระตะคุ ที่ให้ความช่วยเหลือในการดำเนินการเกี่ยวกับงบประมาณที่ใช้ในการดำเนินโครงการ คุณวิชัย ศรีสุรักษ์ที่ช่วยให้คำปรึกษาเกี่ยวกับวงจรอิเล็กทรอนิกส์และการเขียนโปรแกรม เจ้าหน้าที่ห้องปฏิบัติการวิศวกรรมโทรคมนาคม ห้องปฏิบัติการไมโครโปรเซสเซอร์ ห้องปฏิบัติการวงจร และอุปกรณ์ทุกท่านที่ให้ความช่วยเหลือเกี่ยวกับอุปกรณ์และเครื่องมือต่าง ๆ รวมทั้งเพื่อนๆ และน้องๆ ทุกคนสำหรับความช่วยเหลือที่ดีและกำลัง ใจที่มอบให้ตลอดมา

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณบิดามารดา และพี่ชายของข้าพเจ้าผู้ให้โอกาสทางการศึกษา และคอยสนับสนุนด้วยดีตลอดมารวมทั้งกำลังใจที่คอยมอบให้ผู้จัดทำอย่างหาที่เปรียบมิได้

สนิท กัลยา

สารบัญ

	หน้า
บทคัดย่อ	ก
กิตติกรรมประกาศ	ข
สารบัญ	ค
สารบัญตาราง	จ
สารบัญภาพ	ฉ
คำอธิบายสัญลักษณ์และคำย่อ	ซ
บทที่	
1. บทนำ	1
2. การออกแบบและทำงานของวงจร	4
2.1 กล่าวนำ	4
2.2 ภาคส่งสัญญาณ DTMF (Dual Tone Multifrequency)	5
2.2.1 ภาคเชื่อมต่อกับวิทยุสื่อสาร	10
2.3 ภาครับสัญญาณ DTMF (DTMF Receiver)	10
2.4 ภาครีเลย์เปิด-ปิด สัญญาณไฟ และตัดต่อไมค์วิทยุสื่อสาร	14
2.5 แบบจำลองแผงกั้นรถไฟ	15
2.5.1 แหล่งจ่ายไฟดีซี 12 โวลต์	17
3. การออกแบบโปรแกรม	19
3.1 โปรแกรมภาคควบคุมระบบ	19
3.2 โปรแกรมภาคควบคุมแผงกั้นรถไฟ	21
3.3 สรุปการทำงานของโปรแกรม	22
4. การทดลองและผลการทดลอง	23
4.1 กล่าวนำ	23
4.2 การทดสอบส่งผ่านความถี่จากเครื่องกำเนิดสัญญาณผ่านเครื่องรับส่งวิทยุ	23

สารบัญ (ต่อ)

บทที่	หน้า
4.3 การทดสอบไอซีสร้างสัญญาณ DTMF	27
4.4 การส่งผ่านสัญญาณ DTMF ด้วยเครื่องรับส่งวิทยุ	28
4.5 วงจรถอดรหัสสัญญาณ DTMF	29
4.6 แหล่งจ่ายกำลังไฟฟ้าให้กับมอเตอร์	30
4.7 การทดสอบแบบจำลองแผงกั้นรถไฟ	31
4.8 การทดสอบการเชื่อมต่อระบบโดยสมบูรณ์	32
4.9 สรุป	35
5. สรุปผลการทดลอง และข้อเสนอแนะ	36
5.1 สรุปผลการออกแบบโครงงาน	36
5.2 ปัญหาที่พบ และแนวทางในการแก้ไขปัญหา	37
5.3 ข้อเสนอแนะ	38
5.4 แนวทางการพัฒนาต่อไป	39
บรรณานุกรม	40
ภาคผนวก ก วงจรใช้งาน และลายวงจรแผ่นทองแดงพิมพ์	41
ภาคผนวก ข โปรแกรมควบคุมการทำงานของระบบ	47
ภาคผนวก ค ภาพถ่ายอุปกรณ์ และเครื่องมือที่ได้ออกแบบ จัดสร้าง	55
ภาคผนวก ง Data sheet	59
ประวัติผู้เขียน	113

สารบัญตาราง

ตารางที่		หน้า
2.1	แสดงรายละเอียดของขาไอซีเบอร์ MT8888CE	6
2.2	แสดงรายละเอียดของขาไอซีเบอร์ MT8870	12
4.1	แสดงความถี่ที่ใช้สร้างสัญญาณ DTMF และค่า BCD code ที่ได้	24

สารบัญภาพ

ภาพที่		หน้า
2.1	โครงสร้างโดยรวมของระบบ	4
2.2	บล็อกไดอะแกรมของการส่งสัญญาณ DTMF ควบคุมด้วยไมโครคอนโทรลเลอร์	5
2.3	แสดงขา และวงจรใช้งานของไอซีเบอร์ MT8888CE	7
2.4	แสดงวงจรของส่วนเชื่อมต่อไมโครคอนโทรลเลอร์กับภาคส่งสัญญาณ DTMF	9
2.5	แสดงบล็อกไดอะแกรมของการต่อไมค์และลำโพงของวิทยุสื่อสารเพื่อใช้งาน	10
2.6	แสดงบล็อกไดอะแกรมภาครับสัญญาณ DTMF	10
2.7	แสดงขา และวงจรใช้งานของไอซีเบอร์ MT8870	11
2.8	แสดงวงจรของส่วนเชื่อมต่อไมโครคอนโทรลเลอร์กับไอซี MT8870	13
2.9	แสดงลักษณะของวงจร ตัวถัง และตารางคุณสมบัติทางเทคนิคของไอซี ULN 2003	14
2.10	แสดงวงจรขับภายในของไอซี ULN 2003 หนึ่งใน 7 วงจรที่มีอยู่ภายในไอซี	15
2.11	แสดงโครงสร้างโดยรวมของแบบจำลองแผงกั้นรถไฟ	15
2.12	แสดงลักษณะของวงจร ตัวถัง วงจรขับภายใน และตารางคุณสมบัติทางเทคนิคของไอซี ULN 2804	16
2.13	แสดงลักษณะของวงจรใช้งาน ตัวถัง และตารางคุณสมบัติทางเทคนิคของไอซีเบอร์ MCT7812	17
2.14	แสดงวงจรสมบูรณ์ของแบบจำลองแผงกั้นรถไฟ	18
3.1	แสดงแผนภูมิการทำงานโปรแกรมหลักภาคควบคุมระบบ	19
3.2	แสดงแผนภูมิการทำงานโปรแกรมหลักภาคควบคุมระบบ (ต่อ)	20
3.3	แสดงแผนภูมิการทำงานโปรแกรมภาคควบคุมแผงกั้นรถไฟ	21
4.1	แสดงการจัดอุปกรณ์ทดลองการส่งความถี่ผ่านวิทยุสื่อสาร	23
4.2	แสดงผลการทดลองในการส่งผ่านความถี่ตามตารางที่ 4.1	25
4.3	แสดงผลการทดลองในการหาความถี่ต่ำสุด และสูงสุดที่ไมค์ของวิทยุสื่อสารสามารถตอบสนองได้	26
4.4	แสดงวงจรทดสอบประสิทธิภาพไอซี MT8888CE	27
4.5	แสดงรูปสัญญาณ DTMF ซึ่งถูกแปลงจากค่า BCD code หมายเลข 5	27

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
4.6 แสดงรูปการต่ออุปกรณ์ในการส่งผ่านสัญญาณ DTMF ด้วยวิทยุสื่อสาร	28
4.7 แสดงรูปของสัญญาณ DTMF ที่ภาครับ	28
4.8 แสดงวงจรถอดรหัสสัญญาณ DTMF	29
4.9 แสดงวงจรแหล่งจ่ายกำลังไฟฟ้ากระแสตรงขนาดแรงดัน 12 โวลต์	30
4.10 แสดงการต่ออุปกรณ์การในการวัดแรงดันไฟฟ้ากระเพื่อม	30
4.11 แสดงรูปของสัญญาณกระเพื่อม	31
4.12 แสดงอุปกรณ์ในการทดสอบการยกแผงกั้นรถไฟขึ้น และลง	32
4.13 แสดงการจัดอุปกรณ์กระบวนการทดสอบระบบโดยไม่ผ่านเครื่องรับส่งวิทยุ	33
4.14 แสดงการจัดอุปกรณ์กระบวนการทดสอบเชื่อมโยงระบบโดยผ่านเครื่องรับส่งวิทยุ	34

คำอธิบายสัญลักษณ์และคำย่อ

สัญลักษณ์	ความหมาย
ASK	Amplitude Shift Keying
BCD	Binary Coded Decimal
CB	Citizen Band
DTMF	Dual Tone Multi-Frequency
GFSK	Gaussian Frequency Shift Keying
GPS	Global Positioning System
FSK	Frequency Shift Keying
Hz	Hertz
LED	Light Emitting Diode
PSK	Phase Shift Keying
PTT	Push to Talk
RF	Radio Frequency
RRR	Ripple Rejection Ratio
RX	Receiver
TR	Transceiver
TX	Transmitter
UHF	Ultra High Frequency
V	Voltage
VHF	Very High Frequency

บทที่ 1
บทนำ

1.1 ปัญหาและที่มาของโครงงาน

ในปัจจุบันมีถนนตัดผ่านรางรถไฟเป็นจำนวนมาก ซึ่งถนนบางสายนั้นไม่มีแผงกั้นรถไฟ เป็นสาเหตุให้เกิดอุบัติเหตุขึ้นบ่อยครั้ง ในการสร้างแผงกั้นรถไฟเพิ่มนั้นถ้าใช้เจ้าหน้าที่ในการควบคุมอาจจะทำให้เปลืองงบประมาณเพิ่มขึ้น ดังนั้นการออกแบบระบบควบคุมแผงกั้นรถไฟโดยอัตโนมัติเป็นอีกทางเลือกหนึ่ง ในการลดความสูญเสียต่อชีวิตและทรัพย์สิน รวมทั้งประหยัดงบประมาณได้อีกด้วย

ระบบเครื่องต้นแบบสำหรับควบคุมแผงกั้นรถไฟด้วยเครื่องรับส่งวิทยุสามารถแบ่งการทำงานออกเป็น 3 ส่วน คือ ภาคควบคุมระบบ ภาคการติดต่อสื่อสาร และภาคควบคุมแผงกั้นรถไฟ โดยทุกส่วนการทำงานถูกควบคุมด้วยไมโครคอนโทรลเลอร์ และในระบบการติดต่อสื่อสารนั้นใช้คลื่นความถี่วิทยุย่าน VHF

ข้อเปรียบเทียบระหว่างการเลือกใช้วิทยุสื่อสารย่าน VHF กับการสื่อสารผ่านระบบอื่น

- ระบบสื่อสารไร้สายย่าน 2.4 GHz การออกแบบระบบมีความซับซ้อน แต่ให้ความแม่นยำของข้อมูลสูงกว่า
- ระบบบอกพิกัดด้วยดาวเทียม GPS ซึ่งจะมีความแม่นยำสูงมากในการระบุตำแหน่งระหว่างรถไฟกับแผงกั้นรถไฟ แต่อุปกรณ์รับส่งยังมีราคาสูง
- ระบบไมโครเวฟ มีความแม่นยำของข้อมูลสูง แต่ราคาเครื่องรับส่งมีราคาแพง
- ระบบวิทยุสื่อสาร ซึ่งมีให้เลือก 2 ย่านความถี่ คือ วิทยุสื่อสารย่าน VHF และ UHF วิทยุแต่ทว่าวิทยุสื่อสารย่าน UHF เครื่องมีราคาสูงกว่า

ดังนั้นการออกแบบระบบเครื่องต้นแบบจึงเลือกใช้วิทยุสื่อสารย่าน VHF (CB: Citizen Band) 245 MHz ซึ่งเครื่องมีราคาพอประมาณ หาซื้อได้ง่าย และได้รับการยกเว้นในการขอใบอนุญาตใช้งานจากกรมไปรษณีย์โทรเลข

นอกจากนี้ระบบต้นแบบนี้สามารถที่จะนำไปประยุกต์ใช้งานได้หลายประเภท เช่น การสับรางรถไฟ การเปิดประตูรั้ว ควบคุมวาล์วน้ำ ระบบกันขโมย และงานที่เกี่ยวข้องกับการควบคุมอุปกรณ์ แบบไร้สาย เป็นต้น

1.2 วัตถุประสงค์ของโครงงาน

1.2.1 เพื่อศึกษาและเรียนรู้การส่งข้อมูลด้วยเครื่องรับส่งวิทยุ

1.2.2 เพื่อเรียนรู้และออกแบบแผ่นวงจรอิเล็คทรอนิคส์

1.2.3 เพื่อเรียนรู้การเขียนโปรแกรมภาษาแอสแซมบลีในการควบคุมไมโครคอนโทรลเลอร์ตระกูล MCS-51 และสามารถประยุกต์ใช้ในงานอื่นๆ ได้

1.2.4 เพื่อศึกษาการส่งข้อมูลด้วยสัญญาณ DTMF

1.2.5 สามารถใช้ประโยชน์จากวงจร RF ได้

1.3 ขอบเขตของโครงงาน

1.3.1 ออกแบบและสร้างวงจรเชื่อมต่อระหว่างบอร์ด SUT MCU-S8252 V3.0 กับส่วนควบคุมแผงกั้นรถไฟ เครื่องรับส่งวิทยุ และส่วนติดต่อกับไอซีสร้างและถอดรหัสสัญญาณ DTMF

1.3.2 สร้าง และออกแบบวงจรเข้าและถอดรหัสสัญญาณ DTMF

1.3.3 เขียนโปรแกรมควบคุมด้วยภาษาแอสแซมบลีเพื่อควบคุมการทำงานของระบบ

1.3.4 สร้างแบบจำลองแผงกั้นรถไฟ

1.4 ผลที่คาดว่าจะได้รับ

1.4.1 สามารถเขียนโปรแกรมภาษาแอสแซมบลีเพื่อควบคุมการรับและส่งข้อมูลของวงจร RF ชนิดต่างๆ ได้

1.4.2 ได้เรียนรู้การเขียนโปรแกรมควบคุมไมโครคอนโทรลเลอร์ MCS-51 ด้วยภาษาแอสแซมบลีเพิ่มเติม

1.4.3 ได้เรียนรู้การส่งและรับข้อมูลโดยอาศัยวิธีการเข้ารหัสสัญญาณ DTMF

1.4.4 ได้เรียนรู้วิธีการใช้เครื่องรับส่งวิทยุสื่อสาร

1.4.5 ได้เรียนรู้การออกแบบวงจรอิเลคทรอนิคส์ ด้วยโปรแกรมออกแบบวงจรสำเร็จรูป พร้อมทั้งเทคนิคการกัดแผ่นวงจรให้มีคุณภาพและใช้งานได้ดี

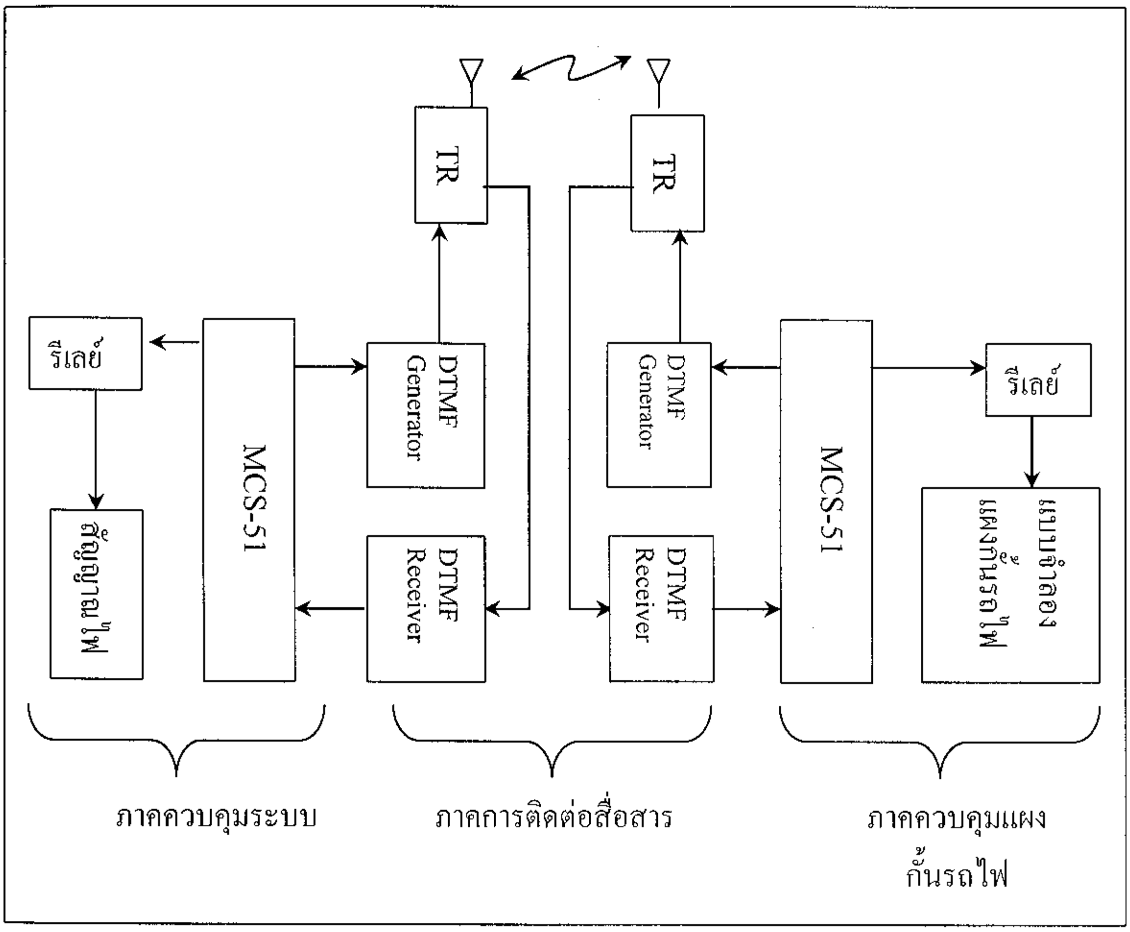
1.4.6 ได้เครื่องต้นแบบสำหรับควบคุมแผงกั้นรถไฟด้วยเครื่องรับส่งวิทยุ

บทที่ 2

การออกแบบและการทำงานของวงจร

2.1 กล่าวนำ

องค์ประกอบโดยรวมที่สำคัญของระบบมี 3 ส่วน คือ ภาคควบคุมระบบ ภาคการติดต่อสื่อสาร และภาคควบคุมแผงกั้นรถไฟ ดังแสดงไว้ในภาพที่ 2.1



ภาพที่ 2.1 โครงสร้างโดยรวมของระบบ

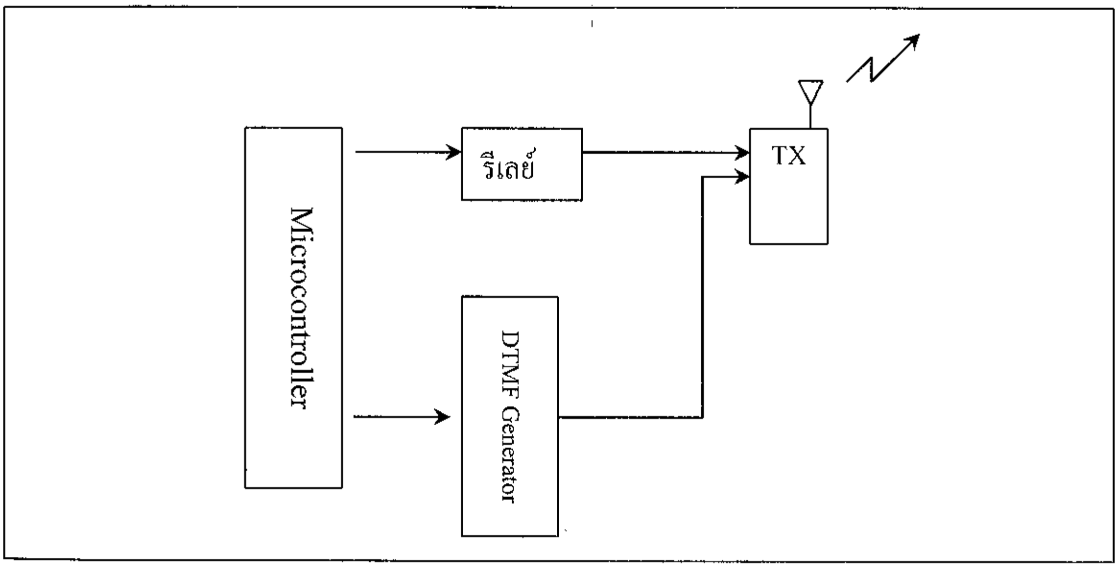
จากภาพที่ 2.1 สามารถอธิบายองค์ประกอบของระบบได้ดังนี้

- ภาคควบคุมประกอบด้วยไมโครคอนโทรลเลอร์ ชุดรีเลย์ตัดต่อการทำงานของเครื่องรับส่งวิทยุ และสัญญาณไฟเขียว-แดง โดยไมโครคอนโทรลเลอร์จะส่งรหัสไปควบคุมการเปิดปิดแผงกั้นรถไฟ

- ภาคติดต่อสื่อสารมีส่วนประกอบ คือ เครื่องรับส่งวิทยุ และชุดสร้าง-ถอดรหัสสัญญาณ DTMF ซึ่งระบบทำงานติดต่อสื่อสารข้อมูลกันด้วยเคลื่อนความถี่วิทยุย่าน VHF

- ภาคเปิดปิดแผงกั้นรถไฟประกอบไปด้วย ชุดรีเลย์เพื่อตัดต่อการทำงานของเครื่องรับส่งวิทยุ มอเตอร์กระแสตรง และชุดสัญญาณไฟ

2.2 ภาคส่งสัญญาณ DTMF

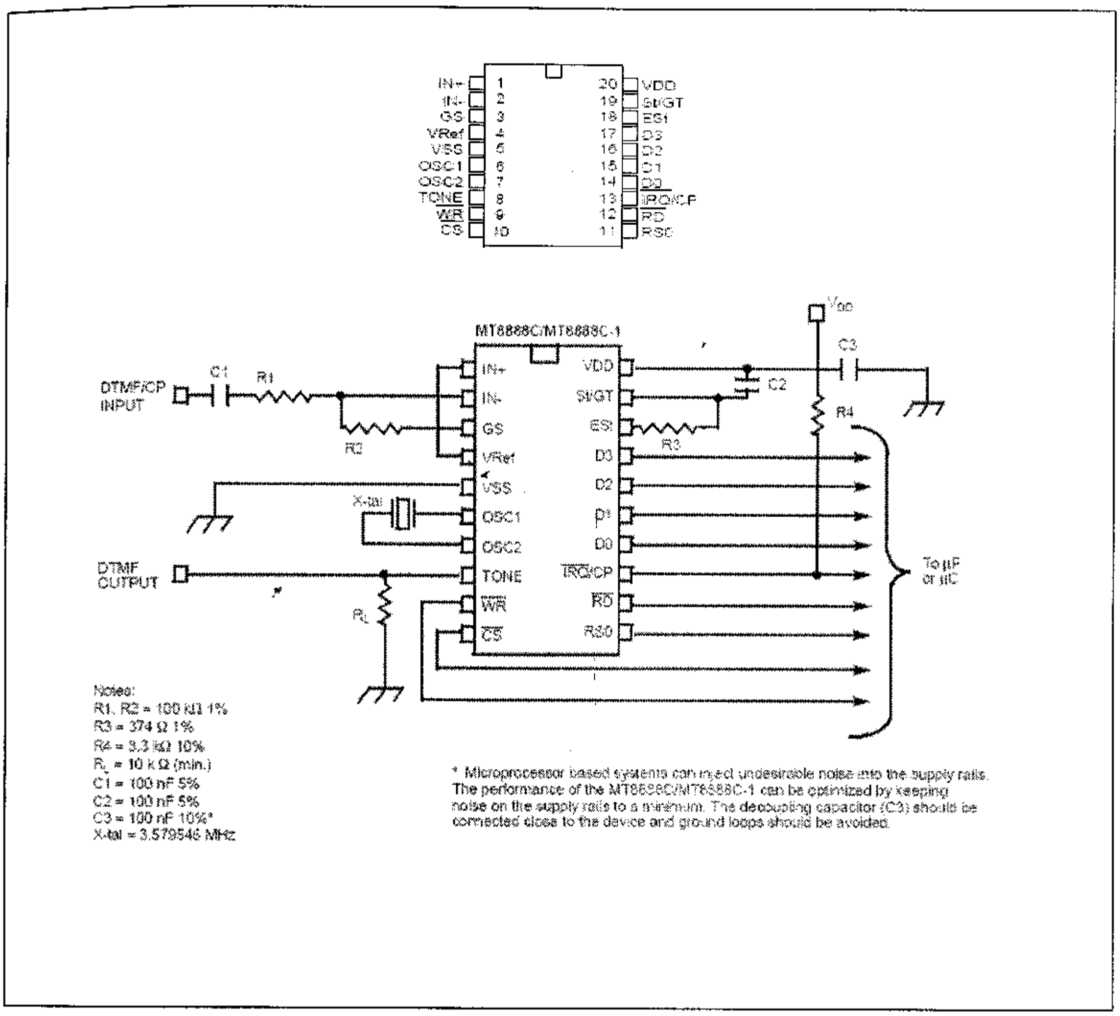


ภาพที่ 2.2 บล็อกไดอะแกรมของการส่งสัญญาณ DTMF ควบคุมด้วยไมโครคอนโทรลเลอร์

ชุดสร้างรหัสสัญญาณ DTMF ได้เลือกใช้ไอซีเบอร์ MT8888CE ของบริษัท Zarlink semiconductor ดังแสดงในภาพที่ 2.3 มีหน้าที่ในการเปลี่ยนสัญญาณควบคุมดิจิตอล 4 บิทจากไมโครคอนโทรลเลอร์ไปเป็นสัญญาณ DTMF ส่งผ่านเครื่องรับส่งวิทยุเพื่อไปควบคุมภาคเปิดปิดแผงกั้นรถไฟ สามารถอธิบายหลักการทำงานของ MT8888CE เป็นลำดับได้ดังนี้

Pin #			Name	Description
20	24	28		
1	1	1	IN+	**Non-inverting** op-amp input.
2	2	2	IN-	**Inverting** op-amp input.
3	3	4	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	6	V_{Ref}	**Reference Voltage** output ($V_{DD}/2$).
5	5	7	V_{SS}	Ground (0V).
6	6	8	OSC1	DTMF clock/oscillator input. Connect a 4.7MΩ resistor to VSS if crystal oscillator is used.
7	7	9	OSC2	**Oscillator** output. A 3.579545 MHz crystal connected between OSC1 and OSC2 completes the internal oscillator circuit. Leave open circuit when OSC1 is driven externally.
8	10	12	TONE	Output from internal DTMF transmitter.
9	11	13	$\overline{WR}$	**Write** microprocessor input. TTL compatible.
10	12	14	$\overline{CS}$	**Chip Select** input. Active Low. This signal must be qualified externally by address latch enable (ALE) signal, see Figure 14.
11	13	15	RS0	**Register Select** input. Refer to Table 3 for bit interpretation. TTL compatible.
12	14	17	$\overline{RD}$	**Read** microprocessor input. TTL compatible.
13	15	18	$\overline{IRQ}$/CP	**Interrupt Request/Call Progress** (open drain) output. In interrupt mode, this output goes low when a valid DTMF tone burst has been transmitted or received. In call progress mode, this pin will output a rectangular signal representative of the input signal applied at the input op-amp. The input signal must be within the bandwidth limits of the call progress filter, see Figure 8.
14-17	18-21	19-22	D0-D3	Microprocessor Data Bus. High impedance when $\overline{CS}$ = 1 or $\overline{RD}$ = 1. TTL compatible.

<u>ตารางที่ 2.1</u> แสดงรายละเอียดของขาไอซีเบอร์ MT8888CE



<u>ภาพที่ 2.3</u> แสดงขา และวงจรใช้งานของไอซีเบอร์ MT8888CE

1) เขียนคำสั่งควบคุมไปยัง Register A ของไอซี MT8888CE โดยกำหนดให้

Control	RS0	WR	RD	CS	b3	b2	b1	b0
Data	1	0	1	0	1	1	0	1

2) เขียนคำสั่งควบคุมไปยัง Register B ของไอซี MT8888CE โดยใช้รูปแบบดังนี้

Control	RS0	WR	RD	CS	b3	b2	b1	b0
Data	1	0	1	0	0	0	0	0

3) เขียนข้อมูล BCD code ที่ต้องการไปยัง Data Register ของไอซี MT8888CE เช่น ถ้าจะส่ง DTMF หมายเลข 5 ก็สามารถทำได้ดังนี้

Control	RS0	WR	RD	CS	b3	b2	b1	b0
Data	0	0	1	0	0	1	0	1

4) ทำการหน่วงเวลาคอย Interrupt ที่ขา IRQ หรือจากสถานะของ Status Register

5) ทำการอ่านสถานะของ Status Register แล้วทำการตรวจสอบสถานะว่าเป็นอย่างไร ซึ่ง เราสามารถทำได้ดังนี้

Control	RS0	WR	RD	CS	b3	b2	b1	b0
Data	1	1	0	1	X	X	X	X

- ถ้าบิต b1 Set จึงสามารถที่จะส่งโทน DTMF ชุดต่อไปได้ ยกตัวอย่าง เช่น ถ้าต้องการที่จะ ส่งสัญญาณ DTMF 2 โทน คือ โทน5 และ6 ตามลำดับ ก็สามารถทำได้ดังนี้

	Control	RS0	WR	RD	CS	b3	b2	b1	b0
1)	Data	1	0	1	0	1	1	0	1
2)	Data	1	0	1	0	0	0	0	0
3)	Data	0	0	1	0	0	1	0	1

4) ทำการตรวจสอบสถานะของ Status register

	Data	1	1	0	1	X	X	X	X

4) ตรวจสอบบิต b1 ถ้า b1 Set ให้ทำงานลำดับที่ 6 ถ้าไม่ใช่ไปทำงานลำดับที่ 4

5) ส่งเลข 6

	Data	1	0	0	0	0	1	1	0

- ถ้าบิต b2 Set จึงจะสามารรับสัญญาณ DTMF ชุดต่อไปได้ ยกตัวอย่างเช่น ต้องการรับสัญญาณ DTMF 2 โทน ก็สามารถทำได้ดังนี้

	Control	RS0	WR	RD	CS	b3	b2	b1	b0
1)	Data	1	0	1	0	1	1	0	1
2)	Data	1	0	1	0	0	0	1	0
3)	Data	1	1	0	0	X	X	X	X

4) ตรวจสอบบิต b2 ถ้า b2 Set ให้ทำงานลำดับที่ 5 ไม่ใช่ไปทำงานลำดับที่ 3

5) อ่านโทนที่ 1

	Data	0	1	0	0	X	X	X	X
6)	Data	1	1	0	0	X	X	X	X

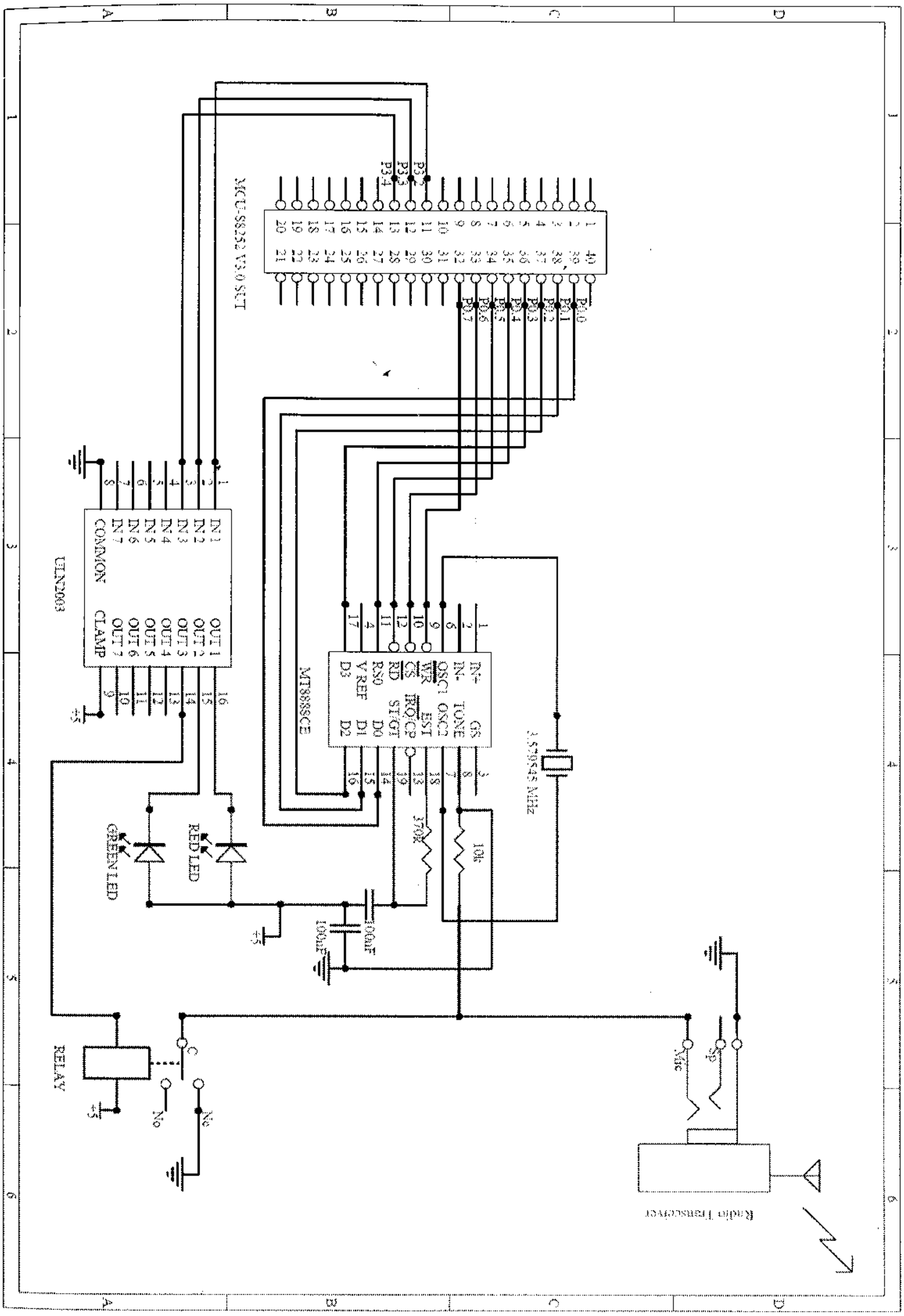
7) ตรวจสอบบิต b2 ถ้า b2 Set ทำงานลำดับที่ 8 ถ้าไม่ใช่ ไปทำงานลำดับที่ 6

Control	RS0	WR	RD	CS	b3	b2	b1	b0

8) อ่านโทนที่ 2

Data	0	1	0	0	X	X	X	X

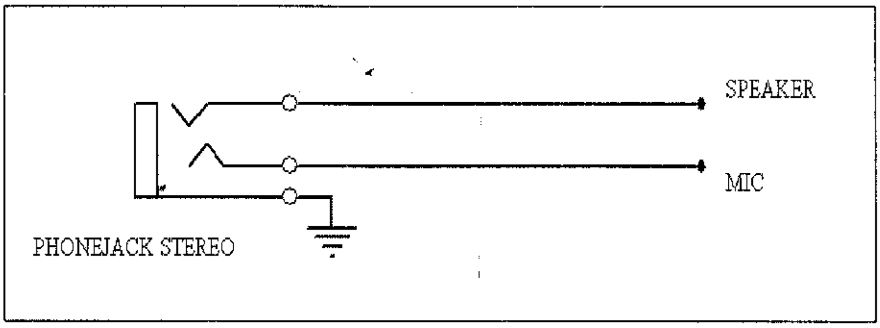
ในลำดับที่ 3 และ 6 เป็นการอ่านค่าสถานะของรีจิสเตอร์ภายในของไอซี MT8888C



<u>ภาพที่ 2.4</u> แสดงวงจรของส่วนเชื่อมต่อไมโครคอนโทรลเลอร์กับภาคส่งสัญญาณ DTMF

2.2.1 ภาคเชื่อมต่อกับวิทยุสื่อสาร

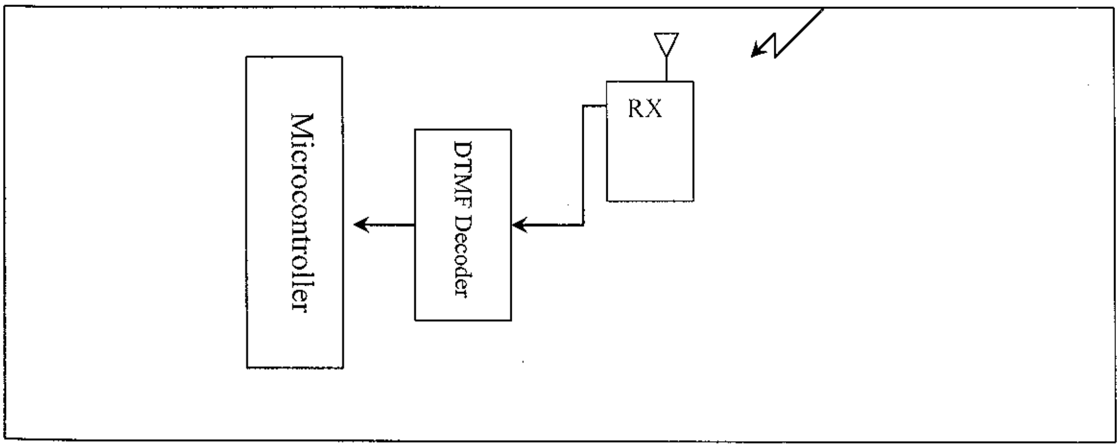
เนื่องจากวิทยุสื่อสารมีลักษณะการรับ-ส่งข้อมูลแบบฮาล์ฟดูเพล็ก การส่งข้อมูลจะเกิดขึ้นก็ต่อเมื่อสวิตช์ที่ไมค์ปิด ซึ่งก็คือการสั่งการคีย์ PTT นั่นเอง ดังแสดงในภาพที่ 2.4 ดังนั้นจึงออกแบบให้มีการควบคุมคีย์ PTT โดยใช้ไมโครคอนโทรลเลอร์สั่ง Logic 1 ผ่านไอซี ULN 2003 ส่งผลให้วิทยุสื่อสารรับว่ามีการกดคีย์ PTT สัญญาณ DTMF ก็จะถูกส่งออกอากาศ รายละเอียดของวงจรดูได้จากภาพที่ 2.4



ภาพที่ 2.5 แสดงบล็อกไดอะแกรมของการต่อไมค์และลำโพงของวิทยุสื่อสารเพื่อใช้งาน

2.3 ภาครับสัญญาณ DTMF

ภาครับรหัสสัญญาณ DTMF มีหน้าที่ในการถอดรหัสสัญญาณ DTMF ที่ได้รับจากวิทยุสื่อสารเป็น BCD code แล้วส่งให้ไมโครคอนโทรลเลอร์ทำการประมวลผลเพื่อควบคุมการทำงานต่อไป

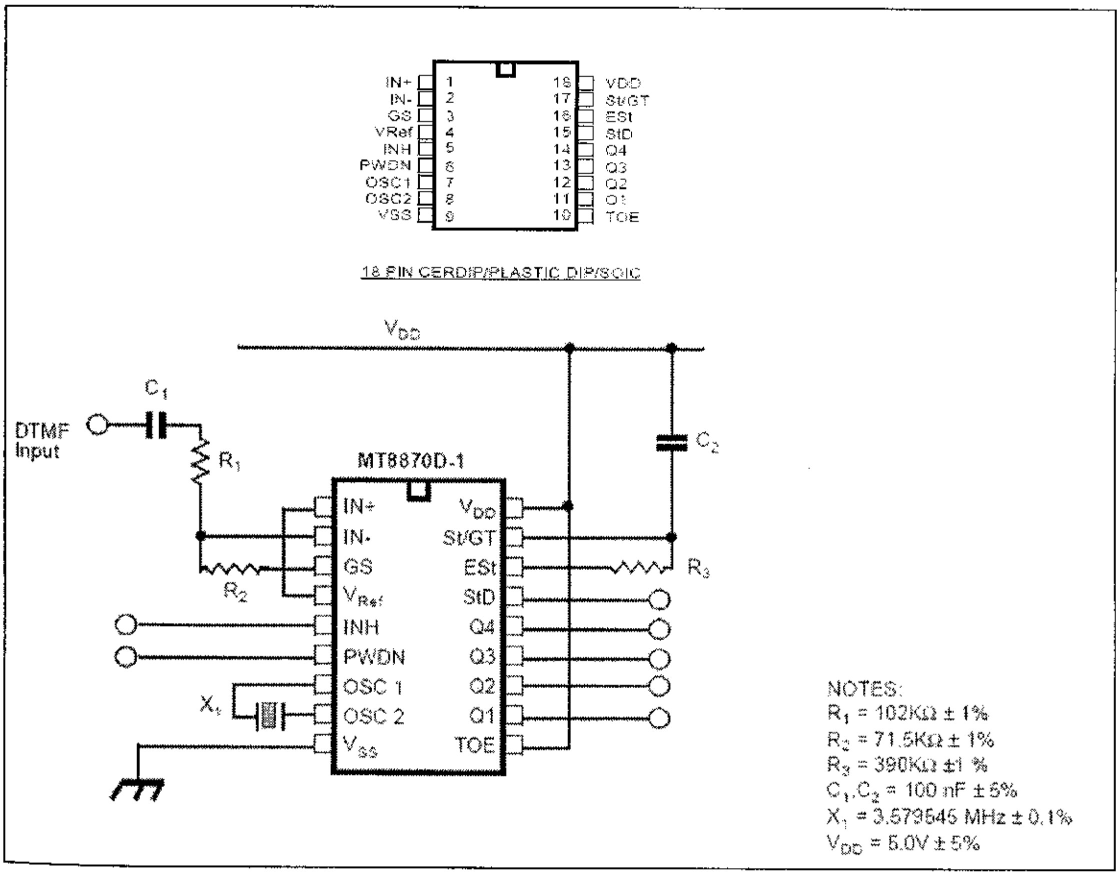


ภาพที่ 2.6 แสดงบล็อกไดอะแกรมภาครับสัญญาณ DTMF

สำหรับวงจรถอดรหัสสัญญาณ DTMF นั้นได้เลือกใช้ไอซีเบอร์ MT8870 ของ Zarlink semiconductor เนื่องจากสามารถถอดรหัสสัญญาณ DTMF ได้แม่นยำ และมีหลักการทำงานที่ไม่ซับซ้อน คือ ที่ขา STD (ขา 15) จะมีสภาวะ "1" เมื่อมีสัญญาณ DTMF เข้ามา และจะมีสภาวะ "0" เมื่อไม่มีสัญญาณ DTMF เข้ามา นอกจากนั้นที่เอาท์พุท Q1-Q4 (ขา 12-14) เป็นวงจรแบบแลตซ์ 3 สถานะส่วนภาคอินพุทเป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายได้โดยการต่ออุปกรณ์ภายนอก

การทำงานของวงจรชุดนี้ เมื่อมีสัญญาณโทน DTMF เข้ามา จะถูกคัปปลิ้งผ่าน C_1, R_1, และ R_2 ไปยังขาอินพุทของไอซี MT8870 ขา 1(IN+) และขา 2(IN-) ตามลำดับ ซึ่งไอซี MT8870 นี้จะทำหน้าที่ถอดรหัสสัญญาณโทน DTMF ออกไปทางเอาท์พุท Q_1- Q_4 (ขา 11-14 ตามลำดับ) เพื่อส่งสัญญาณที่ถูกถอดรหัสแล้ว (เป็น BCD code) ไปยังพอร์ตของไมโครคอนโทรลเลอร์

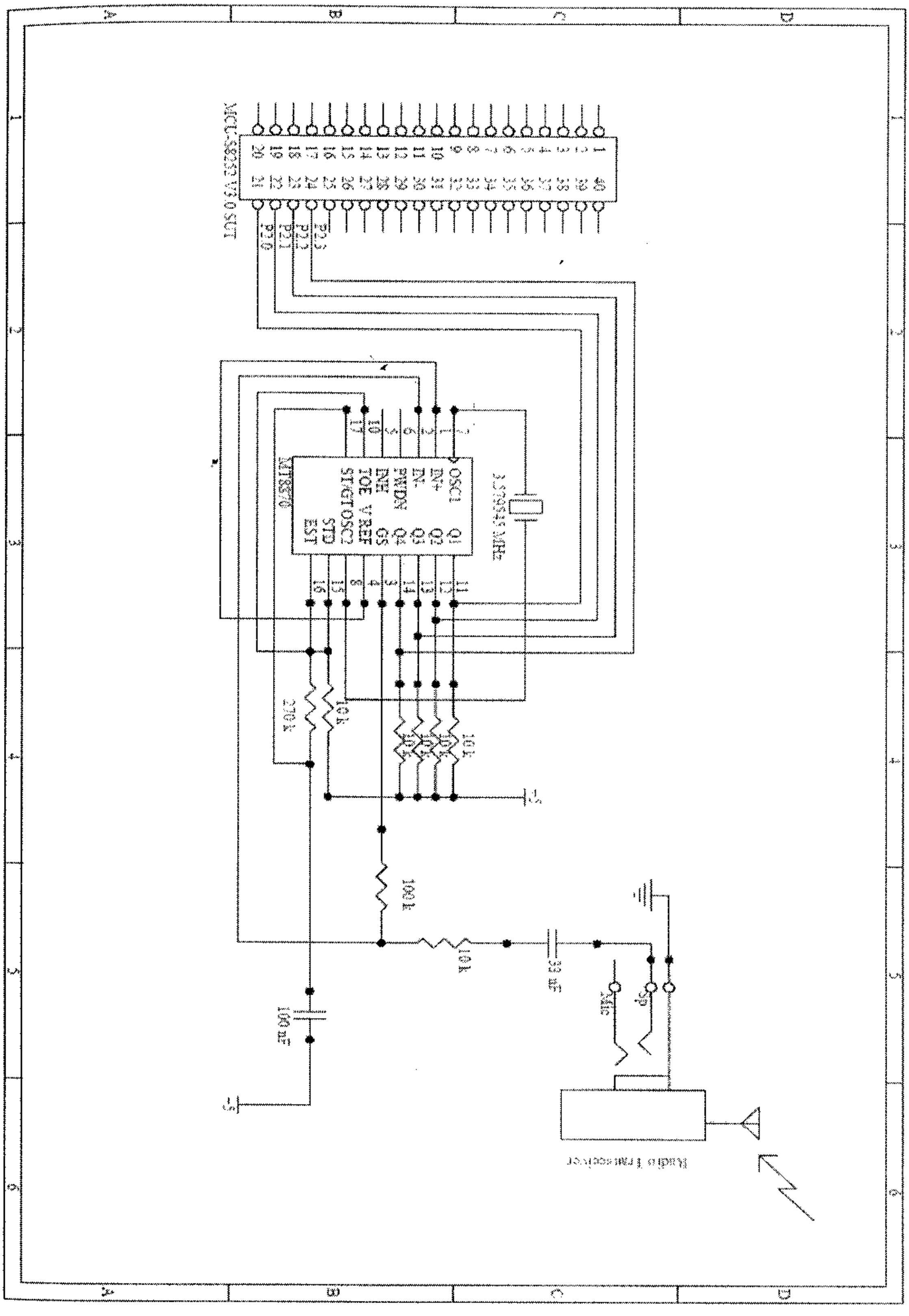
ไอซี MT8870 จะมีตัวเก็บประจุออสซิลเลเตอร์ภายในเรียบร้อยจึงต้องการคริสตอลภายนอกเพียงตัวเดียว เพื่อเป็นตัวกำเนิดสัญญาณนาฬิกาฐานเวลาให้กับไอซี ที่ขา 7, 8



<u>ภาพที่ 2.7</u> แสดงขา และวงจรใช้งานของไอซีเบอร์ MT8870

Pin #		Name	Description
18	20		
1	1	IN+	**Non-Inverting Op-Amp (Input).**
2	2	IN-	**Inverting Op-Amp (Input).**
3	3	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V_{Ref}	**Reference Voltage (Output).** Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	**Inhibit (Input).** Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	**Power Down (Input).** Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	**Clock (Input).**
8	9	OSC2	**Clock (Output).** A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V_{SS}	**Ground (Input).** 0V typical.
10	11	TOE	**Three State Output Enable (Input).** Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	**Three State Data (Output).** When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	**Delayed Steering (Output).** Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	18	ESt	**Early Steering (Output).** Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	19	St/GT	**Steering Input/Guard time (Output) Bidirectional.** A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	20	V_{DD}	**Positive power supply (Input).** +5V typical.
	7, 16	NC	No Connection.

ตารางที่ 2.2 แสดงรายละเอียดของขาไอซีเบอร์ MT8870



<u>ภาพที่ 2.8</u> แสดงวงจรของส่วนเชื่อมต่อไมโครคอนโทรลเลอร์กับไอซี MT8870

ศูนย์บรรณสารและสื่อการศึกษา
มหาวิทยาลัยเทคโนโลยีสุรนารี

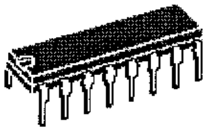
2.4 ภาครีเลย์เปิด-ปิด สัญญาณไฟ และตัดต่อไมค์วิทยุสื่อสาร

เนื่องจากระบบต้องการขับโหลดหลายช่อง การออกแบบวงจรขับรีเลย์จึงเลือกใช้ไอซี เพื่อความสะดวก และเป็นการลดขนาดของแผ่นวงจรพิมพ์ไปในตัวด้วย ไอซีที่เลือกใช้คือเบอร์ ULN 2003 เหตุผลที่เลือกใช้ไอซีเบอร์นี้ คือ ไอซี ULN 2003 ออกแบบมาให้ทำงานร่วมกับวงจรดิจิตอลมาตรฐาน TTL หรือCMOS ที่ระดับแรงดัน 5 โวลต์ ซึ่งเหมาะสมกับระบบ เนื่องจากไมโครคอนโทรลเลอร์ ไอซีเบอร์ MT8888CE และMT8870 เป็นมาตรฐาน TTL, CMOS 5 V

ไอซี ULN 2003 มีหน้าที่เป็นตัวอินเตอร์เฟสระหว่างไมโครคอนโทรลเลอร์ (ซึ่งให้ค่าระดับแรงดันแบบลอจิกที่ค่าต่ำ) กับรีเลย์ โดยภายในไอซีจะมีวงจรขับโดยทรานซิสเตอร์ที่เชื่อมต่อแบบดาร์ลิงตันจำนวน 7 ชุดอยู่ภายใน ด้านเอาต์พุตของวงจรขับแต่ละชุดจะเป็นแบบคอลเลคเตอร์เปิด (open collector outputs) และมีแคลมป์ไดโอด (clamp diode) สำหรับลดสัญญาณเซียนต์ (คือแรงดันในช่วงเวลาสั้นๆ ที่อาจมีค่าสูงพอที่จะทำลายหน้าคอนแทคเสียหายได้) อีกด้วย คุณสมบัติของไอซีแสดงไว้ในภาพที่ 2.9

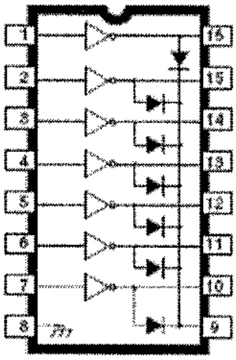
ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_o	Output Voltage	50	V
V_{in}	Input Voltage (for ULN2002A/D - 2003A/D - 2004A/D)	30	V
I_c	Continuous Collector Current	500	mA
I_b	Continuous Base Current	25	mA
T_{amb}	Operating Ambient Temperature Range	– 20 to 85	°C
T_{stg}	Storage Temperature Range	– 55 to 150	°C
T_j	Junction Temperature	150	°C



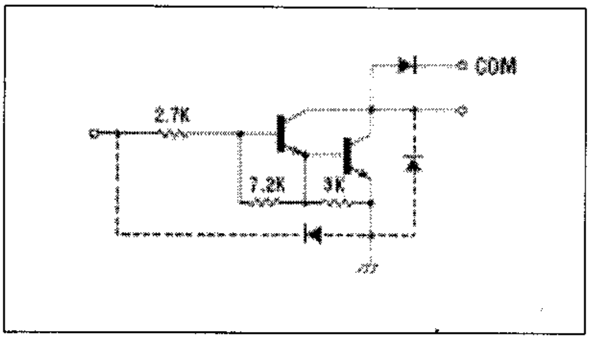
DEVICE PART NUMBER DESIGNATION

$V_{CE(MAX)}$	50 V	95 V
$I_{C(MAX)}$	500 mA	500 mA
Logic	Part Number	
5V TTL, CMOS	ULN2003A* ULN2003L*	ULN2023A* ULN2023L
6-15 V CMOS, PMOS	ULN2004A* ULN2004L*	ULN2024A ULN2024L



* Also available for operation between -40°C and +85°C. To order, change prefix from "ULN" to "ULQ".

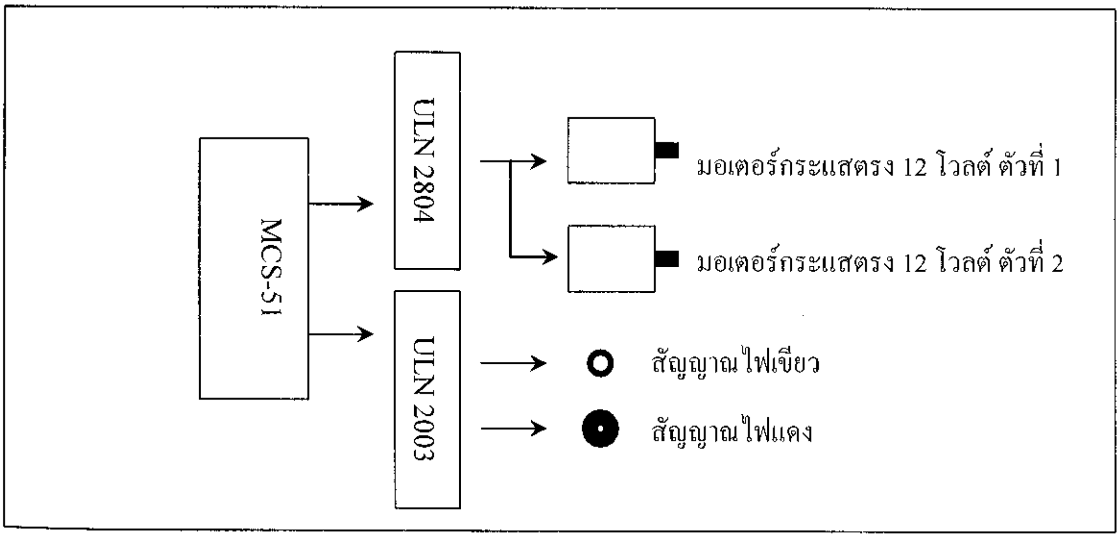
ภาพที่ 2.9 แสดงลักษณะของวงจร ตัวถัง และตารางคุณสมบัติทางเทคนิคของไอซี ULN 2003



ภาพที่ 2.10 แสดงวงจรขับภายในของไอซี ULN 2003 หนึ่งใน 7 วงจรที่มีอยู่ภายในไอซี

วงจรที่ใช้งานจริงแสดงไว้ดังภาพที่ 2.4 โดยต่อสัญญาณดิจิตอล TTL ที่ออกจากพอร์ต 3.4 ของไมโครคอนโทรลเล้อร์เข้าที่ขาอินพุทของไอซี ULN 2003 และทำการต่อสัญญาณจากขาเอาท์พุทออกไปใช้งาน

2.5 แบบจำลองแผงกั้นรถไฟ



ภาพที่ 2.11 แสดงโครงสร้างโดยรวมของแบบจำลองแผงกั้นรถไฟ

แบบจำลองแผงกั้นรถไฟประกอบขึ้นด้วยชุดรีเลย์เปิด-ปิดมอเตอร์กระแสตรง โดยเลือกใช้มอเตอร์กระแสตรงแบบมีชุดเกียร์ทดรอบขนาด 12 โวลต์ จำนวน 2 ตัว (มอเตอร์ทั้งสองตัวมีรอบการทำงานที่เท่ากัน) และสัญญาณไฟมีหลักทำงาน คือ ในสภาวะปกติที่แผงกั้นรถไฟสัญญาณไฟ

เขียวจะทำงาน และแผงกั้นอยู่ตำแหน่งบนสุด เมื่อใดที่ไมโครคอนโทรลเลอร์ได้รับสัญญาณดิจิตอล 4 บิท จากชุดถอดรหัสสัญญาณ DTMF จะทำการตรวจสอบรหัสข้อมูลว่าตรงกันกับรหัสควบคุม ที่ถูกส่งมาจากรถไฟ หรือไม่ ถ้ารหัสตรงกัน ไมโครคอนโทรลเลอร์จะสั่งให้มอเตอร์กระแสตรงปิดแผงกั้นลง พร้อมส่งสัญญาณไฟแดงไปที่รถไฟ เมื่อแผงกั้นปิดลงเรียบร้อย ไมโครคอนโทรลเลอร์ก็จะส่งสัญญาณไฟเขียวไปที่รถไฟ ให้สามารถผ่านไปได้ พร้อมกับทำการหน่วงเวลาให้รถไฟผ่านไปเรียบร้อย หลังจากนั้นก็จะสั่งให้ยกแผงกั้นขึ้นพร้อมกับสั่งให้สัญญาณไฟเขียวทำงาน กลับสู่สภาวะปกติ โดยรายละเอียดของวงจรแสดงไว้ดังภาพที่ 2.12

วงจรขับรีเลย์ที่ใช้กับมอเตอร์กระแสตรง 12 โวลต์ นั้นเลือกใช้ไอซีเบอร์ ULN 2804 เนื่องจาก ไอซีเบอร์นี้ถูกออกแบบมาให้เหมาะกับวงจรดิจิตอลแบบ CMOS 6-15V รายละเอียดของไอซีแสดงไว้ดังภาพที่ 2.12

MAXIMUM RATINGS (T_A = 25°C and rating apply to any one device in the package, unless otherwise noted.)

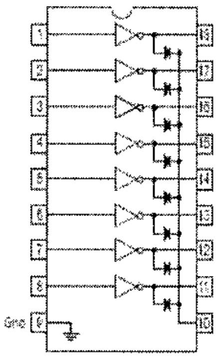
Rating	Symbol	Value	Unit
Output Voltage	V_O	50	V
Input Voltage (Except ULN2801)	V_I	30	V
Collector Current – Continuous	I_C	500	mA
Base Current – Continuous	I_B	25	mA
Operating Ambient Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–55 to +150	°C
Junction Temperature	T_J	125	°C

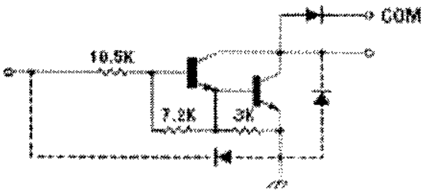
$R_{\theta JA}$ = 55°C/W
Do not exceed maximum current limit per driver.

ORDERING INFORMATION

Device	Characteristics		
	Input Compatibility	$V_{CE(Max)}/I_{C(Max)}$	Operating Temperature Range
ULN2803A ULN2804A	TTL, 5.0 V CMOS 6 to 15 V CMOS, PMOS	50 V/500 mA	T_A = 0 to + 70°C

PIN CONNECTIONS





ภาพที่ 2.12 แสดงลักษณะของวงจร ตัวถัง วงจรขับภายใน และตารางคุณสมบัติทางเทคนิคของไอซีเบอร์ ULN 2804

2.5.1 แหล่งจ่ายไฟดีซี 12 โวลต์

เนื่องจากแบบจำลองแผงกั้นรถไฟนั้น มีระบบการหมุนแผงกั้นโดยใช้ดีซีมอเตอร์หมุนเกลียวเพื่อปิด-เปิดแผงกั้น และมอเตอร์ที่ใช้ทำการหมุนแผงกั้นนั้นออกแบบให้เลือกใช้ดีซีมอเตอร์ 12โวลต์แบบมีเกียร์ทดรอบ เพื่อทำให้มีแรงหมุนเกลียวได้อย่างมีประสิทธิภาพ ดังนั้นจึงทำการออกแบบแหล่งจ่ายไฟดีซี 12โวลต์ เพื่อจ่ายให้กับมอเตอร์โดยเลือกใช้ไอซีเบอร์ MCT7812 ของบริษัท Motolola ซึ่งเป็นไอซีแหล่งจ่ายกำลังไฟฟ้าที่จ่ายแรงดันไฟฟ้าเอาท์พุทคงที่ขนาด 12โวลต์ มีความคลาดเคลื่อน ±4 % ไอซีแหล่งจ่ายกำลังไฟฟ้าชนิด 3 ขั้ว ประกอบด้วยขา 1 เป็นสัญญาณอินพุท ขา 2 เป็นกราวด์ และขา 3 เป็นสัญญาณเอาท์พุท เหตุผลในการเลือกใช้ไอซีเบอร์นี้ คือ นอกจากจะสามารถคงค่าแรงดันไฟฟ้าเอาท์พุทให้มีค่าคงที่ได้แล้วยังสามารถลดทอนการเกิดแรงดันไฟฟ้ากระเพื่อม (ripple voltage) ทางด้านเอาท์พุทได้ด้วย เนื่องจากไอซีแหล่งจ่ายกำลังไฟฟ้ามีคุณสมบัติเฉพาะของค่าอัตราส่วนการกำจัดค่าแรงดันไฟฟ้ากระเพื่อม (ripple rejection ratio, RRR) รายละเอียด และคุณสมบัติทางเทคนิคของไอซีแสดงไว้ดังภาพที่ 2.14

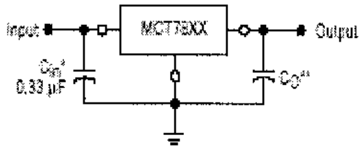
MAXIMUM RATINGS (T_A = +25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Input Voltage	V_I	35	Vdc
Power Dissipation			
Case 221A			
T_A = +25°C	P_D	Internally Limited	W
Thermal Resistance, Junction-to-Ambient	θ_{JA}	65	°C/W
Thermal Resistance, Junction-to-Case	θ_{JC}	5.0	°C/W
Case 936 (D^2PAK)			
T_A = +25°C	P_D	Internally Limited	W
Thermal Resistance, Junction-to-Ambient	θ_{JA}	70	°C/W
Thermal Resistance, Junction-to-Case	θ_{JC}	5.0	°C/W
Storage Junction Temperature Range	T_{stg}	– 65 to +150	°C
Operating Junction Temperature	T_J	+150	°C

T SUFFIX
PLASTIC PACKAGE
CASE 221A

Heatsink surface connected to Pin 2

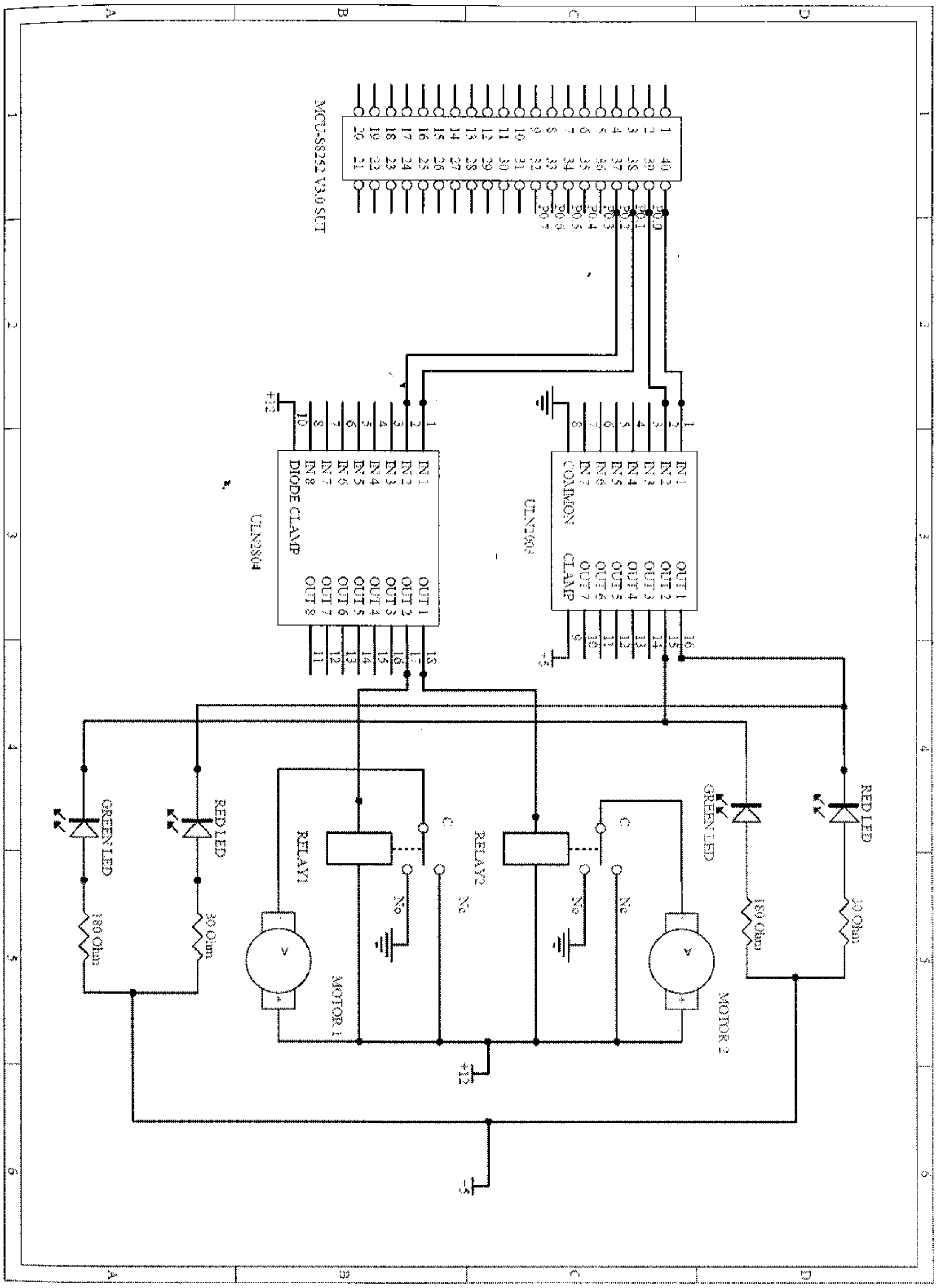
STANDARD APPLICATION



DEVICE TYPE/NOMINAL OUTPUT VOLTAGE

MCT7805 MCT7806 MCT7808 MCT7809	5.0 V 6.0 V 8.0 V 9.0 V	MCT7812 MCT7815 MCT7818 MCT7824	12 V 15 V 18 V 24 V

ภาพที่ 2.13 แสดงลักษณะของวงจรใช้งาน ตัวถัง และตารางคุณสมบัติทางเทคนิคของไอซีเบอร์ MCT7812

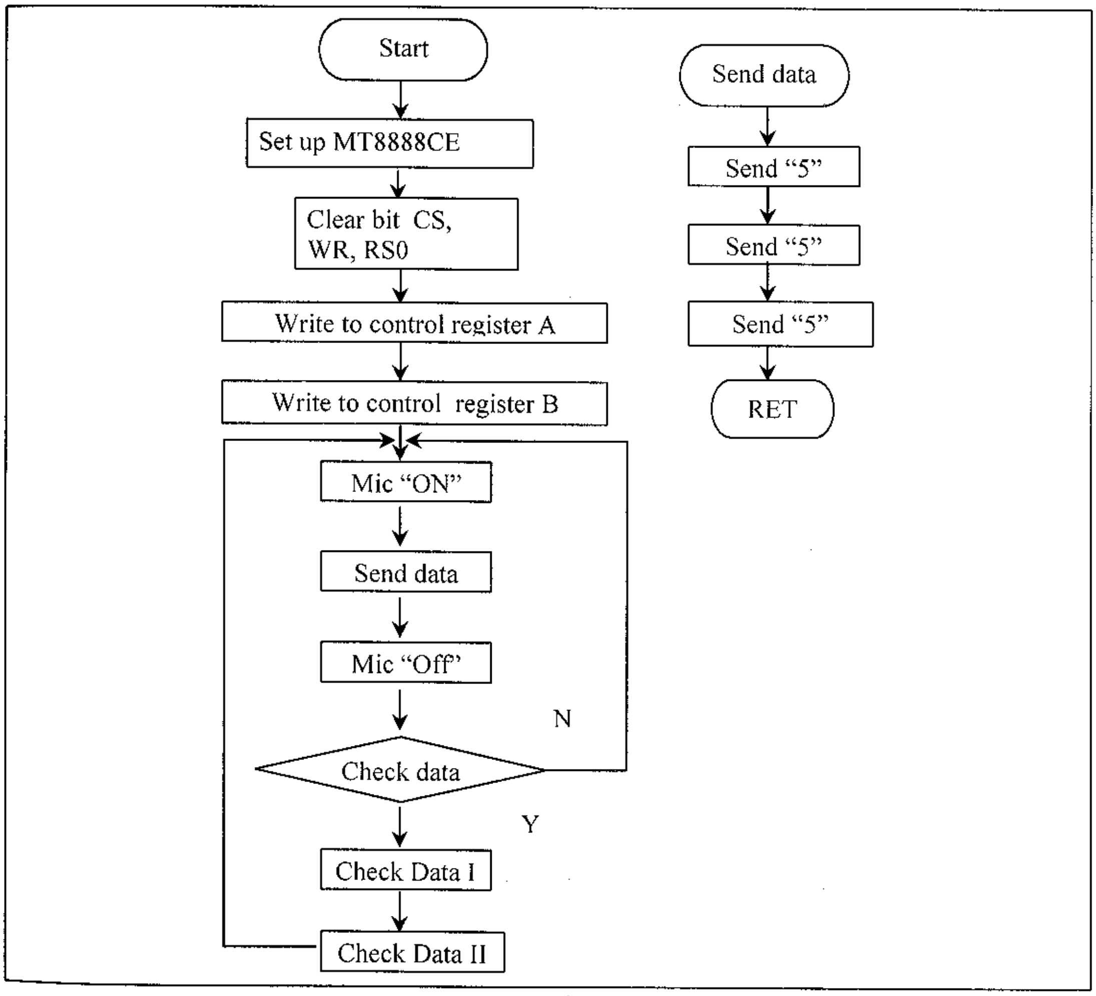


<u>ภาพที่ 2.14</u> แสดงวงจรสมบูรณ์ของแบบจำลองแผงกั้นรถไฟ

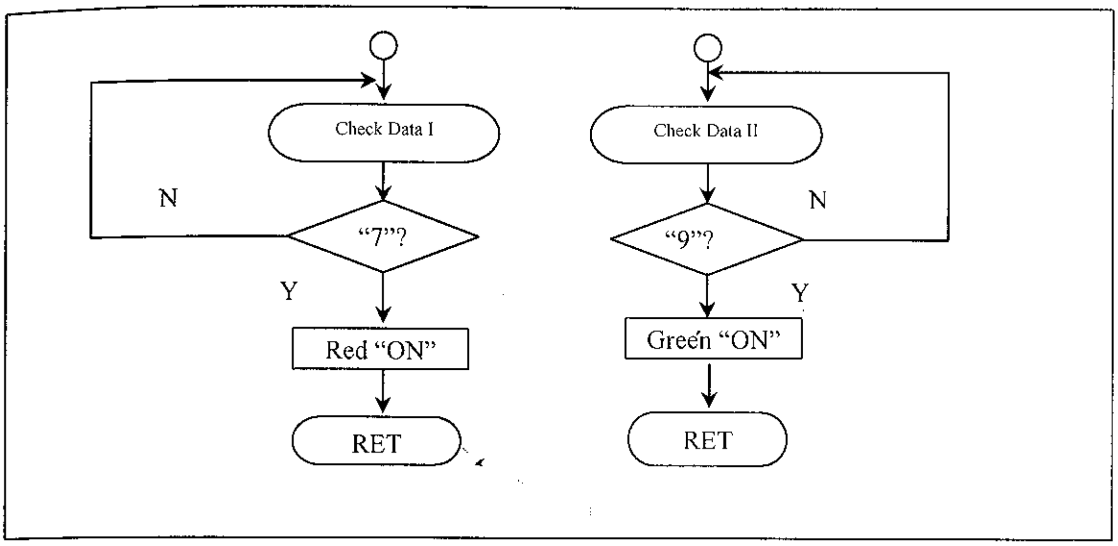
บทที่ 3
การออกแบบโปรแกรม

3.1 โปรแกรมภาคควบคุมระบบ

การออกแบบโปรแกรมถูกแยกออกเป็น3 ส่วน คือ ภาคควบคุม และภาคควบคุมแผงกั้นรถไฟ ดังแสดงไว้ในแผนภูมิการทำงานของโปรแกรมดังต่อไปนี้



ภาพที่ 3.1 แสดงแผนภูมิการทำงานโปรแกรมหลักภาคควบคุมระบบ



ภาพที่ 3.2 แสดงแผนภูมิการทำงานโปรแกรมภาคควบคุมระบบ (ต่อ)

- ช่วงแรกจะเป็นการกำหนดการทำงานของ MT8888CE โดยเลือกขา CS, WR และRS0 ให้ตอบสนองลอจิกต่ำ เพื่อเลือกให้ไอซีทำงาน และเลือกรีจีสเตอร์ในการเก็บข้อมูล

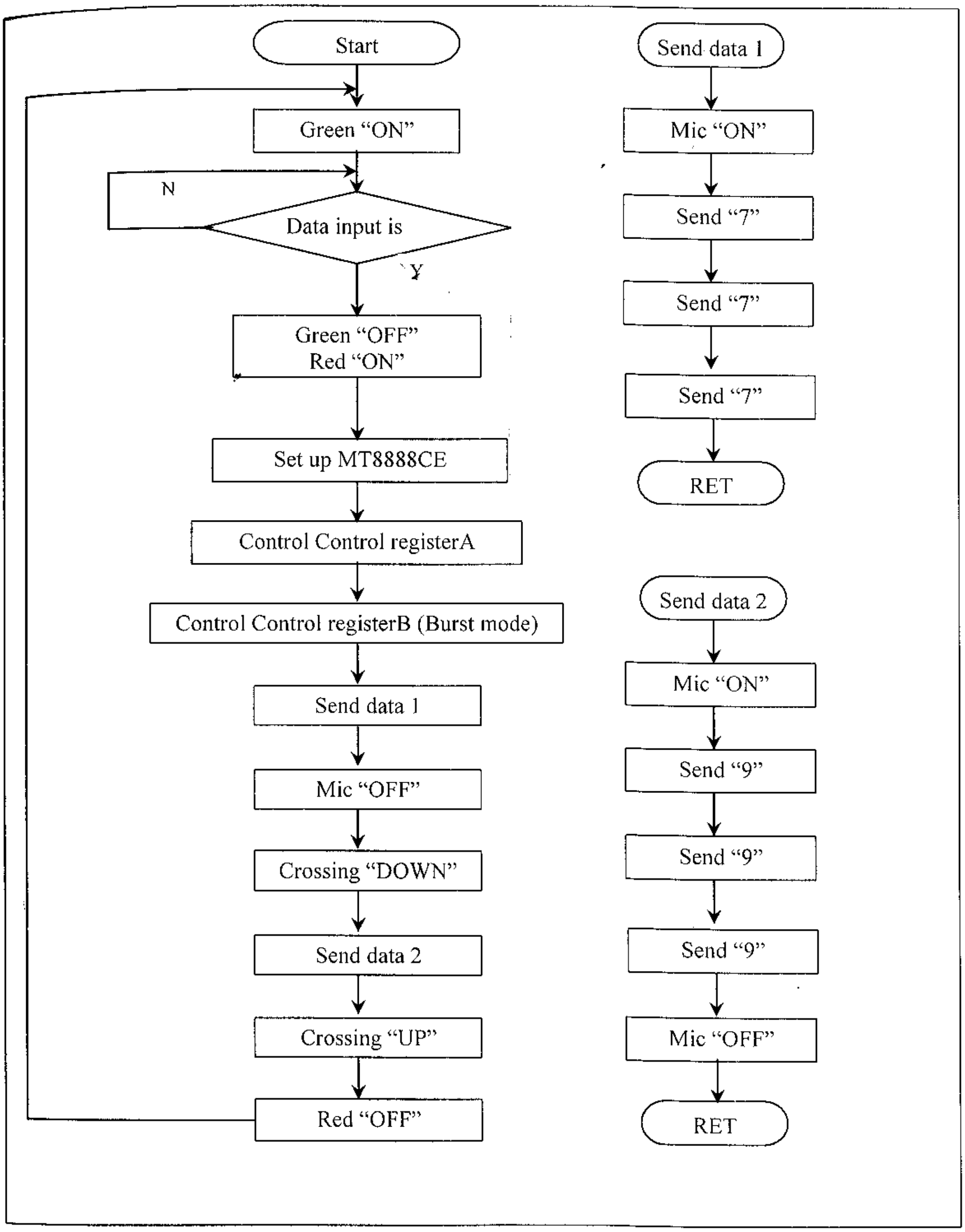
- ต่อมาจะเป็นการส่งข้อมูลเข้าไป โดยก่อนที่จะส่งข้อมูลต้องทำการเลือกไมค์ของวิทยุให้ทำงานก่อน

- เมื่อส่งข้อมูลเข้าไปแล้ว ไอซีจะทำการส่งสัญญาณ DTMF ออกไป จากนั้นไมโครคอนโทรลเลอร์จะสั่งตัดการทำงานของไมค์ และรอรับข้อมูลจากภาคควบคุมแผงกั้นรถไฟ

- เมื่อได้รับข้อมูลครั้งแรกจากภาคควบคุมแผงกั้นรถไฟ ไมโครคอนโทรลเลอร์จะทำการตรวจสอบรหัสว่าเป็นหมายเลข 7 หรือไม่ ถ้าใช่จะทำการสั่งให้ไฟแดงทำงานพร้อมกับตัดการทำงานของไฟเขียว เป็นการแสดงว่าแผงกั้นรถไฟกำลังยกลงให้ทำการชะลอความเร็วก่อน และรอจนกว่าภาคควบคุมแผงกั้นรถไฟส่งข้อมูลมาอีกครั้งเมื่อแผงกั้นถูกปิดลงเรียบร้อยแล้ว

- เมื่อได้รับข้อมูลครั้งที่ 2 ไมโครคอนโทรลเลอร์ จะสั่งตัดทำงานของไฟแดงพร้อมกับสั่งให้ไฟเขียวทำงาน เป็นการแสดงว่าแผงกั้นปิดลงเรียบร้อยแล้วให้รถไฟเดินทางต่อไปได้ และโปรแกรมจะทำการวนกลับไปทำงานในช่วงแรก เป็นเช่นนี้เรื่อยไป

3.2 โปรแกรมภาคควบคุมแผงกั้นรถไฟ



ภาพที่ 3.3 แสดงแผนภูมิการทำงานโปรแกรมภาคควบคุมแผงกั้นรถไฟ

- ช่วงแรกเป็นการเปิดให้ไฟเขียวทำงาน ต่อมาจะทำการรอรับรหัส และทำการตรวจเช็ครหัสว่าเป็นหมายเลข 7 หรือไม่ ถ้าใช่ ก็จะทำการส่งรหัสหมายเลข 7 ออกไป เพื่อสั่งให้ไฟแดงที่รถไฟทำงาน ถ้าไม่ใช่จะทำการวนลูปเพื่อตรวจสอบรหัสจนกว่าจะใช่
- เมื่อสั่งให้ไฟแดงทำงานแล้ว ต่อไปจะสั่งให้ปิดแผงกั้นลง พอปิดลงเรียบร้อย ก็จะทำการส่งรหัสหมายเลข 9 ไปที่รถไฟเพื่อสั่งให้ไฟเขียวทำงาน
- ทำการหน่วงเวลาเพื่อให้รถไฟผ่านไป เมื่อรถไฟผ่านไปเรียบร้อยแล้ว ก็ทำการสั่งให้แผงกั้นเปิดขึ้น เสร็จแล้วก็สั่งให้ตัดการทำงานของไฟแดง
- โปรแกรมจะทำการวนกลับไปทำงานในช่วงแรกเช่นนี้ต่อไปเรื่อยๆ

3.3 สรุปการทำงานของโปรแกรม

การทำงานของโปรแกรมโดยรวมแล้ว มีความซับซ้อนน้อยมากทั้งนี้เพื่อให้ไมโครคอนโทรลเลอร์ทำงานได้อย่างราบรื่น และรวดเร็ว ซึ่งการทำงานจะเริ่มจากภาคควบคุมระบบส่งรหัสมาเพื่อสั่งให้แผงกั้นรถไฟทำงาน และรอรับรหัสจากแผงกั้นว่าได้รับรหัสแล้ว ในทางเดียวกันที่แผงกั้นรถไฟเมื่อได้รับรหัสแล้วก็จะทำงาน และทำการส่งรหัสไปที่รถไฟเพื่อเป็นการบอกว่าได้รับรหัสแล้ว โดยการส่งและรับรหัสนั้นจะมีการตรวจสอบความถูกต้องของข้อมูลทั้งภาครับ และภาคส่งด้วย

บทที่ 4

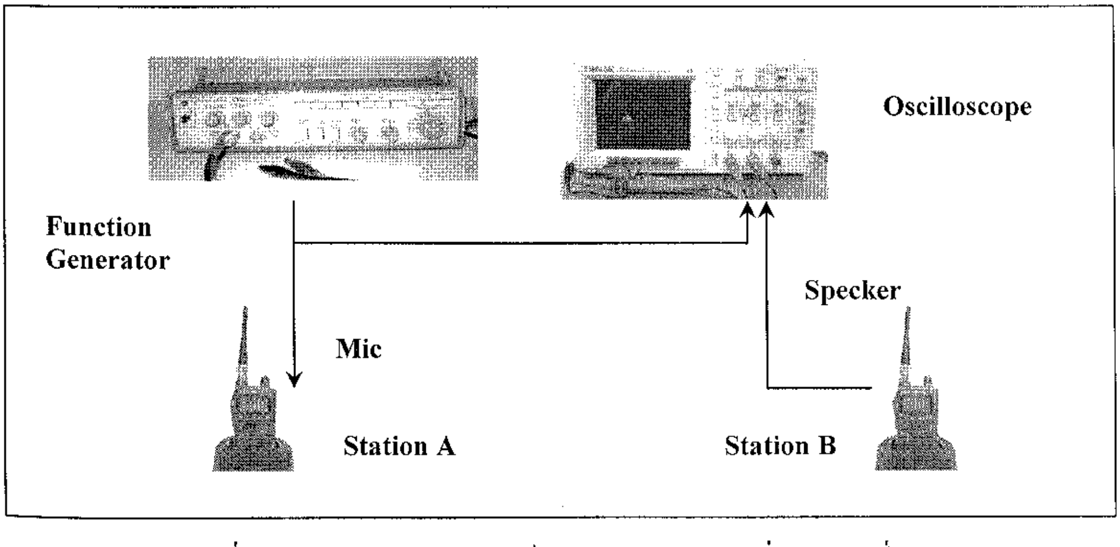
การทดลองและผลการทดลอง

4.1 กล่าวนำ

เนื่องจากการออกแบบระบบถูกแยกออกเป็น 3 ส่วน คือ ภาคควบคุมระบบ ภาคการติดต่อสื่อสาร และภาคควบคุมแผงกั้นรถไฟ ซึ่งในภาคการติดต่อสื่อสารนั้นมีความสำคัญเป็นอย่างยิ่ง เพราะถ้ามีความผิดพลาดในการส่งข้อมูลเกิดขึ้น ระบบก็ไม่สามารถที่จะรับส่งข้อมูลกันได้อย่างถูกต้อง ส่งผลให้ระบบไม่ทำงานตามเงื่อนไขที่ได้ออกแบบไว้ ดังนั้นจึงจำเป็นต้องทดสอบเครื่องรับส่งวิทยุว่าสามารถส่งสัญญาณ DTMF ได้ถูกต้องหรือไม่

4.2 การทดสอบส่งผ่านความถี่จากเครื่องกำเนิดสัญญาณผ่านเครื่องรับส่งวิทยุ

วัตถุประสงค์ของการทดลองนี้เพื่อเป็นการทดสอบแนวคิดที่จะทำการส่งสัญญาณ DTMF ผ่านไมค์ของวิทยุสื่อสาร โดยการลองส่งผ่านความถี่ผ่านไมค์ของวิทยุสื่อสารว่าสามารถที่จะตอบสนองต่อความถี่ได้ในระดับใด การจัดอุปกรณ์ทดลอง แสดงดังภาพที่ 4.1



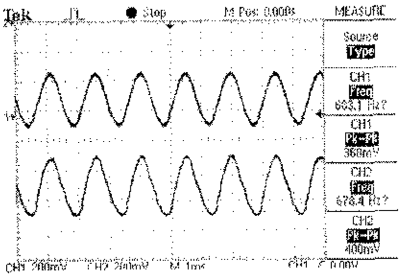
ภาพที่ 4.1 แสดงการจัดอุปกรณ์ทดลองการส่งความถี่ผ่านวิทยุสื่อสาร

จากภาพที่ 4.1 อุปกรณ์ในการทดลองประกอบด้วย วิทยุสื่อสาร Spender PT-245A จำนวน 2 เครื่อง เครื่องกำเนิดสัญญาณ และออสซิลโลสโคป ในการต่ออุปกรณ์นั้นจะทำการจ่ายสัญญาณรูปคลื่นไซน์จากเครื่องกำเนิดสัญญาณเข้ากับไมค์ของวิทยุสื่อสารที่ Station A และทำการวัดสัญญาณที่ออกมาจาก Speaker ที่ Station B โดยความถี่ที่ทำการจ่ายให้กับ Station A นั้นอ้างอิงจากตารางที่ 4.1

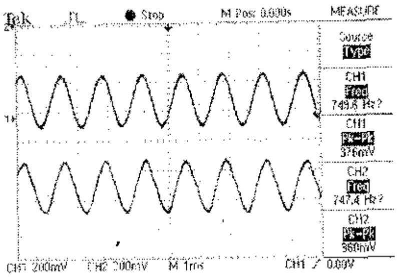
F_{LOW}	F_{HIGH}	DIGIT	D_3	D_2	D_1	D_0
697	1209	1	0	0	0	1
697	1336	2	0	0	1	0
697	1477	3	0	0	1	1
770	1209	4	0	1	0	0
770	1336	5	0	1	0	1
770	1477	6	0	1	1	0
852	1209	7	0	1	1	1
852	1336	8	1	0	0	0
852	1477	9	1	0	0	1
941	1336	0	1	0	1	0
941	1209	*	1	0	1	1
941	1477	#	1	1	0	0
697	1633	A	1	1	0	1
770	1633	B	1	1	1	0
852	1633	C	1	1	1	1
941	1633	D	0	0	0	0

<u>ตารางที่ 4.1</u> แสดงความถี่ที่ใช้สร้างสัญญาณ DTMF และค่า BCD code ที่ได้

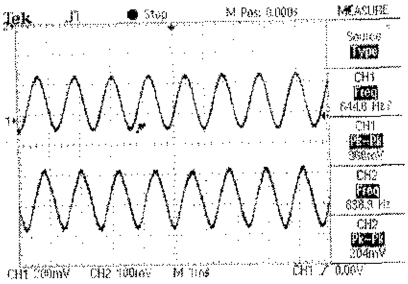
ในการทดลองจะทำการเพิ่มความถี่ และระดับของสัญญาณขึ้นไปเรื่อย ๆ ตามตารางที่ 4.1 เพื่อหาความถี่ และระดับสัญญาณที่วิทยุสื่อสารสามารถตอบสนองได้



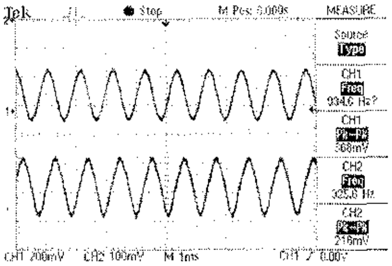
a) ทำการส่งผ่านความถี่ 697 Hz



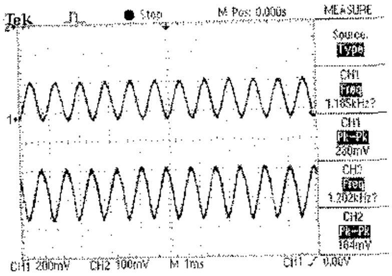
b) ทำการส่งผ่านความถี่ 770 Hz



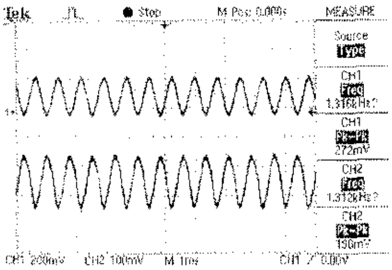
c) ทำการส่งผ่านความถี่ 852 Hz



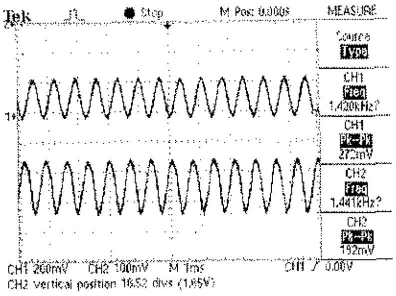
d) ทำการส่งผ่านความถี่ 941 Hz



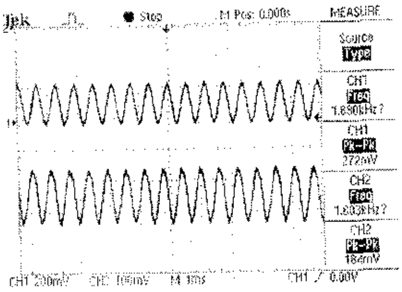
e) ทำการส่งผ่านความถี่ 1209 Hz



f) ทำการส่งผ่านความถี่ 1336



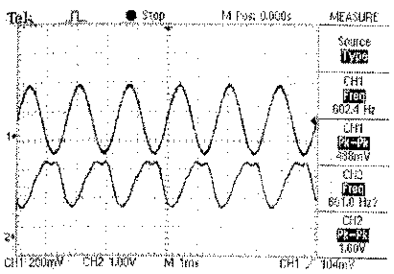
g) ทำการส่งผ่านความถี่ 1477 Hz



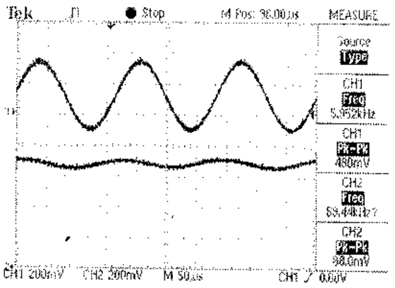
h) ทำการส่งผ่านความถี่ 1633 Hz

หมายเหตุ; CH1: Station A, CH2: Station B

<u>ภาพที่ 4.2</u> แสดงผลการทดลองในการส่งผ่านความถี่ตามตารางที่ 4.1



a) ทำการส่งผ่านความถี่ 600 Hz



b) ทำการส่งผ่านความถี่ 6000 Hz

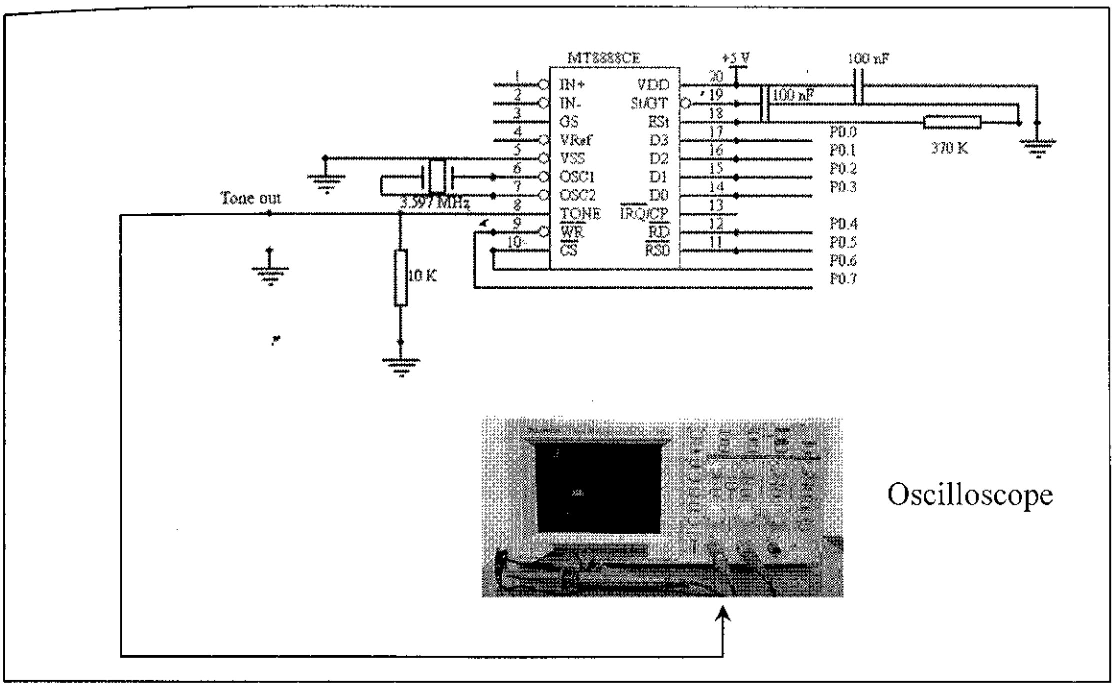
ภาพที่ 4.3 แสดงผลการทดลองในการหาความถี่ต่ำสุด และสูงสุดที่ไมค์ของวิทยุสื่อสารสามารถตอบสนองได้

จากภาพที่ 4.2 และ 4.3 CH1 ของออสซิลโลสโคป คือ สัญญาณที่ภาคส่ง และ CH2 คือ สัญญาณที่ภาครับ จะได้เห็นว่าสัญญาณที่ภาครับ เริ่มมีความผิดเพี้ยนเมื่อระดับของสัญญาณที่ภาคส่งมากกว่า 480 mV และขณะที่สัญญาณที่ภาคส่งมีความถี่ประมาณ 6 kHz ที่ภาครับระดับของสัญญาณจะมีค่าต่ำมาก

สามารถสรุปผลการทดลองได้ว่าไมค์ของวิทยุสื่อสารที่ใช้ในการทดสอบสามารถตอบสนองความถี่ได้ดีในช่วงประมาณ 600 Hz – 6 kHz และตอบสนองต่อระดับสัญญาณได้ดีในช่วงประมาณ 200 mV – 500 mV ดังนั้นไมค์ของวิทยุสื่อสารสามารถที่จะส่งผ่านสัญญาณ DTMF ซึ่งมีความถี่ในช่วงประมาณ 600 – 2000 Hz ได้

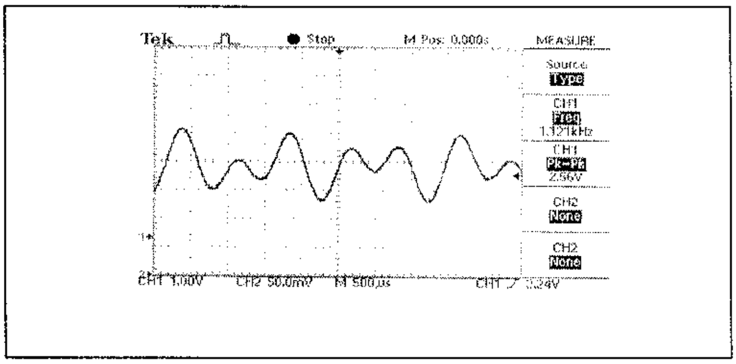
4.3 การทดสอบไอซีสร้างสัญญาณ DTMF

วัตถุประสงค์ในการทดลอง คือ ทดสอบประสิทธิภาพของไอซี MT8888CE ในการสร้างสัญญาณ DTMF วงจรการทดลองแสดงไว้ในภาพที่ 4.4



ภาพที่ 4.4 แสดงวงจรทดสอบประสิทธิภาพไอซี MT8888CE

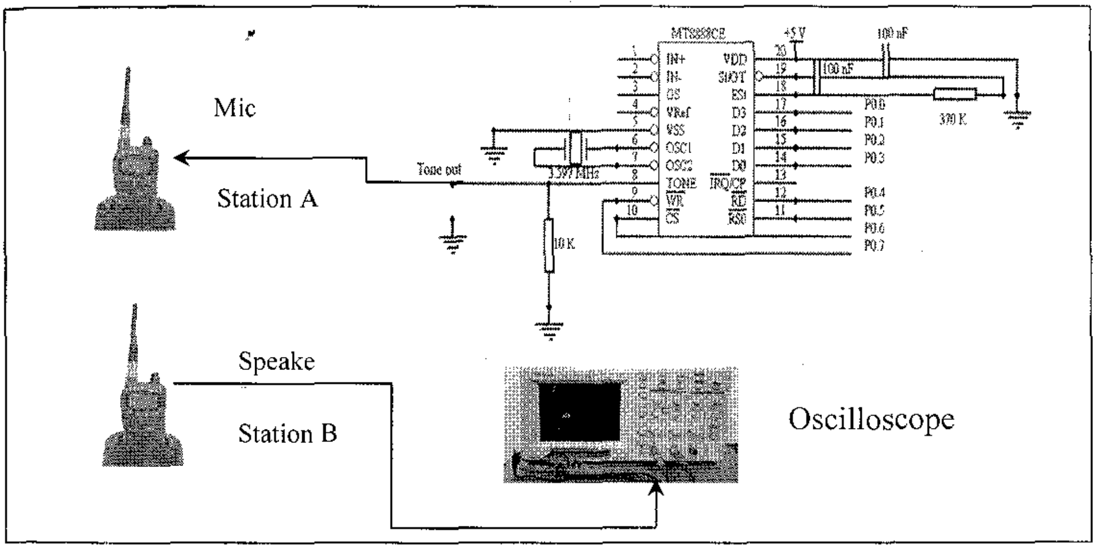
จากภาพที่ 4.4 ต่อสัญญาณ Tone out เข้ากับออสซิลโลสโคปเพื่อวัดสัญญาณ DTMF ที่ออกมาจากไอซี โดยโปรแกรมที่ใช้ในการทดสอบสามารถดูได้จากภาคผนวก ข การทำงานของโปรแกรม คือ ไมโครคอนโทรลเลอร์จะสั่งการให้ไอซีสร้างสัญญาณ DTMF ออกมาเรื่อย ๆ



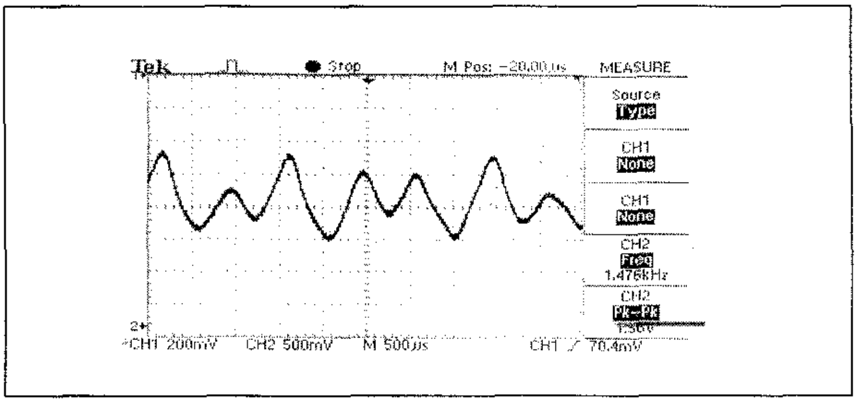
ภาพที่ 4.5 แสดงรูปสัญญาณ DTMF ซึ่งถูกแปลงจากค่า BCD code หมายเลข 5

จากรูปสัญญาณที่ได้ภาพที่ 4.5 สัญญาณที่ได้มีความผิดเพี้ยนน้อยมาก และระดับของสัญญาณมีค่าเท่ากับ 2.56 V แสดงว่าไอซีมีประสิทธิภาพในการสร้างสัญญาณ DTMF ดีพอสมควร แต่จากการทดสอบในหัวข้อที่ 4.2 ไมค์ของวิทยุสื่อสารนั้นตอบสนองต่อระดับของสัญญาณได้ดีในช่วง 200-500 mV ดังนั้นเมื่อส่งผ่านสัญญาณ DTMF เข้ากับไมค์ของวิทยุสื่อสารแล้ว อาจส่งผลทำให้สัญญาณมีความผิดเพี้ยนได้

4.4 การส่งผ่านสัญญาณ DTMF ด้วยเครื่องรับส่งวิทยุ



ภาพที่ 4.6 แสดงรูปการต่ออุปกรณ์ในการส่งผ่านสัญญาณ DTMF ด้วยวิทยุสื่อสาร

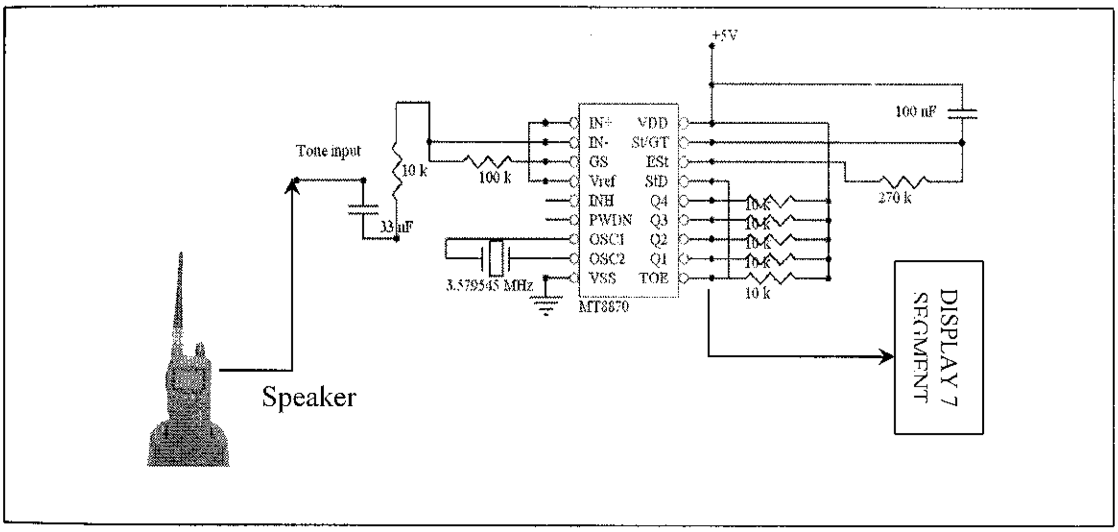


ภาพที่ 4.7 แสดงรูปของสัญญาณ DTMF ที่ภาครับ

จากภาพที่ 4.7 รูปของสัญญาณ DTMF ที่ภาครับความผิดเพี้ยนของสัญญาณขึ้นกับการปรับ Volume key ที่วิทยุสื่อสาร คือ ถ้าปรับค่าโวลลุ่มมากจะทำให้สัญญาณมีความผิดเพี้ยนมาก ถ้าปรับค่าน้อยไประดับของสัญญาณจะต่ำส่งผลให้ไอซี MT8870 ไม่สามารถถอดรหัสได้ ดังนั้นควรปรับ Volume key ให้มีค่าที่เหมาะสม เพื่อทำให้ไอซี MT8870 สามารถถอดสัญญาณ DTMF เป็น BCD code ได้อย่างถูกต้อง และแม่นยำ

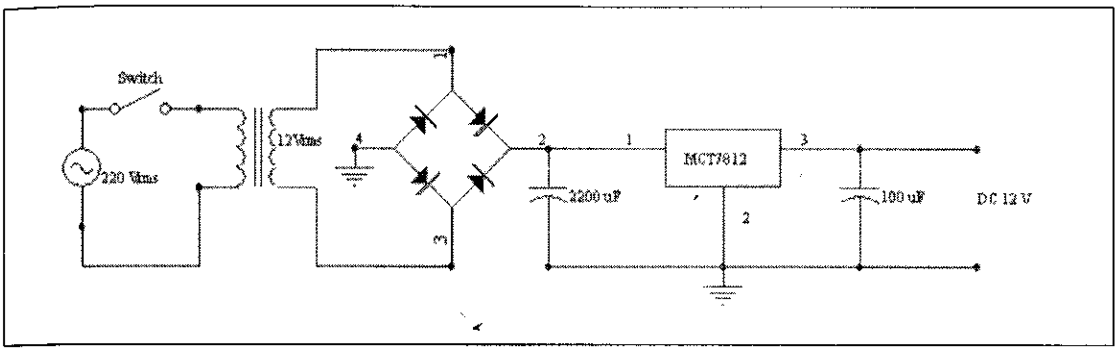
4.5 วงจรถอดรหัสสัญญาณ DTMF

ในส่วนนี้จะเป็นการทดสอบประสิทธิภาพของไอซีเบอร์ MT8870 ในการถอดสัญญาณ DTMF เป็น BCD code ซึ่งผลการทดสอบนั้นไอซีสามารถถอดสัญญา DTMF ได้อย่างมีประสิทธิภาพ แสดงวงจรการทดลองไว้ดังภาพที่ 4.8



ภาพที่ 4.8 แสดงวงจรถอดรหัสสัญญาณ DTMF

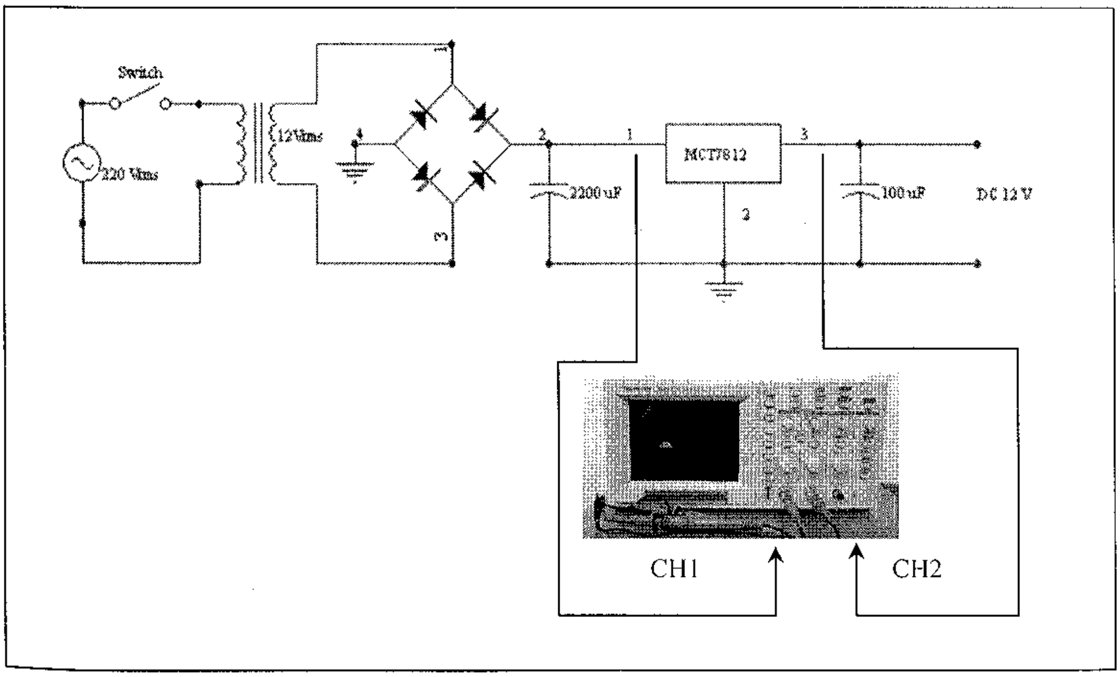
4.6 แหล่งจ่ายกำลังไฟฟ้าให้กับมอเตอร์



ภาพที่ 4.9 แสดงวงจรแหล่งจ่ายกำลังไฟฟ้ากระแสตรงขนาดแรงดัน 12 โวลต์

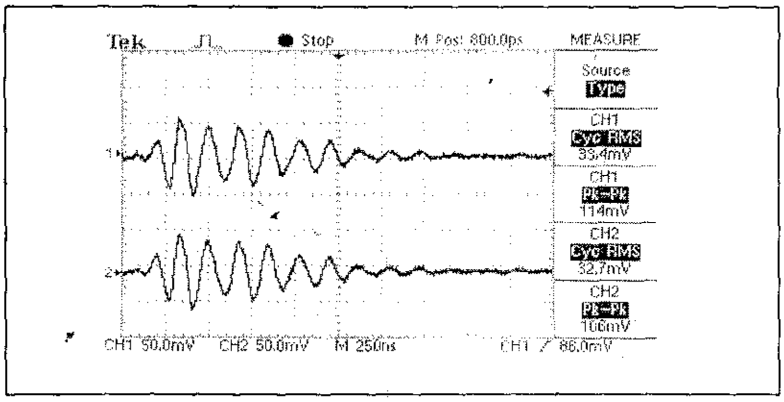
จากภาพที่ 4.9 แสดงวงจรแหล่งจ่ายกำลังไฟฟ้าให้กับดีซีมอเตอร์ 12 โวลต์ ออกแบบวงจร โดยเลือกใช้ไอซีเบอร์ MCT7812 ซึ่งมีวงจรเรียงกระแสแบบบริดจ์เป็นชุดขับแรงดันไฟฟ้าให้กับไอซี โดยสามารถแสดงความสัมพันธ์ของค่าอัตราส่วนการกำจัดค่าแรงดันไฟฟ้ากระเพื่อม (RRR) ดังสมการที่ (4.1)

$$RRR(\mathbf{dB}) = 20\log\left(\frac{Vri}{Vro}\right) \quad (4.1)$$



ภาพที่ 4.10 แสดงการต่ออุปกรณ์การในการวัดแรงดันไฟฟ้ากระเพื่อม

จากภาพที่ 4.10 สามารถหาแรงดันไฟฟ้ากระเพื่อมได้โดยใช้ CH1 ของออสซิลโลสโคป วัดสัญญาณอินพุทที่ขา 1 (V_{ri}) และCH2 วัดสัญญาณเอาท์พุทที่ขา 2 (V_{ro}) ปรับออสซิลโลสโคปไปที่โหมด AC และวัดเฉพาะสัญญาณกระเพื่อมเท่านั้น



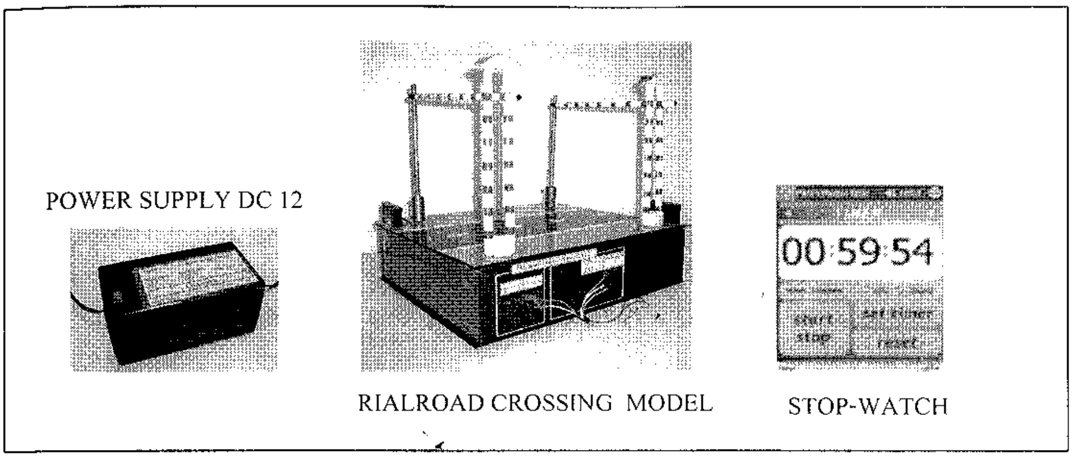
ภาพที่ 4.11 แสดงรูปของสัญญาณกระเพื่อม

จากภาพที่ 4.11 ทำการแทนค่าลงแรงดันลงในสมการที่ (4.1) ได้

$$\begin{aligned} RRR(\mathbf{dB}) &= 20 \log \left(\frac{114mV}{106mV}\right) \\ &= 0.632 \end{aligned}$$

4.7 การทดสอบแบบจำลองแผงกั้นรถไฟ

เนื่องจากได้ออกแบบระบบยกแผงกั้นโดยอาศัยการหมุนเกลียว ดังนั้นจึงจำเป็นต้องรู้เวลาในการยกแผงกั้นขึ้นลง เพื่อกำหนดการหน่วงเวลาของโปรแกรมควบคุมแผงกั้นรถไฟ แสดงอุปกรณ์ในการทดลองดังภาพที่ 4.12



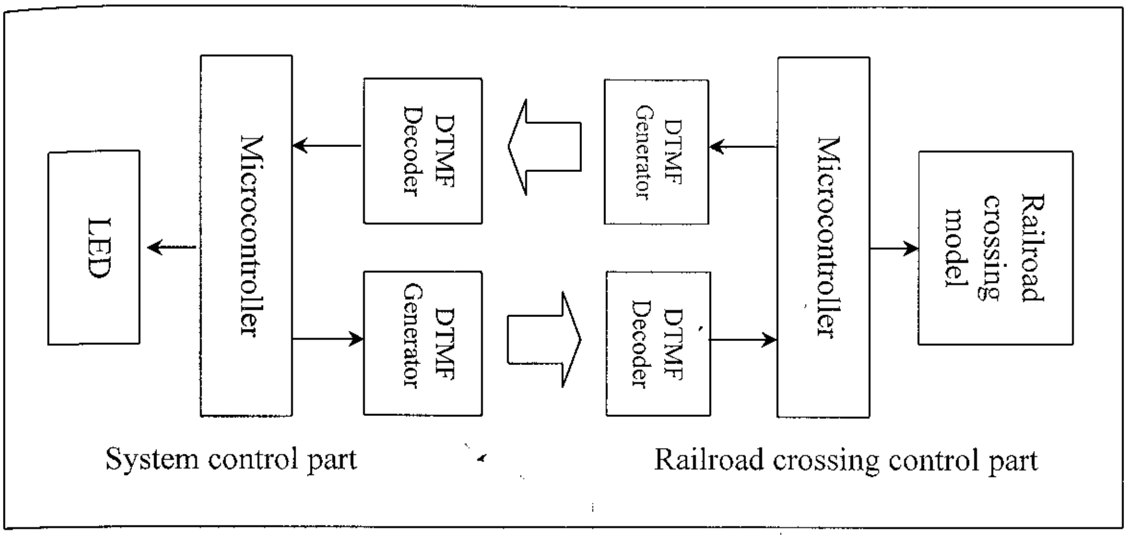
ภาพที่ 4.12 แสดงอุปกรณ์ในการทดสอบการยกแผงกั้นรถไฟขึ้น และลง

จากภาพที่ 4.12 ทำการทดสอบโดยต่อแหล่งจ่ายกำลังไฟฟ้ากระแสตรงขนาดแรงดัน 12 โวลต์ เข้าที่แบบจำลองและทำการจับเวลาในการยกแผงกั้นขึ้น และลง

ผลการทดสอบในการยกแผงกั้นทั้งขาขึ้นและขาลงนั้นใช้เวลาในแต่ละช่วงเท่ากับ 18 วินาที ปัญหาที่พบในการทดสอบคือ แผงกั้นทั้งสองข้างขึ้นลงไม่พร้อมกัน ทั้งนี้อาจเนื่องมาจากมอเตอร์ทั้งสองตัวที่ใช้ในการยกแผงกั้นแต่ละข้างนั้นได้รับกระแสที่ไม่เท่ากันจึงทำให้ความเร็วรอบในการหมุนไม่เท่ากัน

4.8 การทดสอบการเชื่อมต่อระบบโดยสมบูรณ์

การทดสอบการเชื่อมต่อระบบโดยสมบูรณ์ สามารถแบ่งออกได้เป็น 2 กระบวนการ คือ กระบวนการแรกจะเป็นการทดสอบระบบโดยไม่ผ่านเครื่องรับส่งวิทยุ และกระบวนที่สองจะเป็นการทดสอบเชื่อมโยงระบบด้วยเครื่องรับส่งวิทยุ ซึ่งการทดสอบในกระบวนการแรกเพื่อศึกษาการทำงานของระบบโดยรวม แสดงการจัดอุปกรณ์ดังภาพที่ 4.13

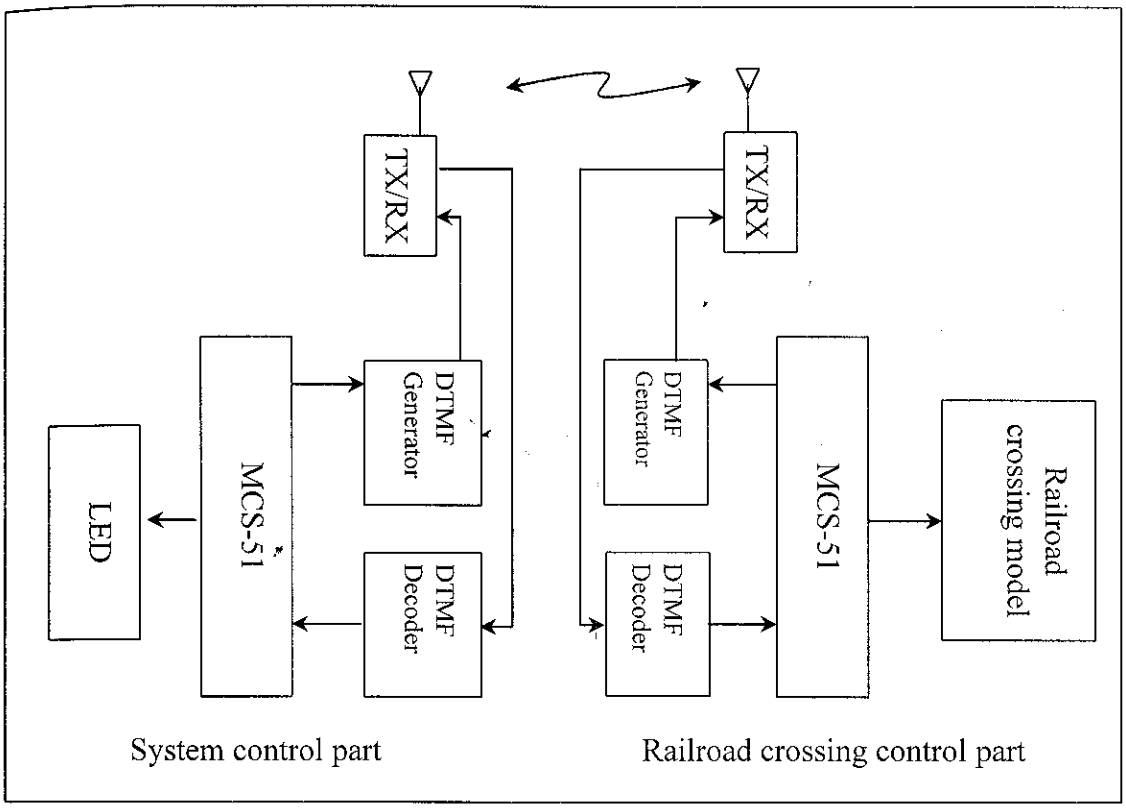


ภาพที่ 4.13 แสดงการจัดอุปกรณ์กระบวนการทดสอบระบบโดยไม่ผ่านเครื่องรับส่งวิทยุ

กระบวนการทดสอบมีขั้นตอนดังนี้

1. ที่ภาคควบคุมระบบทำการโปรแกรมไมโครคอนโทรลเลอร์สั่งการให้ไอซี MT8888CE สร้างสัญญาณ DTMF ออกไป
2. ที่ภาคควบคุมแผงกั้นรถไฟทำการรอรับค่า BCD code ที่ได้จากไอซี MT8870 เมื่อได้รับค่า BCD code แล้วไมโครคอนโทรลเลอร์จะประมวลผลเพื่อตรวจสอบข้อมูล ถ้าข้อมูลถูกต้องก็จะสั่งการให้ปิดแผงกั้นลง พร้อมกับสั่งการให้ไอซี MT8888CE สร้างสัญญาณ DTMF ออกไป
3. ที่ภาคควบคุมระบบเมื่อได้รับ BCD code ที่ได้จากไอซี MT8870 จากภาคควบคุมแผงกั้นรถไฟแล้ว ก็จะทำการตรวจสอบข้อมูล ถ้าถูกต้องก็สั่งการให้ LED ทำงาน
4. ทำการหน่วงเวลาที่ภาคควบคุมระบบประมาณ 2 นาที (เพื่อเป็นการจำลองเหตุการณ์ว่ารถไฟกำลังวิ่งไปที่สถานีถัดไป) แล้วทำการวนลูปการทำงานเช่นนี้เรื่อยๆ

กระบวนการทดสอบเชื่อมโยงระบบโดยผ่านเครื่องรับส่งวิทยุ ให้ทำการแยกระบบทั้งสองส่วนห่างกันประมาณ 100 เมตร การจัดอุปกรณ์ทดสอบได้แสดงไว้ดังรูปที่ 4.14



ภาพที่ 4.14 แสดงการจัดอุปกรณ์กระบวนการทดสอบเชื่อมโยงระบบโดยผ่านเครื่องรับส่งวิทยุ

เนื่องมาจากวิทยุสื่อสารที่ใช้ในการทดสอบมีวิธีการรับ และส่งข้อมูลกันแบบฮาร์ฟดูเพล็ก (Half duplex) ดังนั้นการโปรแกรมไมโครคอนโทรลเลอร์จะแตกต่างจากกระบวนการแรก ซึ่งเป็นการส่งข้อมูลแบบ ฟูลดูเพล็ก (Full duplex) ในการโปรแกรมควบคุมการทำงานของทั้งสองระบบนั้นต้องคำนึงถึงความเหมาะสมกับฟังก์ชั่นการทำงานของวิทยุสื่อสาร เพื่อทำให้การรับ และส่งข้อมูลถูกต้อง และแม่นยำ ส่วนขั้นตอนในการทดสอบนั้นกระทำเช่นเดียวกันกับกระบวนการแรก

ผลการทดลองทั้งสองกระบวนการทำงานร่วมกันตามที่ได้ออกแบบไว้ โดยระบบทั้งสองส่วนตอบสนองการทำงานต่อกันได้เป็นอย่างดี คือ ระบบสามารถส่ง และรับสัญญาณ DTMF ได้ถูกต้อง แม่นยำ และสามารถสั่งการอุปกรณ์คือ มอเตอร์ และหลอดแอลอีดีให้ทำงานได้อย่างมีประสิทธิภาพ แต่จะมีปัญหาเกิดขึ้นที่การทดสอบกระบวนการที่สองนิดหน่อยคือ การรับส่งข้อมูลเป็นไปได้ช้ากว่ากระบวนการแรก เนื่องจากระบบทำการรับส่งข้อมูลกันแบบฮาร์ฟดูเพล็ก

4.9 สรุป

การทดลองเพื่อทดสอบอุปกรณ์ในส่วนต่างๆ ผลการทดลองที่ได้ คือ อุปกรณ์และระบบสามารถทำงานได้ตามที่ออกแบบไว้ โดยมีการทดสอบเฉพาะส่วนต่างๆ ดังนี้

- ทดสอบการส่งผ่านความถี่ตามตารางที่ 4.1 เพื่อเป็นการยืนยันการส่งสัญญาณ DTMF ผ่านเครื่องรับส่งวิทยุ
- การทดสอบไอซีสร้างสัญญาณ DTMF ว่าสามารถทำงานได้มีประสิทธิภาพหรือไม่
- การทดสอบการส่งผ่านสัญญาณ DTMF ด้วยเครื่องรับส่งวิทยุ เพื่อทดสอบประสิทธิภาพของเครื่องรับส่งวิทยุในการส่งสัญญาณ DTMF
- การทดสอบไอซีถอดสัญญาณ DTMF ว่ามีประสิทธิภาพหรือไม่
- การทดสอบประสิทธิภาพแหล่งจ่ายกำลังไฟฟ้าให้กับมอเตอร์
- การทดสอบแบบจำลองแผงกั้นรถไฟ
- การทดสอบการเชื่อมต่อระบบโดยสมบูรณ์ เพื่อปรับปรุงโปรแกรมการทำงาน และเป็นการยืนยันว่าระบบสามารถทำงานได้จริง

บทที่ 5
สรุปผลการทดลอง และข้อเสนอแนะ

เนื้อหาในบทนี้จะกล่าวสรุปส่วนต่างๆ ของระบบทั้งหมด โดยจะกล่าวถึงปัญหาที่พบในการทำงาน และแนวทางแก้ไขปัญหา

5.1 สรุปผลการออกแบบโครงงาน

โครงงานชุดนี้เป็นการนำเอาเครื่องรับส่งวิทยุมาใช้ประโยชน์ในการรับส่งข้อมูลเพื่อควบคุมแผงกั้นรถไฟ โดยระบบนั้นถูกควบคุมด้วยไมโครคอนโทรลเลอร์ สามารถที่จะกล่าวสรุปเนื้อหาของโครงงานออกเป็นข้อๆ ได้ดังต่อไปนี้

1. ทำการออกแบบ สร้าง และทำการทดสอบ ส่วนเชื่อมต่อระหว่างไมโครคอนโทรลเลอร์กับเครื่องรับส่งวิทยุ ชุดสร้าง และถอดสัญญาณ DTMF ชุดสัญญาณไฟ และชุดจำลองแผง กั้นรถไฟ
2. ทำการออกแบบ สร้าง และทดสอบชุดสร้าง - ถอดสัญญาณ DTMF รวมทั้งส่วนควบคุมเครื่องรับส่งวิทยุ
3. ทำการออกแบบ สร้าง และทำการทดสอบแบบจำลองแผงกั้นรถไฟ
4. ทำการออกแบบ สร้าง และทำการทดสอบแหล่งจ่ายกำลังไฟฟ้าให้กับมอเตอร์กระแสตรงขนาด 12 โวลต์
5. ทำการออกแบบ และเขียนโปรแกรมภาษาแอสแซมบลี เพื่อโปรแกรมการทำงานไมโครคอนโทรลเลอร์ตระกูล MCS-51 ในการควบคุมการทำงานของระบบในส่วนต่างๆ เช่น ส่วนควบคุมระบบ ส่วนของการติดต่อสื่อสาร และส่วนควบคุมแบบจำลองแผงกั้นรถไฟ
6. ทำการทดลองใช้งานจริงในการทำงานร่วมกันของระบบทั้งหมด ซึ่งผลการทดลองแสดงให้เห็นว่าระบบสามารถทำงานร่วมกันได้จริง

5.2 ปัญหาที่พบ และแนวทางในการแก้ไขปัญหา

ปัญหาที่พบในโครงงานชุดนี้มีหลายประการด้วยกัน โดยสามารถแบ่งเป็นหัวข้อของปัญหาพร้อมทั้งแนวทางในการแก้ไขได้ดังต่อไปนี้

1. ปัญหาในการโปรแกรมควบคุมการทำงานไอซี MT8888CE ให้สามารถสร้าง และถอดสัญญาณ DTMF ได้ภายในตัว แต่สามารถทำได้เพียงสร้างสัญญาณ DTMF ได้อย่างเดียวเท่านั้น

- สาเหตุ เนื่องจากไอซีเบอร์ MT8888CE มีการติดต่อสื่อสารกับไมโครคอนโทรลเลอร์ โดยใช้พอร์ต D0-D3 (พอร์ตข้อมูล) ต่อเข้ากับพอร์ต CS, RS0 (พอร์ตควบคุมการทำงาน) ต่อกับพอร์ต P2 และพอร์ต WR, RD (พอร์ตในการเลือกเขียนหรือว่าอ่านข้อมูล) ต่อกับพอร์ต WR, RD ของไมโครคอนโทรลเลอร์ซึ่งในการเลือกให้ไอซีทำงานนั้นใช้พอร์ต ALE ในการแล็ตซ์ข้อมูล เมื่อทำการทดสอบวงจร และทำการโปรแกรมแล้ว ไอซีไม่ตอบสนองการทำงาน ดังนั้นจึงเลือกให้ไอซีสร้างสัญญาณ DTMF ได้อย่างเดียวเท่านั้นเพื่อทำให้ง่ายต่อการใช้งาน และลดขนาดของโปรแกรมควบคุมการทำงาน

- แนวทางแก้ไขปัญหา ทำการออกแบบ สร้างวงจรเชื่อมต่อกับไมโครคอนโทรลเลอร์ และโปรแกรมการทำงานไอซีใหม่ โดยดูเงื่อนไขในการทำงานของไอซี MT8888CE อย่างละเอียดถี่ถ้วน หรือเลือกใช้ไอซีที่มีคุณสมบัติในการสร้างสัญญาณ DTMF ได้อย่างเดียว

2. ภาคถอดสัญญาณ DTMF มีปัญหา คือ ไอซี MT8870 ไม่สามารถถอดสัญญาณ DTMF เป็น BCD code ได้อย่างถูกต้องแม่นยำ

- สาเหตุ เนื่องจากระดับของสัญญาณ DTMF ที่ออกมาจากลำโพงของวิทยุสื่อสารเข้ามาที่ DTMF input ของไอซี มีค่าสูงเกินไปทำให้สัญญาณมีความผิดเพี้ยน หรือมีค่าต่ำไปทำให้ไอซีไม่ทำงาน (ตาม data sheet แล้วความแรงของสัญญาณควรอยู่ในช่วง 1-3 V)

- แนวทางแก้ไขปัญหา ให้ทำการปรับโวลลุ่มของวิทยุสื่อสารอยู่ในระดับที่พอดี คือ รูปของสัญญาณมีความผิดเพี้ยนน้อย และมีความแรงพอสมควร ไอซีก็จะสามารถถอดสัญญาณได้อย่างถูกต้องแม่นยำ

3. เนื่องจากคลื่นความถี่วิทยุที่ใช้ในการติดต่อสื่อสารคือ ใช้ย่านความถี่ VHF 245 MHz ซึ่งเป็นย่าน CB อาจมีสัญญาณรบกวนได้เนื่องจากการใช้ช่องสัญญาณตรงกับบุคคลอื่น

- แนวทางแก้ไขปัญหา ใช้ช่องสัญญาณที่ต่างจากบุคคลอื่น

4. ภาคตัดต่อไมค์วิทยุสื่อสารมีปัญหา คือ วงจรตัดต่อไมค์วิทยุสื่อสารทำงานไม่แน่นอน

- สาเหตุ เนื่องจากไอซี ULN2003 ในการตัดต่อไมค์ทำให้กระแสไหลลงกราวด์มากเกินไปส่งผลทำให้กระแสลัดวงจร

- แนวทางแก้ไขปัญหา คือ ทำการต่อความต้านทานเพิ่มเข้าที่ไมค์ลงกราวด์

5. แบบจำลองแผงกั้นรถไฟมีปัญหา คือ แผงกั้นรถไฟขึ้นลงไม่พร้อมกัน

- สาเหตุ เนื่องจากได้ออกแบบระบบเปิด-ปิดแผงกั้นโดยอาศัยเกลียว 2 ตัวแยกกัน และใช้มอเตอร์ 2 ตัวในการหมุนเกลียวแยกเป็นอิสระต่อกัน แต่ได้ทำการต่อมอเตอร์ขนานกันอาจเป็นสาเหตุให้มอเตอร์ทั้งสองได้รับกระแสไม่เท่ากัน จึงเป็นสาเหตุทำให้ความเร็วรอบในการทำงานต่างกัน

- แนวทางแก้ไขปัญหา ทำได้โดยออกแบบวงในขับมอเตอร์ใหม่ โดยใช้รีเลย์ในการกลับขั้วของมอเตอร์แยกกัน หรือใช้มอเตอร์ตัวเดียวในการหมุนเกลียว 2 ตัว

6. ความบกพร่องของบุคคล คือ วงจรมีความเสียหายเนื่องจากการทดลองส่งผลให้เปลืองงบประมาณในการจัดซื้ออุปกรณ์เพิ่ม และเสียเวลาเป็นอย่างยิ่ง

- แนวทางแก้ไขปัญหา ก่อนทำการทดลองต้องตรวจสอบวงจรทดลองอย่างละเอียดถี่ถ้วนแล้วค่อยทำการเปิดแหล่งจ่ายกำลังไฟฟ้า เมื่อทำการทดลองเสร็จควรทำการปิดแหล่งจ่ายกำลังไฟฟ้าทุกครั้ง

5.3 ข้อเสนอแนะ

1. ในการเลือกใช้ไอซีสร้างสัญญาณ DTMF ถ้าเลือกใช้ไอซีที่มีความสามารถในการสร้างและถอดสัญญาณ DTMF ได้ภายในตัว วงจรก็จะมีขนาดเล็ก แต่มีความซับซ้อนในส่วนของโปรแกรมการทำงาน ถ้าเลือกใช้ไอซีที่มีคุณสมบัติสร้างสัญญาณ DTMF ได้อย่างเดียวการโปรแกรมทำงานก็จะสามารถทำได้ง่าย หลักการทำงานของวงจรไม่ซับซ้อน แต่มีข้อเสียคือวงจรมีขนาดใหญ่ขึ้นเนื่องจากต้องใช้ไอซีในการสร้าง และถอดสัญญาณ DTMF แยกกัน

2. รีเลย์ที่ใช้ในการตัดต่อไมค์ของวิทยุสื่อสาร สัญญาณไฟ และมอเตอร์ต้องเลือกให้ถูกชนิด คือ รีเลย์สามารถขับกระแสได้ขนาดไหน เพื่อทำให้ระบบมีเสถียรภาพมากขึ้น

3. ควรเลือกใช้วงจรขับรีเลย์ให้เหมาะสม โดยในโครงงานนี้เลือกใช้ไอซีในการขับ เพราะสามารถที่จะลดขนาดของวงจรให้เล็กลงได้ และมีประสิทธิภาพในการทำงาน

4. เพื่อเป็นการหลีกเลี่ยงสัญญาณรบกวนควรใช้ช่องสัญญาณที่ไม่ตรงกับบุคคลอื่น

5.4 แนวทางการพัฒนาต่อไป

1. พัฒนาวงจรเชื่อมต่อกับเครื่องส่งวิทยุให้มีประสิทธิภาพการทำงานที่ดีขึ้น

2. เลือกใช้เครื่องรับส่งวิทยุที่มีความถูกต้อง และแม่นยำในการส่ง และรับข้อมูลมากกว่า ยกตัวอย่างเช่น เลือกใช้เครื่องรับส่งวิทยุที่มีวิธีการมอดูเลทแบบ FSK, ASK, PSK, และGFSK เป็นต้น

3. ปรับปรุงแบบจำลองแผงกั้นรถไฟให้มีความเสมือนจริงมากกว่านี้ คือ สามารถเปิด-ปิดแผงกั้นได้ตามความยาวของขบวนรถไฟ โดยไม่ต้องใช้การหน่วงเวลาในการเปิด-ปิดแผงกั้น

บรรณานุกรม

1. เชาวลิต แจ้งไชย และวิชัย ศรีสุรักษ์. **"ระบบควบคุมการสูบจ่ายน้ำอัตโนมัติผ่านคลื่นวิทยุ."** วิทยานิพนธ์ปริญญาตรี สาขาวิชาวิศวกรรมโทรคมนาคม มหาวิทยาลัยเทคโนโลยีสุรนารี นครราชสีมา, 2540

2. เชาวฤทธิ์ บุญตา และสุทิน ทาคำห่อ. **"ระบบจำลองการควบคุมอุปกรณ์ไฟฟ้าผ่านสายไฟฟ้ากำลัง."** วิทยานิพนธ์ปริญญาตรี สาขาวิชาวิศวกรรมโทรคมนาคม มหาวิทยาลัยเทคโนโลยีสุรนารีนครราชสีมา, 2547

3. ชวลิต ขุนราม. "เครื่องควบคุมอุปกรณ์ไฟฟ้าอิสระ 8 ช่อง ผ่านโทรศัพท์มือถือ." **เซมิคอนดักเตอร์ อิเล็กทรอนิ๊กส์** (ธันวาคม 2546): 147.

4. วรพจน์ กรแก้ววัฒนกุล และชัยวัฒน์ ลิ้มพรจิตรวิไล. **เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ MCS-51 แบบแฟลช.** บางนา : อินโนเวตีฟ เอ็กเพอริเมนต์, ม.ป.ป.

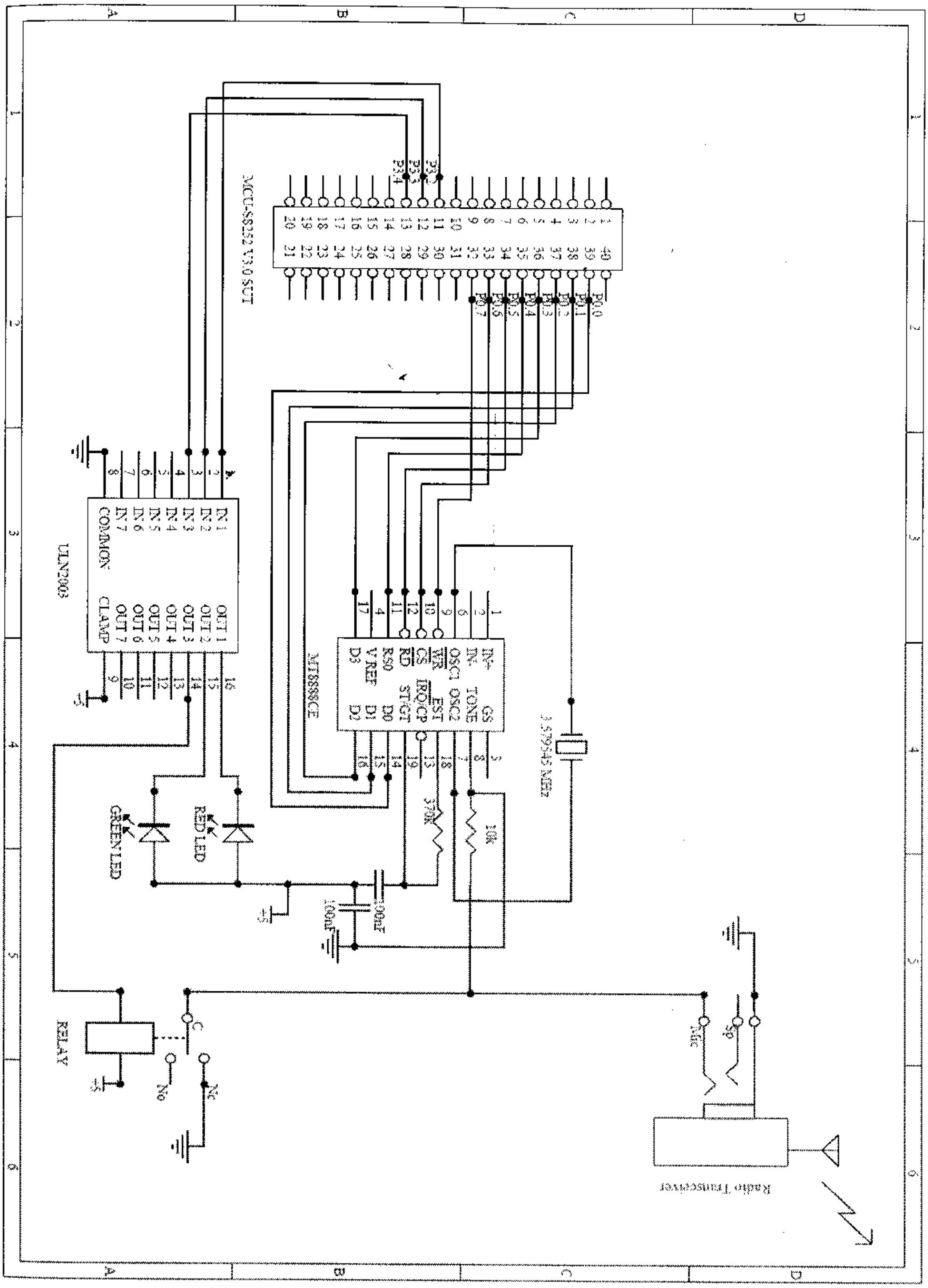
5. วรพันธ์ พิศาลสุนทร. "การทำงานและออกแบบวงจรขับรีเลย์." **เซมิคอนดักเตอร์ อิเล็กทรอนิกส์** (กันยายน 2546) : 185-199.

6. อำนวย ทีจันทึก และเริงณรงค์ วีระกุล. 2542. **"มาตรวัดน้ำรายงานผลด้วยระบบโทรศัพท์."** วิทยานิพนธ์ปริญญาตรี ภาควิชาวิศวกรรมศาสตร์ สถาบันเทคโนโลยีราชมงคล นครราชสีมา, 2542.

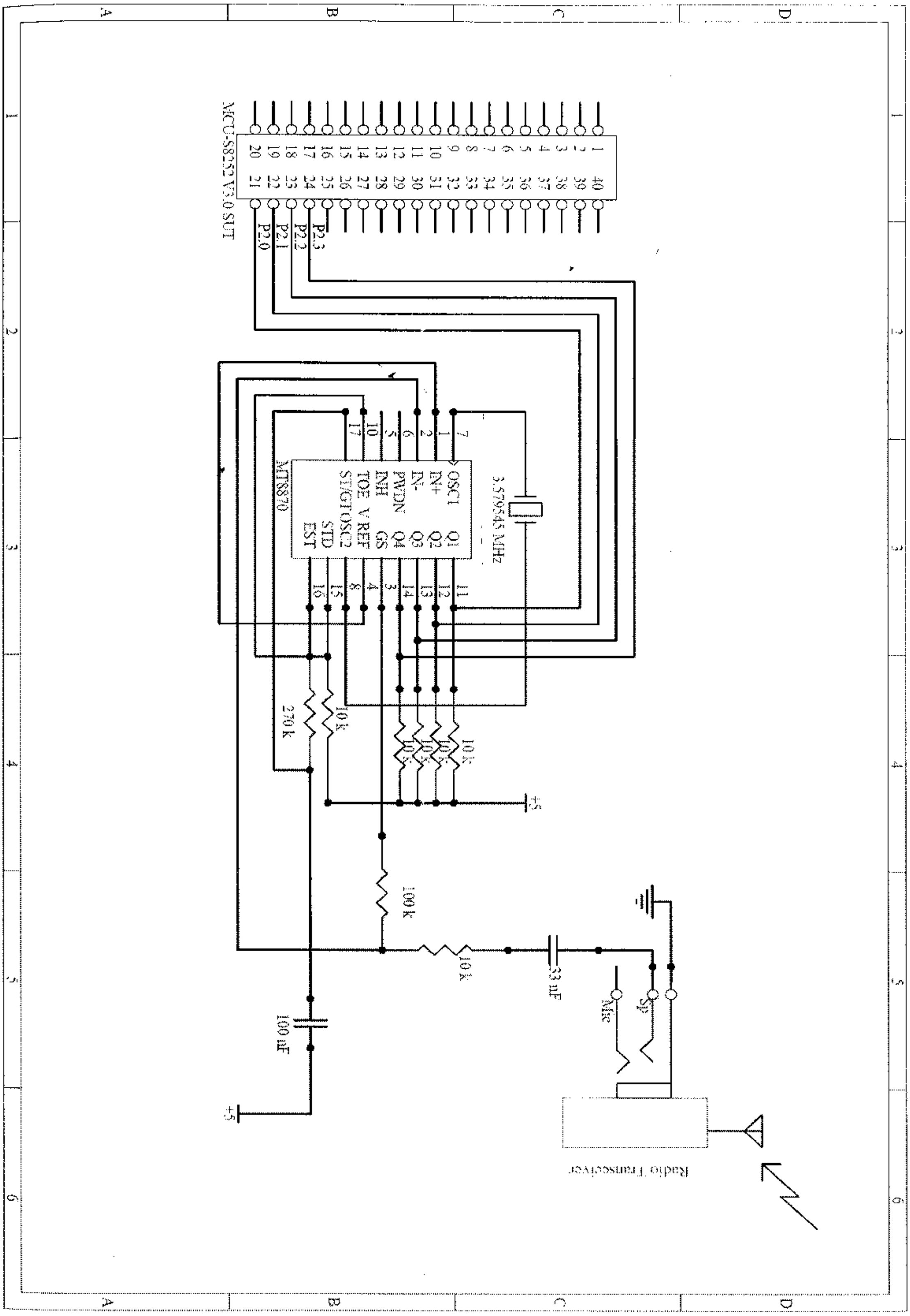
7. Mazidi, Janice G and Mazidi Muhammad A. **The 8051 microcontroller and embedded systems.** New Jersey: Prentice-Hall, Inc. 2000.

ภาคผนวก ก

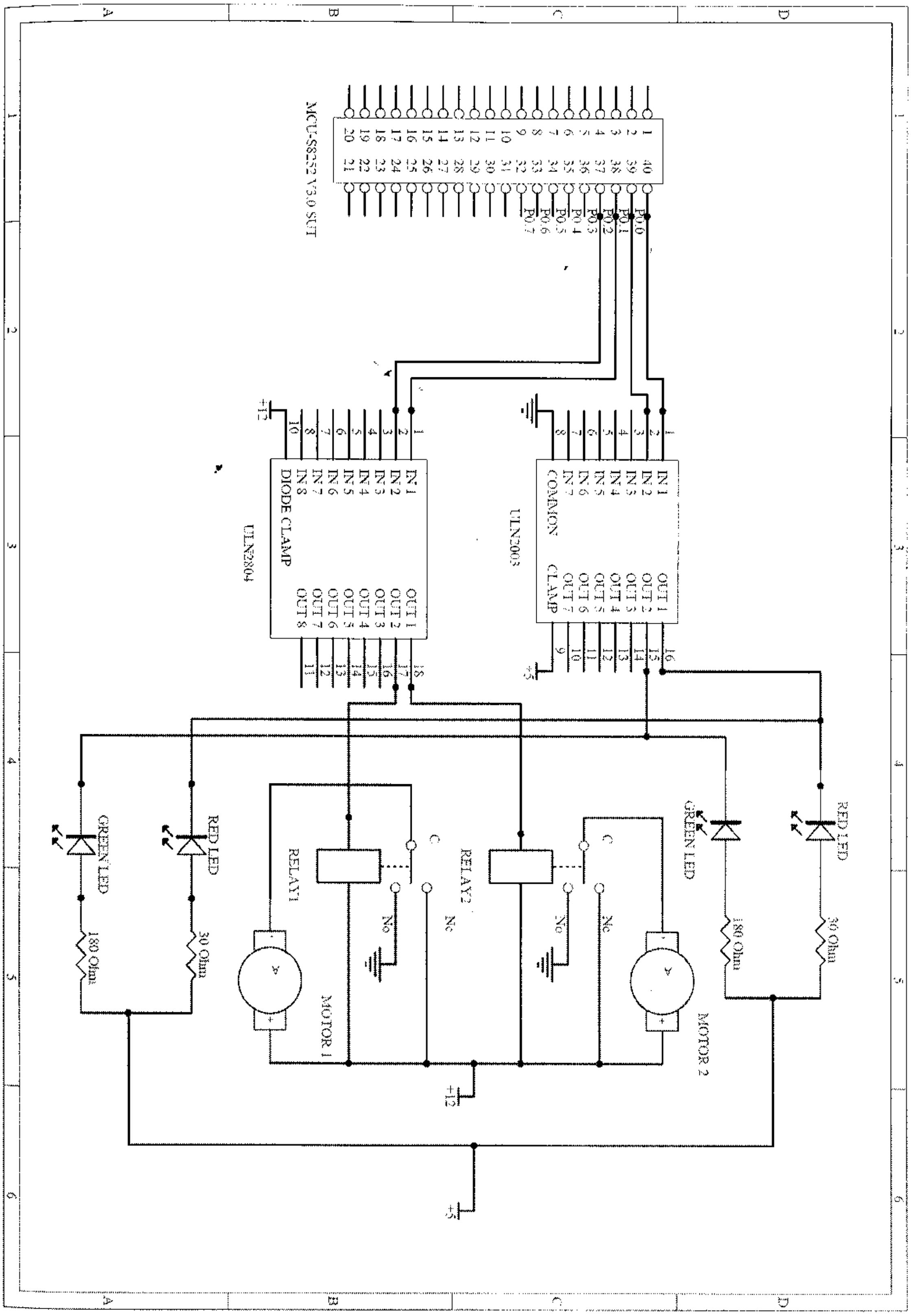
วงจรใช้งาน และลายวงจรแผ่นทองแดงพิมพ์



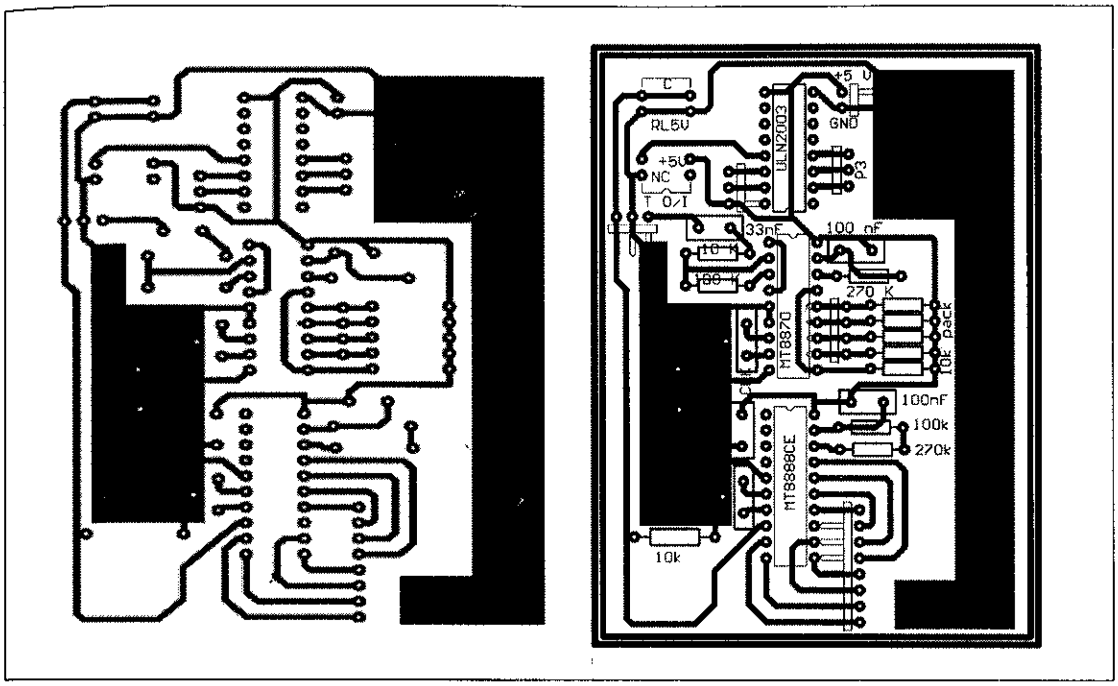
ภาพที่ ก.1 แสดงวงจรของส่วนเชื่อมต่อไมโครคอนโทรลเลอร์กับภาคส่งสัญญาณ DTMF



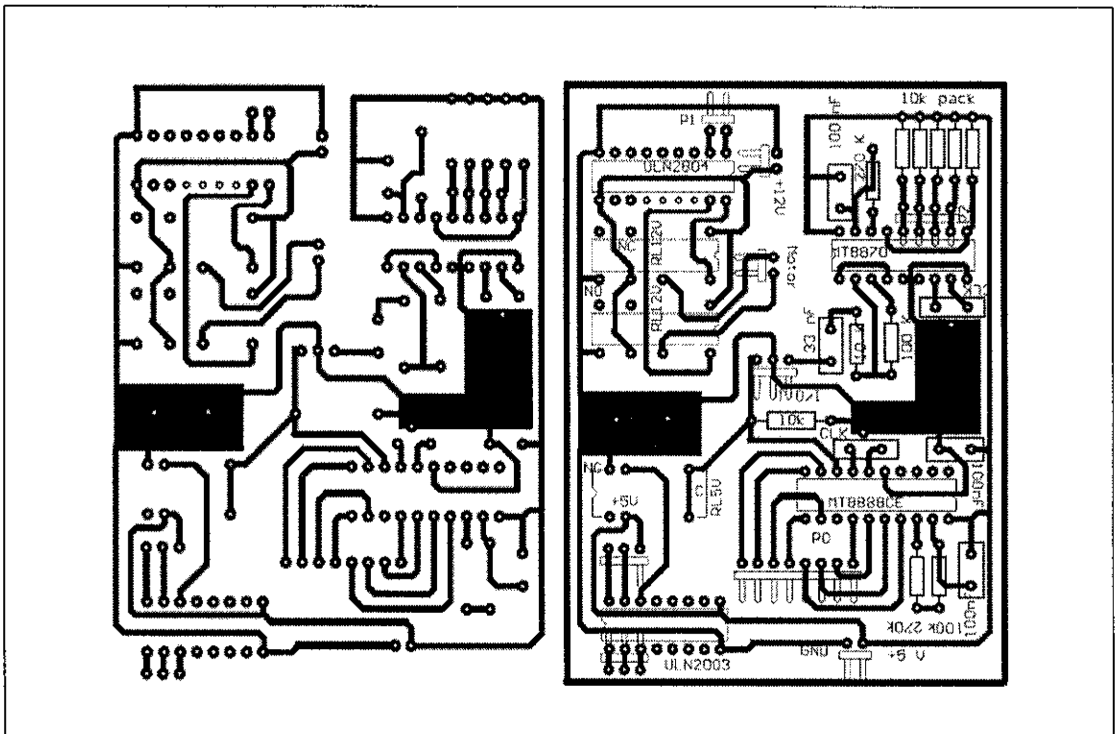
ภาพที่ ก.2 แสดงวงจรของส่วนเชื่อมต่อไมโครคอนโทรลเลอร์กับไอซี MT8870



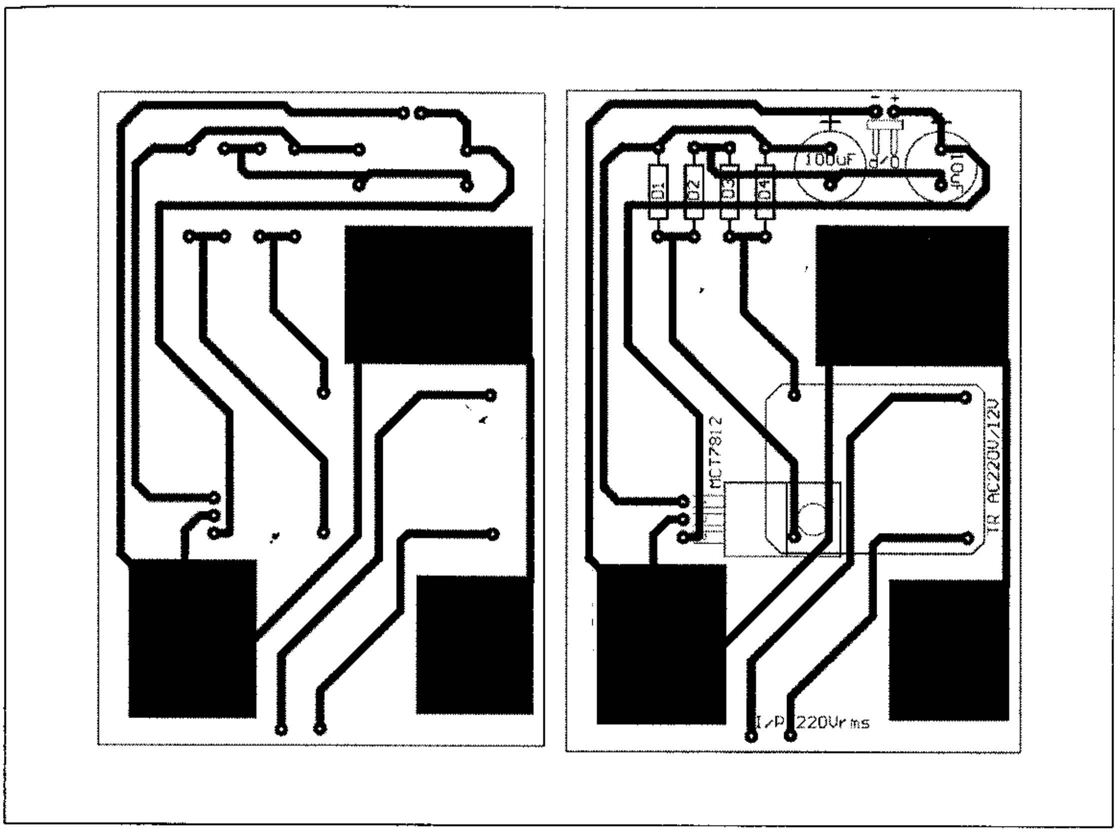
ภาพที่ ก.3 แสดงวงจรชุดควบคุมรีเลย์ เปิด-ปิดแผงกั้นรถไฟ



ภาพที่ ก.4 แสดงลายทองแดงแผ่นวงจรพิมพ์ภาคควบคุมระบบ และการลงอุปกรณ์



ภาพที่ ก.5 แสดงลายทองแดงแผ่นวงจรพิมพ์ภาคควบคุมแผงกั้นรถไฟ และการลงอุปกรณ์



ภาพที่ ก.7 แสดงลายทองแดงแผ่นวงจรพิมพ์แหล่งจ่ายกำลังไฟฟ้าให้กับมอเตอร์ และการลงอุปกรณ์

ภาคผนวก ข
โปรแกรมควบคุมการทำงานของระบบ

โปรแกรมภาคควบคุมระบบ

```
;*****************DTMF.ASM USING MT8888CE**********************
;*****************COMPLIER SXA51, HARDWARE MCU-S8252 V3.0 SUT*

D_PORT      EQU   P2
WR_BIT      BIT   P2.7
CS_BIT            BIT   P2.6
RD_BIT      BIT   P2.5
RS_BIT            BIT   P2.4
D3_BIT            BIT   P2.3
D2_BIT            BIT   P2.2
D1_BIT            BIT   P2.1
D0_BIT            BIT   P2.0
RED         BIT   P0.2
GREEN             BIT   P0.1
MIC         BIT   P0.0
;*****************************************************************
            ORG   0000H
            JMP   INIT
            ORG   0100H
INIT:       MOV   SP,#2FH
            MOV   P0,#0
            NOP
            SETB  GREEN                     ; Normal
            CLR   RED
;Send code to crossing down
START:            MOV   A,#0FDH             ; Write to CRA
            MOV   D_PORT,A
            CALL  C_REG
            MOV   A,#0F0H                   ; Write to CRB
            MOV   D_PORT,A
            CALL  C_REG
            SETB  MIC                       ; Mic on
            CALL  DELAY_500M
            MOV   A,#0F5H
            CALL  T_OUT
            MOV   A,#0F5H
            CALL  T_OUT
            MOV   A,#0F5H
            CALL  T_OUT
            MOV   A,#0F5H
            CALL  T_OUT
            CLR   MIC                       ;Mic off
            CALL  DELAY_500M
            CALL  RECEIVE
```

```
;Wait fot the green light
DATA_2:         MOV  R1,#0
        NOP
        MOV  P1,#0
        NOP
        MOV  P1,#0FFH
        NOP
        NOP
        MOV  A,P1                       ;Receive data 1
        NOP
        NOP
        MOV  1,A
        XCH  A,R1                       ;Receive data 2
        CJNE A,#0F9H,DATA_2
        NOP
        NOP
        SETB GREEN
        CALL DELAY_50M
        CLR  RED
        CALL DELAY_4S
        CALL DELAY_2S
        JMP  START
T_OUT:          MOV  D_PORT,A
        CLR  RS_BIT
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        DB   0,0,0,0,0
C_REG:          CLR  CS_BIT
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        CLR  WR_BIT
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        SETB CS_BIT
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        SETB WR_BIT
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        DB   0,0,0,0,0
        SETB RD_BIT
```

```
            SETB  RS_BIT
            CALL  DELAY_1S
            RET
RECEIVE:    MOV   P1,#0FFH
            NOP
            NOP
            NOP
LOOP:       MOV   A,P1                          ;Receive red light
            NOP
            NOP
            MOV   1,A
            XCH   A,R1
            CJNE  A,#0F7H,LOOP
            NOP
            NOP
            CLR   GREEN                         ;Green off
            CALL  DELAY_50M
            SETB  RED                           ;Red on
            RET

;#**********************************************************
;#*     START DISPLAY  FOR XTAL 16.00MHz
;#**********************************************************
DELAY_8S:   CALL  DELAY_4S    ; Delay 8 Sec
DELAY_4S:   CALL  DELAY_2S    ; Delay 4 Sec
DELAY_2S:   CALL  DELAY_1S    ; Delay 2 Sec
DELAY_1S:   CALL  DELAY_500M        ; Delay 1 Sec
DELAY_500M:       CALL  DELAY_250M        ; Delay 250 MilliSec
DELAY_250M:       MOV   R7,#5  ; Delay 250 MilliSec
DELAY_50M:        MOV   R6,#200       ; Delay 50 MilliSec
DELAY_250U:       MOV   R5,#96; Delay 250 MicroSec
HERE:       NOP
            NOP
            DJNZ  R5,HERE                    ; 83*0.75*4    = 250 MicroSec

            DJNZ  R6,DELAY_250U              ; 250*200      = 50  MilliSec
            DJNZ  R7,DELAY_50M               ; 50*5  = 250 MilliSec
            RET
            END
```

โปรแกรมภาคควบคุมแผงกั้นรถไฟ

```
;*****************DTMFv2.ASM USING MT8888CE*******************
;*****************COMPLIER SXA51, HARDWARE MCU-S8252 V3.0 SUT*
D_PORT          EQU   P0
WR_BIT          BIT   P0.7
CS_BIT          BIT   P0.6
RD_BIT          BIT   P0.5
RS_BIT          BIT   P0.4
D3_BIT          BIT   P0.3
D2_BIT          BIT   P0.2
D1_BIT          BIT   P0.1
D0_BIT          BIT   P0.0
DOWN            BIT   P1.4
UP       BIT    P1.3
MIC      BIT    P1.2
GREEN           BIT   P1.1
RED      BIT    P1.0

;*****************************************************************
****
         ORG    0000H
         JMP    START

         ORG    0100H

START:          MOV   SP,#2FH
         MOV    P1,#0
         NOP
         MOV    P2,#0FFH               ;P2 as input
         CALL   DELAY_1S
         SETB   GREEN                  ;Normal
         NOP
         CLR    RED
;Receive code

RECEIVE: MOV    A,P2                   ;Receive data 1
         NOP
         NOP
         MOV    1,A
         XCH    A,R1
         CJNE   A,#0F5H,RECEIVE
         CALL   DELAY_2S

;Send red light to the train
```

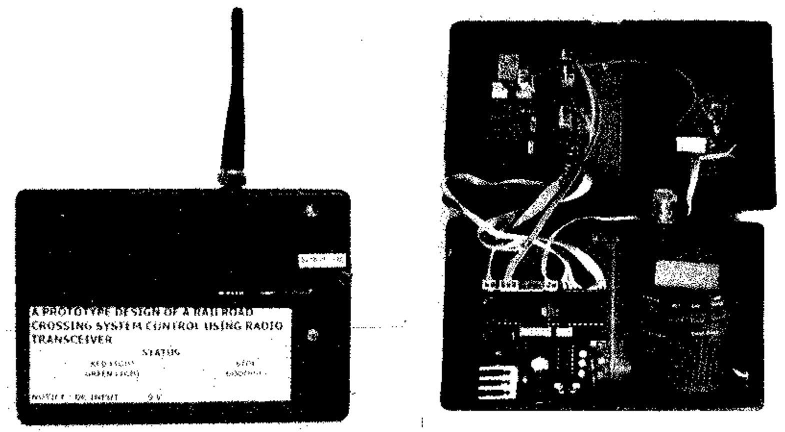
```
            MOV   A,#0FDH
            MOV   D_PORT,A
            CALL  C_OUT
            MOV   A,#0F0H                 ; CRB
            MOV   D_PORT,A
            CALL  C_OUT

SEND_TONE:        SETB  MIC               ;Mic on
            CALL  DELAY_1S

            MOV   A,#0F7H
            CALL  T_OUT

            MOV   A,#0F7H
            CALL  T_OUT

            MOV   A,#0F7H
            CALL  T_OUT

            CLR   MIC                     ;Mic off
            JMP   CONTROL

T_OUT:      MOV   D_PORT,A
            CLR   RS_BIT
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            DB    0,0,0,0,0
C_OUT:            CLR   CS_BIT
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            CLR   WR_BIT
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            SETB  CS_BIT
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            SETB  WR_BIT
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            DB    0,0,0,0,0
            SETB  RD_BIT
```

```
            SETB  RS_BIT
            CALL  DELAY_1S
            RET

;Control crossing

CONTROL:    CLR   GREEN            ;Green off
            NOP
            SETB  RED              ;Red on
            NOP
            SETB  DOWN             ;Crossing down
            CALL  DELAY_16S
            CALL  DELAY_2S
            CALL  DELAY_2S
            CLR   DOWN             ;Stop crossing

;Send green light to the train

            MOV   A,#0FDH          ; CRA
            MOV   D_PORT,A
            CALL  C_OUT_N
            MOV   A,#0F0H          ; CRB
            MOV   D_PORT,A
            CALL  C_OUT_N

            SETB  MIC              ;Mic on
            CALL  DELAY_500M

            MOV   A,#0F9H
            CALL  T_OUT_N

            MOV   A,#0F9H
            CALL  T_OUT_N

            MOV   A,#0F9H
            CALL  T_OUT_N

            CLR   MIC
            CALL  DELAY_8S         ;Train passing
            SETB  UP               ;Crossing up
            CALL  DELAY_16S
            CLR   UP               ;Stop crossing
            NOP
            CLR   RED              ;Red off
            NOP
            SETB  GREEN            ;Train passed
            JMP   START
```

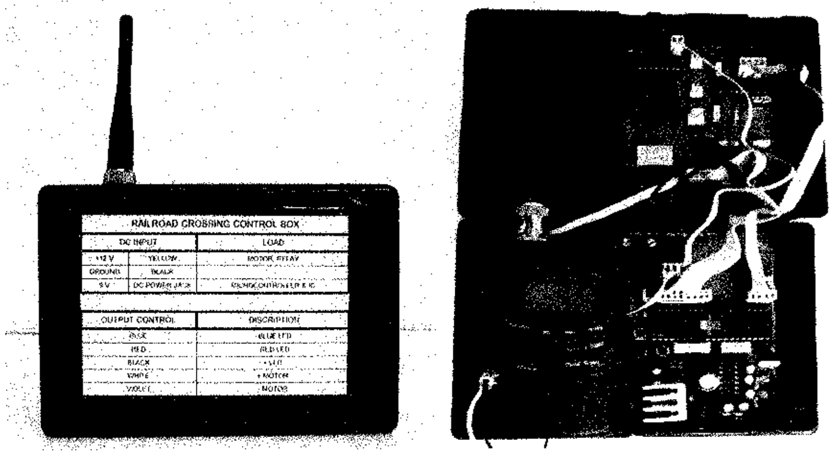
```
T_OUT_N:   MOV  D_PORT,A
           CLR  RS_BIT
           DB   0,0,0,0,0
           DB   0,0,0,0,0
           DB   0,0,0,0,0
           DB   0,0,0,0,0
C_OUT_N:   CLR  CS_BIT
           DB   0,0,0,0,0
           DB   0,0,0,0,0
           DB   0,0,0,0,0
           CLR  WR_BIT
           DB   0,0,0,0,0
           DB   0,0,0,0,0
           DB   0,0,0,0,0
           DB   0,0,0,0,0
           SETB CS_BIT
           DB   0,0,0,0,0
           DB   0,0,0,0,0
           DB   0,0,0,0,0
           SETB WR_BIT
           DB   0,0,0,0,0
           DB   0,0,0,0,0
           DB   0,0,0,0,0
           SETB RD_BIT
           SETB RS_BIT
           CALL DELAY_1S
           RET

;**************DELAY WITH XTAL 18.432 MHz ***********************
DELAY_16S: CALL DELAY_8S
DELAY_8S:  CALL DELAY_4S
DELAY_4S:  CALL DELAY_2S
DELAY_2S:  CALL DELAY_1S
DELAY_1S:  CALL DELAY_500M
DELAY_500M:     CALL DELAY_250M
DELAY_250M:     MOV  5,#5
DELAY_50M:      MOV  6,#200       ; Delay 50 ms
AGAIN:          MOV  7,#83        ; Delay 250 us
HERE:      NOP
           NOP
           DJNZ R7,HERE       ; ((4x83)+1)x(12/16MHz) = 249.75 us
           DJNZ R6,AGAIN      ; (249.75 us )x200 + ((3x200)x0.75 us) = 50.4ms
           DJNZ R5,DELAY_50M  ; (50.4 ms)x5 + ((3x5)x0.75us) = 252.01 ms
           RET

           END
```

ภาคผนวก ค

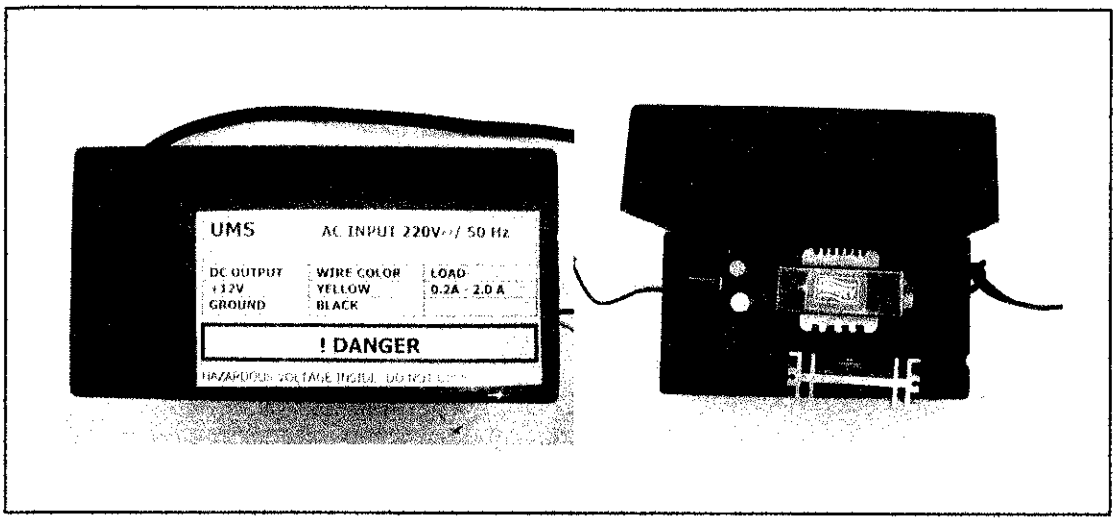
ภาพถ่ายอุปกรณ์ และเครื่องมือที่ได้ออกแบบ จัดสร้าง



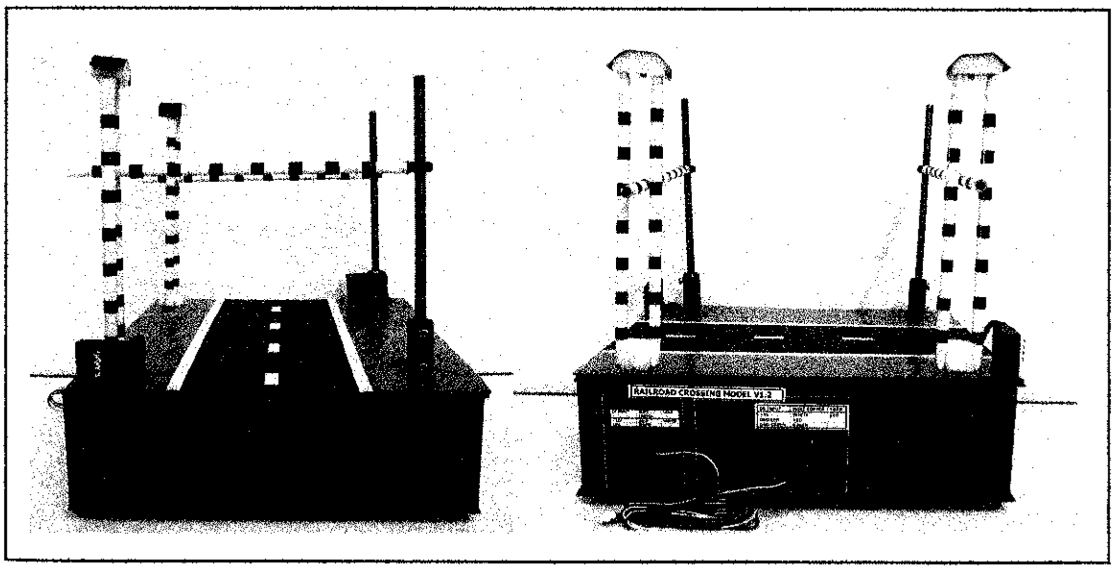
<u>ภาพที่ ค.1</u> แสดงภาพถ่ายอุปกรณ์ภาคควบคุมระบบ



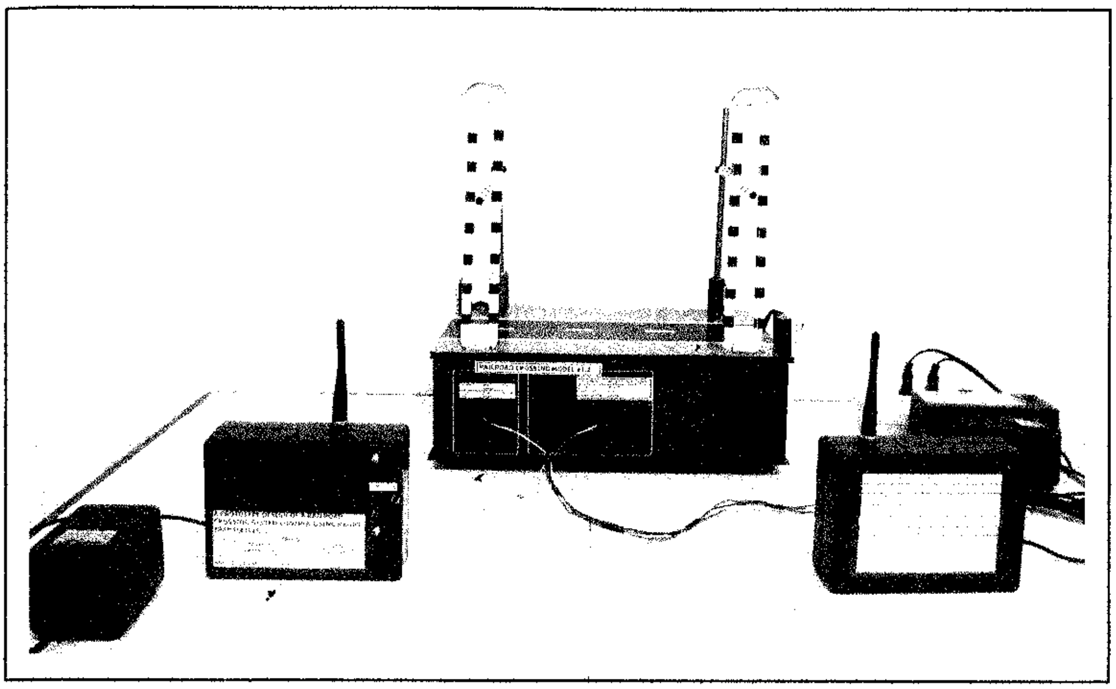
<u>ภาพที่ ค.2</u> แสดงภาพถ่ายอุปกรณ์ภาคควบคุมแผงกั้นรถไฟ



ภาพที่ ค.3 แสดงภาพถ่ายแหล่งจ่ายกำลังไฟฟ้าให้กับมอเตอร์



ภาพที่ ค.4 แสดงภาพถ่ายแสดงแบบจำลองแผงกั้นรถไฟ



ภาพที่ ค.5 แสดงภาพถ่ายเครื่องต้นแบบสำหรับควบคุมแผงกั้นรถไฟด้วยเครื่องรับส่งวิทยุ

ภาคผนวก ง

Data sheet

MT8888C

Integrated DTMF Transceiver with Intel Micro Interface

Data Sheet

Features

February 2004

- Central office quality DTMF transmitter/receiver
- Low power consumption
- High speed Intel micro interface
- Adjustable guard time
- Automatic tone burst mode
- Call progress tone detection to -30dBm

Applications

- Credit card systems
- Paging systems
- Repeater systems/mobile radio
- Interconnect dialers
- Personal computers

Description

The MT8888C is a monolithic DTMF transceiver with call progress filter. It is fabricated in CMOS technology offering low power consumption and high reliability.

Ordering Information

MT8888CE	20 Pin Plastic DIP
MT8888CS	20 Pin SOIC
MT8888CN	24 Pin SSOP
MT8888CP	28 Pin Plastic LCC

-40°C to +85°C

The receiver section is based upon the industry standard MT8870 DTMF receiver while the transmitter utilizes a switched capacitor D/A converter for low distortion, high accuracy DTMF signalling. Internal counters provide a burst mode such that tone bursts can be transmitted with precise timing. A call progress filter can be selected allowing a microprocessor to analyze call progress tones.

The MT8888C utilizes an Intel micro interface, which allows the device to be connected to a number of popular microcontrollers with minimal external logic.

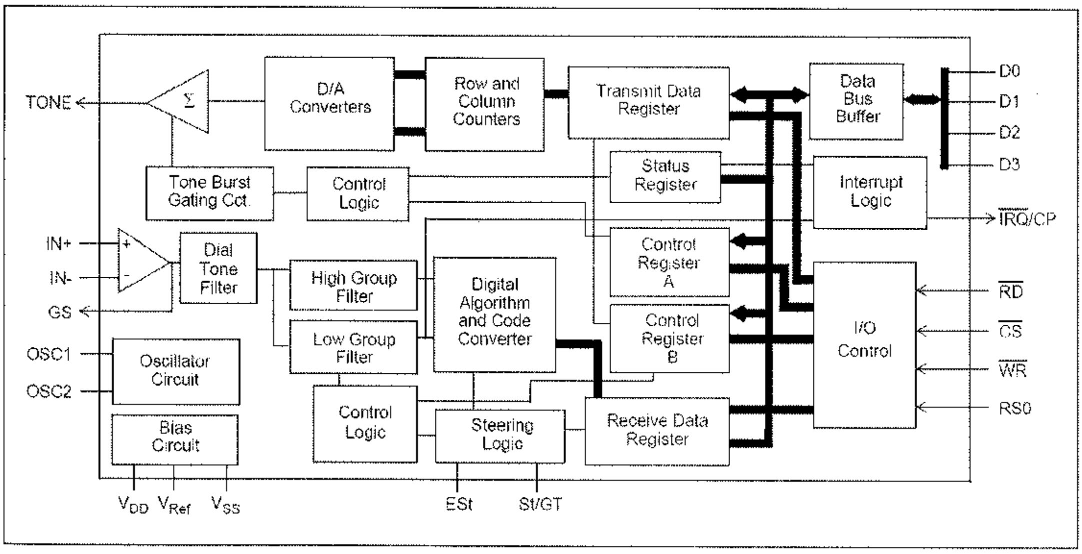


Figure 1 - Functional Block Diagram

Zarlink Semiconductor Inc.
Zarlink, ZL and the Zarlink Semiconductor logo are trademarks of Zarlink Semiconductor Inc.
Copyright 2003-2004, Zarlink Semiconductor Inc. All Rights Reserved.

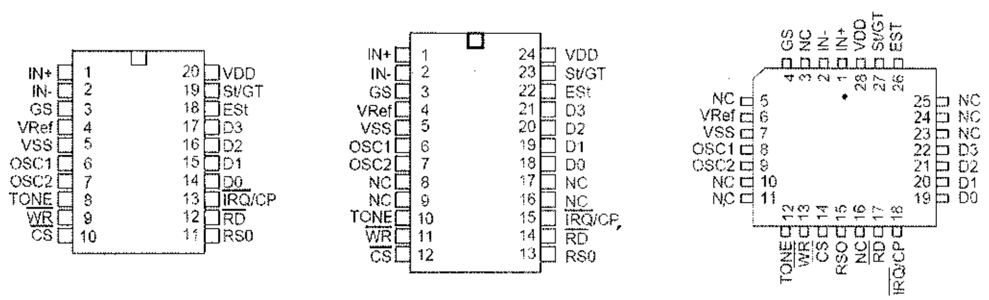


Figure 2 - Pin Connections

Pin Description

Pin #			Name	Description
20	**24**	**28**		
1	1	1	IN+	**Non-inverting** op-amp input.
2	2	2	IN-	**Inverting** op-amp input.
3	3	4	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	6	V_{Ref}	**Reference Voltage** output ($V_{DD}/2$).
5	5	7	V_{SS}	Ground (0V).
6	6	8	OSC1	DTMF clock/oscillator input. Connect a 4.7MΩ resistor to VSS if crystal oscillator is used.
7	7	9	OSC2	**Oscillator** output. A 3.579545 MHz crystal connected between OSC1 and OSC2 completes the internal oscillator circuit. Leave open circuit when OSC1 is driven externally.
8	10	12	TONE	Output from internal DTMF transmitter.
9	11	13	$\overline{WR}$	**$\overline{\text{Write}}$** microprocessor input. TTL compatible.
10	12	14	$\overline{CS}$	**Chip Select** input. Active Low. This signal must be qualified externally by address latch enable (ALE) signal, see Figure 14.
11	13	15	RS0	**Register Select** input. Refer to Table 3 for bit interpretation. TTL compatible.
12	14	17	$\overline{RD}$	**$\overline{\text{Read}}$** microprocessor input. TTL compatible.
13	15	18	$\overline{IRQ}$/CP	**Interrupt Request/Call Progress** (open drain) output. In interrupt mode, this output goes low when a valid DTMF tone burst has been transmitted or received. In call progress mode, this pin will output a rectangular signal representative of the input signal applied at the input op-amp. The input signal must be within the bandwidth limits of the call progress filter, see Figure 8.
14-17	18-21	19-22	D0-D3	Microprocessor Data Bus. High impedance when $\overline{CS}$ = 1 or $\overline{RD}$ = 1. TTL compatible.

Pin Description (continued)

Pin #			Name	Description
20	24	28		
18	22	26	ESt	**Early Steering** output. Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
19	23	27	St/GT	**Steering Input/Guard Time** output (bidirectional). A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
20	24	28	V_{DD}	Positive power supply (5V typical).
	8, 9, 16,17	3,5,10, 11,16, 23,25	NC	No Connection.

1.0 Functional Description

The MT8888C Integrated DTMF Transceiver consists of a high performance DTMF receiver with an internal gain setting amplifier and a DTMF generator which employs a burst counter to synthesize precise tone bursts and pauses. A call progress mode can be selected so that frequencies within the specified passband can be detected. The Intel micro interface allows microcontrollers, such as the 8080, 80C31/51 and 8085, to access the MT8888C internal registers.

2.0 Input Configuration

The input arrangement of the MT8888C provides a differential-input operational amplifier as well as a bias source (V_{Ref}), which is used to bias the inputs at $V_{DD}/2$. Provision is made for connection of a feedback resistor to the op-amp output (GS) for gain adjustment. In a single-ended configuration, the input pins are connected as shown in Figure 3. Figure 4 shows the necessary connections for a differential input configuration.

3.0 Receiver Section

Separation of the low and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies (see Table 1). These filters incorporate notches at 350 Hz and 440 Hz for exceptional dial tone rejection. Each filter output is followed by a single order switched capacitor filter section, which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

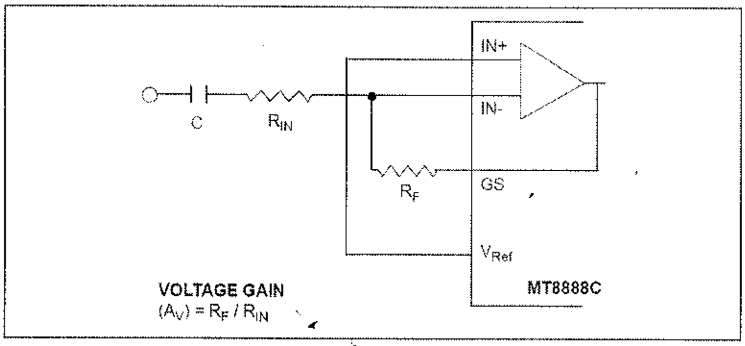


Figure 3 - Single-Ended Input Configuration

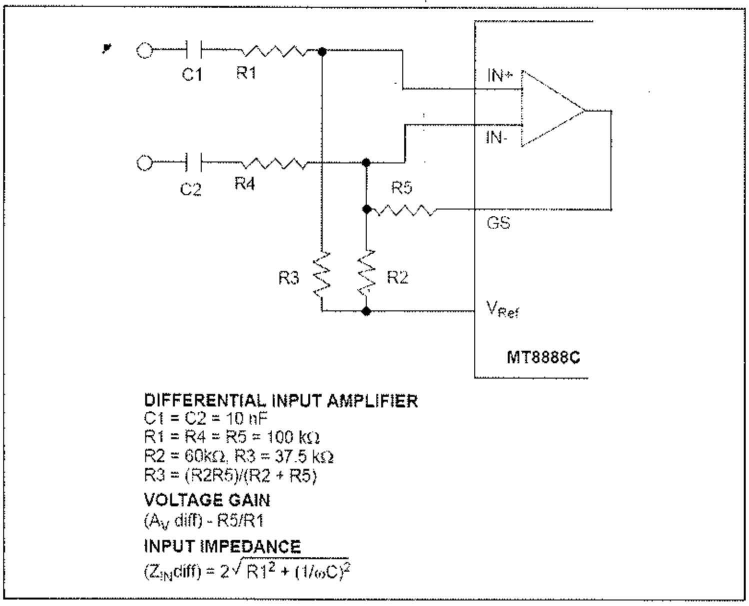


Figure 4 - Differential Input Configuration

F_{LOW}	F_{HIGH}	DIGIT	D_3	D_2	D_1	D_0
697	1209	1	0	0	0	1
697	1336	2	0	0	1	0
697	1477	3	0	0	1	1
770	1209	4	0	1	0	0
770	1336	5	0	1	0	1
770	1477	6	0	1	1	0
852	1209	7	0	1	1	1
852	1336	8	1	0	0	0
852	1477	9	1	0	0	1
941	1336	0	1	0	1	0
941	1209	*	1	0	1	1
941	1477	#	1	1	0	0
697	1633	A	1	1	0	1
770	1633	B	1	1	1	0
852	1633	C	1	1	1	1
941	1633	D	0	0	0	0

Table 1 - Functional Encode/Decode Table

Note: 0= LOGIC LOW, 1= LOGIC HIGH

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state.

4.0 Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 5) to rise as the capacitor discharges. Provided that the signal condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the Receive Data Register. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag goes high, signalling that a received tone pair has been registered. The status of the delayed steering flag can be monitored by checking the appropriate bit in the status register. If Interrupt mode has been selected, the $\overline{IRQ}$/CP pin will pull low when the delayed steering flag is active.

The contents of the output latch are updated on an active delayed steering transition. This data is presented to the four bit bidirectional data bus when the Receive Data Register is read. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the

receiver will tolerate signal interruptions (drop out) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

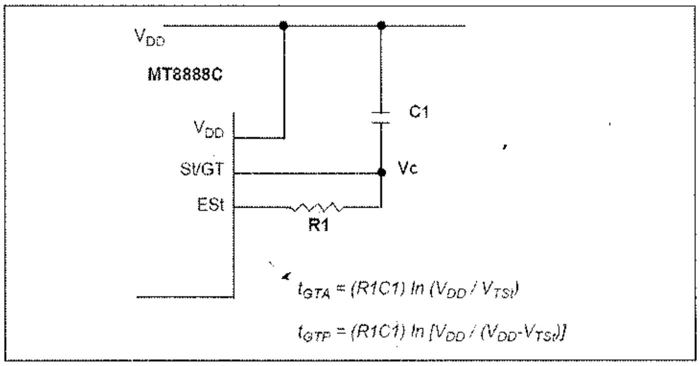


Figure 5 - Basic Steering Circuit

5.0 Guard Time Adjustment

The simple steering circuit shown in Figure 5 is adequate for most applications. Component values are chosen according to the following inequalities (see Figure 7):

$$t_{REC} \geq t_{DPmax} + t_{GTPmax} - t_{DAmin}$$
$$t_{\overline{REC}} \leq t_{DPmin} + t_{GTPmin} - t_{DAmax}$$
$$t_{ID} \geq t_{DAmax} + t_{GTAmax} - t_{DPmin}$$
$$t_{DO} \leq t_{DAmin} + t_{GTAmin} - t_{DPmax}$$

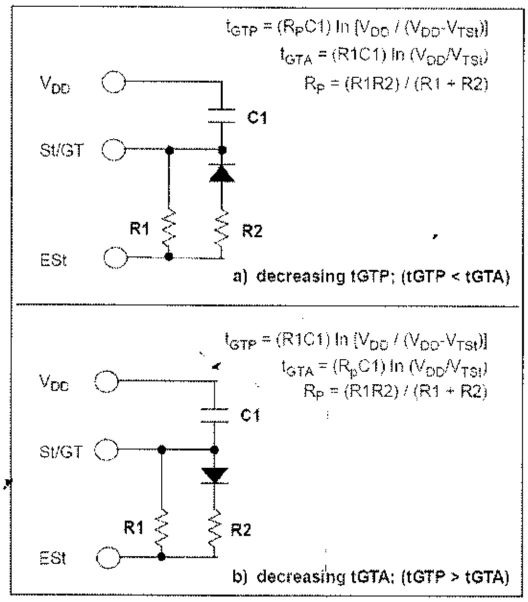


Figure 6 - Guard Time Adjustment

The value of t_{DP} is a device parameter (see AC Electrical Characteristics) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C1 of 0.1 µF is recommended for most applications, leaving R1 to be selected by the designer. Different steering arrangements may be used to select independent tone present (t_{GTP}) and tone absent (t_{GTA}) guard times. This may be necessary to meet system specifications which place both accept and reject limits on tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity.

Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain a valid signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 6. The receiver timing is shown in Figure 7 with a description of the events in Figure 9.

6.0 Call Progress Filter

A call progress mode, using the MT8888C, can be selected allowing the detection of various tones, which identify the progress of a telephone call on the network. The call progress tone input and DTMF input are common, however, call progress tones can only be detected when CP mode has been selected. DTMF signals cannot be detected if CP mode has been selected (see Table 7). Figure 8 indicates the useful detect bandwidth of the call progress filter. Frequencies presented to the input, which are within the 'accept' bandwidth limits of the filter, are hard-limited by a high gain comparator with the $\overline{IRQ}$/CP pin serving as the output. The squarewave output obtained from the schmitt trigger can be analyzed by a microprocessor or counter arrangement to determine the nature of the call progress tone being detected. Frequencies which are in the 'reject' area will not be detected and consequently the $\overline{IRQ}$/CP pin will remain low.

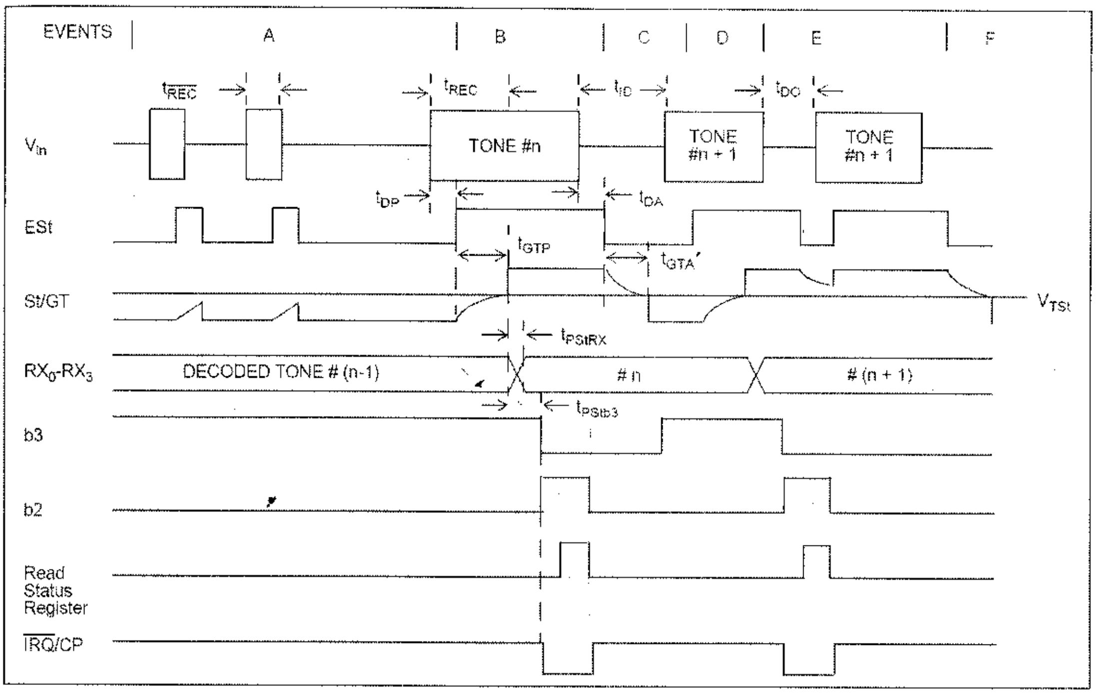


Figure 7 - Receiver Timing Diagram

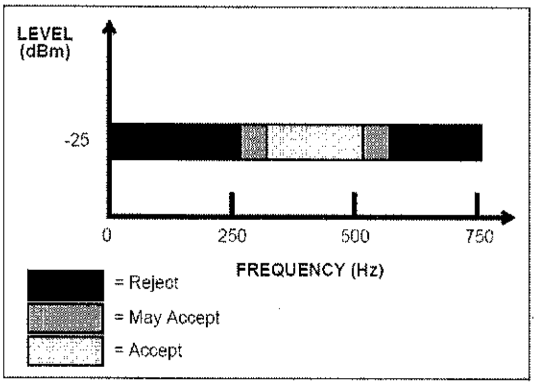


Figure 8 - Call Progress Response

EXPLANATION OF EVENTS

A)	TONE BURSTS DETECTED, TONE DURATION INVALID, RX DATA REGISTER NOT UPDATED.
B)	TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN RX DATA REGISTER.
C)	END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, INFORMATION IN RX DATA REGISTER RETAINED UNTIL NEXT VALID TONE PAIR.
D)	TONE #n+1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN RX DATA REGISTER.
E)	ACCEPTABLE DROPOUT OF TONE #n+1, TONE ABSENT DURATION INVALID, DATA REMAINS UNCHANGED.
F)	END OF TONE #n+1 DETECTED, TONE ABSENT DURATION VALID, INFORMATION IN RX DATA REGISTER RETAINED UNTIL NEXT VALID TONE PAIR.

EXPLANATION OF SYMBOLS

V_{in}	DTMF COMPOSITE INPUT SIGNAL.
ESt	EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.
St/GT	STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.
RX_0-RX_3	4-BIT DECODED DATA IN RECEIVE DATA REGISTER
b3	DELAYED STEERING. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL. ACTIVE LOW FOR THE DURATION OF A VALID DTMF SIGNAL.
b2	INDICATES THAT VALID DATA IS IN THE RECEIVE DATA REGISTER. THE BIT IS CLEARED AFTER THE STATUS REGISTER IS READ.
$\overline{IRQ}$/CP	INTERRUPT IS ACTIVE INDICATING THAT NEW DATA IS IN THE RX DATA REGISTER. THE INTERRUPT IS CLEARED AFTER THE STATUS REGISTER IS READ.
t_{REC}	MAXIMUM DTMF SIGNAL DURATION NOT DETECTED AS VALID.
$t_{\overline{REC}}$	MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION.
t_{ID}	MINIMUM TIME BETWEEN VALID SEQUENTIAL DTMF SIGNALS.
t_{DO}	MAXIMUM ALLOWABLE DROPOUT DURING VALID DTMF SIGNAL.
t_{DP}	TIME TO DETECT VALID FREQUENCIES PRESENT.
t_{DA}	TIME TO DETECT VALID FREQUENCIES ABSENT.
t_{GTP}	GUARD TIME, TONE PRESENT.
t_{GTA}	GUARD TIME, TONE ABSENT.

Figure 9 - Description of Timing Events

7.0 DTMF Generator

The DTMF transmitter employed in the MT8888C is capable of generating all sixteen standard DTMF tone pairs with low distortion and high accuracy. All frequencies are derived from an external 3.579545 MHz crystal. The sinusoidal waveforms for the individual tones are digitally synthesized using row and column programmable dividers and switched capacitor D/A converters. The row and column tones are mixed and filtered providing a DTMF signal with low total harmonic distortion and high accuracy. To specify a DTMF signal, data conforming to the encoding format shown in Table 1 must be written to the transmit Data Register. Note that this is the same as the receiver output code. The individual tones which are generated (f_{LOW} and f_{HIGH}) are referred to as Low Group and High Group tones. As seen from the table, the low group frequencies are 697, 770, 852 and 941 Hz. The high group frequencies are 1209, 1336, 1477 and 1633 Hz. Typically, the high group to low group amplitude ratio (twist) is 2 dB to com-pensate for high group attenuation on long loops.

The period of each tone consists of 32 equal time segments. The period of a tone is controlled by varying the length of these time segments. During write operations to the Transmit Data Register the 4 bit data on the bus is latched and converted to 2 of 8 coding for use by the programmable divider circuitry. This code is used to specify a time segment length, which will ultimately determine the frequency of the tone. When the divider reaches the appropriate count, as determined by the input code, a reset pulse is issued and the counter starts again. The number of time segments is fixed at 32, however, by varying the segment length as described above the frequency can also be varied. The divider output clocks another counter, which addresses the sinewave lookup ROM.

The lookup table contains codes which are used by the switched capacitor D/A converter to obtain discrete and highly accurate DC voltage levels. Two identical circuits are employed to produce row and column tones, which are then mixed using a low noise summing amplifier. The oscillator described needs no "start-up" time as in other DTMF generators since the crystal oscillator is running continuously thus providing a high degree of tone burst accuracy. A bandwidth limiting filter is incorporated and serves to attenuate distortion products above 8 kHz. It can be seen from Figure 8 that the distortion products are very low in amplitude.

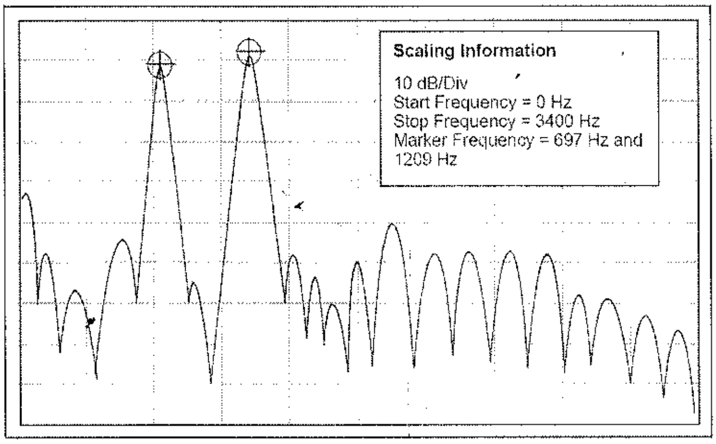


Figure 10 - Spectrum Plot

8.0 Burst Mode

In certain telephony applications it is required that DTMF signals being generated are of a specific duration determined either by the particular application or by any one of the exchange transmitter specifications currently existing. Standard DTMF signal timing can be accomplished by making use of the Burst Mode. The transmitter is capable of issuing symmetric bursts/pauses of predetermined duration. This burst/pause duration is 51 ms±1 ms, which is a standard interval for autodialer and central office applications. After the burst/pause has been issued, the appropriate bit is set in the Status Register indicating that the transmitter is ready for more data. The timing described above is available when DTMF mode has been selected. However, when CP mode (Call Progress mode) is selected, the burst/pause duration is doubled to 102 ms ±2 ms. Note that when CP mode and Burst mode have been selected, DTMF tones may be transmitted only and *not* received. In applications where a non-standard burst/pause time is desirable, a software timing loop or external timer can be used to provide the timing pulses when the burst mode is disabled by enabling and disabling the transmitter.

9.0 Single Tone Generation

A single tone mode is available whereby individual tones from the low group or high group can be generated. This mode can be used for DTMF test equipment applications, acknowledgment tone generation and distortion measurements. Refer to Control Register B description for details.

ACTIVE INPUT	OUTPUT FREQUENCY (Hz)		%ERROR
	SPECIFIED	ACTUAL	
L1	697	699.1	+0.30
L2	770	766.2	-0.49
L3	852	847.4	-0.54
L4	941	948.0	+0.74
H1	1209	1215.9	+0.57
H2	1336	1331.7	-0.32
H3	1477	1471.9	-0.35
H4	1633	1645.0	+0.73

Table 2 - Actual Frequencies Versus Standard Requirements

10.0 Distortion Calculations

The MT8888C is capable of producing precise tone bursts with minimal error in frequency (see Table 2). The internal summing amplifier is followed by a first-order lowpass switched capacitor filter to minimize harmonic components and intermodulation products. The total harmonic distortion for a *single tone* can be calculated using Equation 1, which is the ratio of the total power of all the extraneous frequencies to the power of the fundamental frequency expressed as a percentage.

$$\text{THD}(\%) = 100 \frac{\left(\sqrt{V^2_{2f} + V^2_{3f} + V^2_{4f} + \ldots V^2_{nf}}\right)}{V_{fundamental}}$$

Figure 11 - Equation 1. THD (%) For a Single Tone

The Fourier components of the tone output correspond to V_{2f}.... V_{nf} as measured on the output waveform. The total harmonic distortion for a *dual tone* can be calculated using Equation 2. V_L and V_H correspond to the low group amplitude and high group amplitude, respectively and V^2_{IMD} is the sum of all the intermodulation components. The internal switched-capacitor filter following the D/A converter keeps distortion products down to a very low level as shown in Figure 10.

$$\text{THD}(\%) = 100 \frac{\left(\sqrt{V^2_{2L} + V^2_{3L} + \ldots V^2_{nL} + V^2_{2H} + V^2_{3H} + \ldots V^2_{nH} + V^2_{IMD}}\right)}{\sqrt{V^2_L + V^2_H}}$$

Figure 12 - Equation 2. THD (%) For a Dual Tone

11.0 DTMF Clock Circuit

The internal clock circuit is completed with the addition of a standard television colour burst crystal. The crystal specification is as follows:

Frequency:	3.579545 MHz
Frequency Tolerance:	±0.1%
Resonance Mode:	Parallel
Load Capacitance:	18pF
Maximum Series Resistance:	150 ohms
Maximum Drive Level:	2mW

e.g. CTS Knights MP036S

Toyocom TQC-203-A-9S

A number of MT8888C devices can be connected as shown in Figure 13 such that only one crystal is required. Alternatively, the OSC1 inputs on all devices can be driven from a TTL buffer with the OSC2 outputs left unconnected.

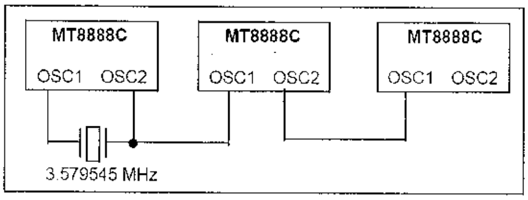


Figure 13 - Common Crystal Connection

12.0 Microprocessor Interface

The MT8888C incorporates an Intel microprocessor interface which is compatible with fast versions (16 MHz) of the 80C51. No wait cycles need to be inserted.

Figure 19 and Figure 20 are the timing diagrams for the Intel 8031, 8051 and 8085 (5 MHz) microcontrollers. By NANDing the address latch enable (ALE) output with the high-byte address (P2) decode output, $\overline{CS}$ is generated. Figure 14 summarizes the connection of these Intel processors to the MT8888C transceiver.

The microprocessor interface provides access to five internal registers. The read-only Receive Data Register contains the decoded output of the last valid DTMF digit received. Data entered into the write-only Transmit Data Register will determine which tone pair is to be generated (see Table 1 for coding details). Transceiver control is accomplished with two control registers (see Table 6 and Table 7), CRA and CRB, which have the same address. A write operation to CRB is executed by first setting the most significant bit (b3) in CRA. The following write operation to the same address will then be directed to CRB, and subsequent write cycles will be directed back to CRA. The read-only status register indicates the current transceiver state (see Table 8).

A software reset must be included at the beginning of all programs to initialize the control registers upon power-up or power reset (see Figure 19). Refer to Tables 4-7 for bit descriptions of the two control registers.

The multiplexed $\overline{IRQ}$/CP pin can be programmed to generate an interrupt upon validation of DTMF signals or when the transmitter is ready for more data (burst mode only). Alternatively, this pin can be configured to provide a squarewave output of the call progress signal. The $\overline{IRQ}$/CP pin is an open drain output and requires an external pull-up resistor (see Figure 15).

RS0	$\overline{WR}$	$\overline{RD}$	FUNCTION
0	0	1	Write to Transmit Data Register
0	1	0	Read from Receive Data Register
1	0	1	Write to Control Register
1	1	0	Read from Status Register

Table 3 - nternal Register Functions

b3	b2	b1	b0
RSEL	IRQ	CP/$\overline{DTMF}$	TOUT

Table 4 - CRA Bit Positions

b3	b2	b1	b0
C/$\overline{R}$	S/$\overline{D}$	TEST	$\overline{BURST ENABLE}$

Table 5 - CRB Bit Positions

BIT	NAME	DESCRIPTION
b0	TOUT	Tone Output Control. A logic high enables the tone output; a logic low turns the tone output off. This bit controls all transmit tone functions.
b1	CP/$\overline{DTMF}$	Call Progress or DTMF Mode Select. A logic high enables the receive call progress mode; a logic low enables DTMF mode. In DTMF mode the device is capable of receiving and transmitting DTMF signals. In CP mode a rectangular wave representation of the received tone signal will be present on the $\overline{IRQ}$/CP output pin if IRQ has been enabled (control register A, b2=1). In order to be detected, CP signals must be within the bandwidth specified in the AC Electrical Characteristics for Call Progress. Note: DTMF signals cannot be detected when CP mode is selected.
b2	IRQ	Interrupt Enable. A logic high enables the interrupt function; a logic low de-activates the interrupt function. When IRQ is enabled and DTMF mode is selected (control register A, b1=0), the $\overline{IRQ}$/CP output pin will go low when either 1) a valid DTMF signal has been received for a valid guard time duration, or 2) the transmitter is ready for more data (burst mode only).
b3	RSEL	Register Select. A logic high selects control register B for the next write cycle to the control register address. After writing to control register B, the following control register write cycle will be directed to control register A.

Table 6 - Control Register A Description

BIT	NAME	DESCRIPTION
b0	$\overline{\text{BURST}}$	Burst Mode Select. A logic high de-activates burst mode; a logic low enables burst mode. When activated, the digital code representing a DTMF signal (see Table 1) can be written to the transmit register, which will result in a transmit DTMF tone burst and pause of equal durations (typically 51 msec). Following the pause, the status register will be updated (b1 - Transmit Data Register Empty), and an interrupt will occur if the interrupt mode has been enabled. When CP mode (control register A, b1) is enabled the normal tone burst and pause durations are extended from a typical duration of 51 msec to 102 msec. When $\overline{\text{BURST}}$ is high (de-activated) the transmit tone burst duration is determined by the TOUT bit (control register A, b0).
b1	TEST	Test Mode Control. A logic high enables the test mode; a logic low de-activates the test mode. When TEST is enabled and DTMF mode is selected (control register A, b1=0), the signal present on the $\overline{\text{IRQ}}$/CP pin will be analogous to the state of the DELAYED STEERING bit of the status register (see Figure 7, signal b3).
b2	S/$\overline{\text{D}}$	Single or Dual Tone Generation. A logic high selects the single tone output; a logic low selects the dual tone (DTMF) output. The single tone generation function requires further selection of either the row or column tones (low or high group) through the C/$\overline{\text{R}}$ bit (control register B, b3).
b3	C/$\overline{\text{R}}$	Column or Row Tone Select. A logic high selects a column tone output; a logic low selects a row tone output. This function is used in conjunction with the S/$\overline{\text{D}}$ bit (control register B, b2).

Table 7 - Control Register B Description

BIT	NAME	STATUS FLAG SET	STATUS FLAG CLEARED
b0	IRQ	Interrupt has occurred. Bit one (b1) or bit two (b2) is set.	Interrupt is inactive. Cleared after Status Register is read.
b1	TRANSMIT DATA REGISTER EMPTY (BURST MODE ONLY)	Pause duration has terminated and transmitter is ready for new data.	Cleared after Status Register is read or when in non-burst mode.
b2	RECEIVE DATA REGISTER FULL	Valid data is in the Receive Data Register.	Cleared after Status Register is read.
b3	$\overline{\text{DELAYED STEERING}}$	Set upon the valid detection of the absence of a DTMF signal.	Cleared upon the detection of a valid DTMF signal.

Table 8 - Status Register Description

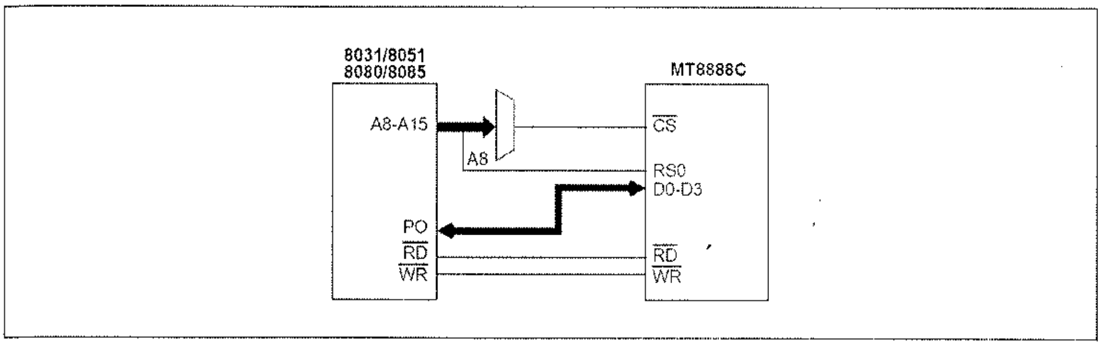


Figure 14 - MT8888C Interface Connections for Various Intel Micros

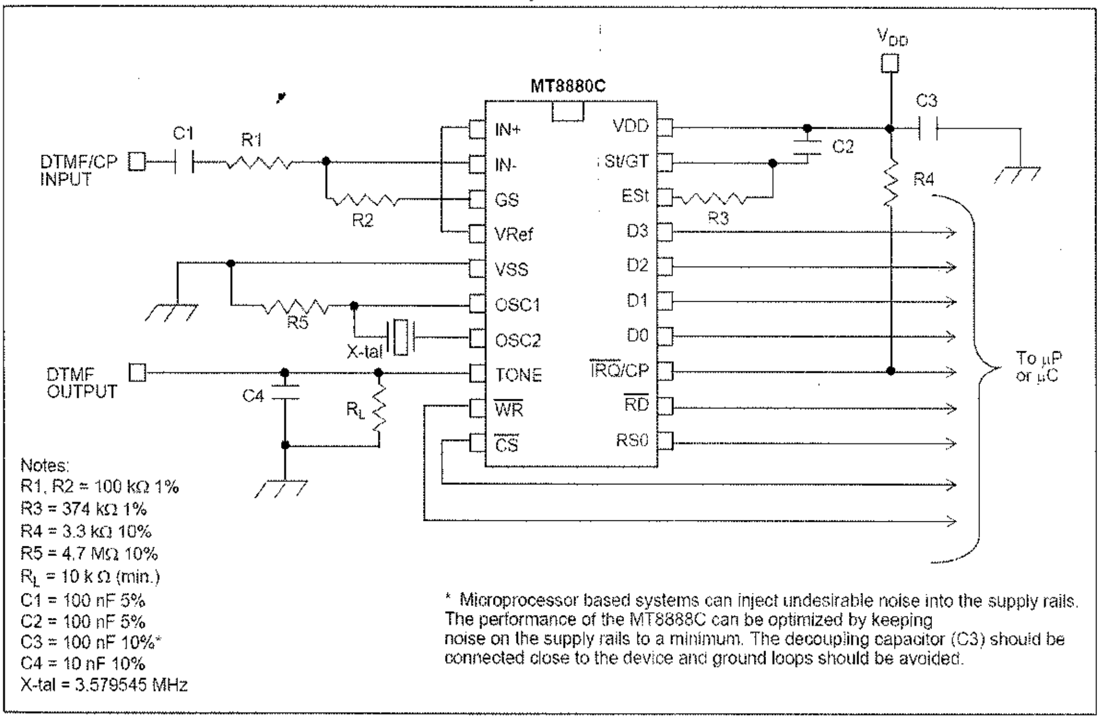
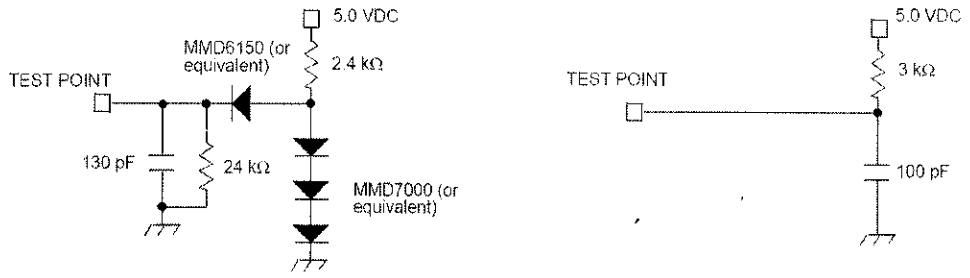


Figure 15 - Application Circuit (Single-Ended Input)



Test load for D0-D3 pins

Test load for $\overline{IRQ}$/CP pin

Figure 16 - Test Circuits

INITIALIZATION PROCEDURE

A software reset must be included at the beginning of all programs to initialize the control registers after power up. The initialization procedure should be implemented 100ms after power up.

Description:	Control RS0	WR	$\overline{RD}$	Data b3	b2	b1	b0
1) Read Status Register	1	1	0	X	X	X	X
2) Write to Control Register	1	0	1	0	0	0	0
3) Write to Control Register	1	0	1	0	0	0	0
4) Write to Control Register	1	0	1	1	0	0	0
5) Write to Control Register	1	0	1	0	0	0	0
6) Read Status Register	1	1	0	X	X	X	X

TYPICAL CONTROL SEQUENCE FOR BURST MODE APPLICATIONS

Transmit DTMF tones of 50 ms burst/50 ms pause and Receive DTMF Tones.

Sequence:

	RS0	$\overline{WR}$	$\overline{RD}$	b3	b2	b1	b0
1) Write to Control Register A (tone out, DTMF, $\overline{IRQ}$, Select Control Register B)	1	0	1	1	1	0	1
2) Write to Control Register B (burst mode)	1	0	1	0	0	0	0
3) Write to Transmit Data Register (send a digit 7)	0	0	1	0	1	1	1
4) Wait for an interrupt or poll Status Register							
5) Read the Status Register	1	1	0	X	X	X	X
-if bit 1 is set, the Tx is ready for the next tone, in which case...							
Write to Transmit Register (send a digit 5)	0	0	1	0	1	0	1
-if bit 2 is set, a DTMF tone has been received, in which case....							
Read the Receive Data Register	0	1	0	X	X	X	X
-if both bits are set...							
Read the Receive Data Register	0	1	0	X	X	X	X
Write to Transmit Data Register	0	0	1	0	1	0	1

NOTE: IN THE TX BURST MODE, STATUS REGISTER BIT 1 WILL NOT BE SET UNTIL 100 ms (±2 ms) AFTER THE DATA IS WRITTEN TO THE TX DATA REGISTER. IN EXTENDED BURST MODE THIS TIME WILL BE DOUBLED TO 200 ms (± 4 ms).

Figure 17 - Application Notes

Absolute Maximum Ratings*

	Parameter	Symbol	Min	Max	Units
1	Power supply voltage V_{DD}-V_{SS}	V_{DD}		6	V
2	Voltage on any pin	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Current at any pin (Except V_{DD} and V_{SS})			10	mA
4	Storage temperature	T_{ST}	-65	+150	°C
5	Package power dissipation	P_D		1000	mW

* Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

Recommended Operating Conditions

- Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Positive power supply	V_{DD}	4.75	5.00	5.25	V	
2	Operating temperature	T_O	-40		+85	°C	
3	Crystal clock frequency	f_{CLK}	3.575965	3.579545	3.583124	MHz	

‡ Typical figures are at 25 °C and for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics

† - V_{SS}=0 V.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUP	Operating supply voltage	V_{DD}	4.75	5.0	5.25	V	
2	SUP	Operating supply current	I_{DD}		7.0	11	mA	
3	SUP	Power consumption	P_C			57.8	mW	
4	INPUTS	High level input voltage (OSC1)	V_{IHO}	3.5			V	Note 9*
5	INPUTS	Low level input voltage (OSC1)	V_{ILO}			1.5	V	Note 9*
6	INPUTS	Steering threshold voltage	V_{TSt}	2.2	2.3	2.5	V	V_{DD}=5V
7	OUTPUTS	Low level output voltage (OSC2)	V_{OLO}			0.1	V	No load Note 9*
8	OUTPUTS	High level output voltage (OSC2)	V_{OHO}	4.9			V	No load Note 9*
9	OUTPUTS	Output leakage current (IRQ)	I_{OZ}		1	10	μA	V_{OH}=2.4 V
10	OUTPUTS	V_{Ref} output voltage	V_{Ref}	2.4	2.5	2.6	V	No load, V_{DD}=5V
11	OUTPUTS	V_{Ref} output resistance	R_{OR}		1.3		kΩ	
12	Digital	Low level input voltage	V_{IL}			0.8	V	
13	Digital	High level input voltage	V_{IH}	2.0			V	
14	Digital	Input leakage current	I_{IZ}			10	μA	V_{IN}=V_{SS} to V_{DD}
15	Data Bus	Source current	I_{OH}	-1.4	-6.6		mA	V_{OH}=2.4V
16	Data Bus	Sink current	I_{OL}	2.0	4.0		mA	V_{OL}=0.4V

DC Electrical Characteristics (continued)

† - V_{SS}=0 V. (continued)

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
17	ESt and St/Gt	Source current	I_{OH}	-0.5	-3.0		mA	V_{OH}=4.6V
18		Sink current	I_{OL}	2	4		mA	V_{OL}=0.4V
19	$\overline{IRQ}$/CP	Sink current	I_{OL}	4	16		mA	V_{OL}=0.4V

† Characteristics are over recommended operating conditions unless otherwise stated.
‡ Typical figures are at 25 °C, V_{DD} =5V and for design aid only: not guaranteed and not subject to production testing.
* See "Notes" following AC Electrical Characteristics Tables.

Electrical Characteristics Gain Setting Amplifier

- Voltages are with respect to ground (VSS) unless otherwise stated; VSS= 0V.

	Characteristics	Sym	Min	Typ	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}	10			MΩ	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	
6	DC open loop voltage gain	A_{VOL}	40			dB	C_L = 20p
7	Unity gain bandwidth	BW	1.0			MHz	C_L = 20p
8	Output voltage swing	V_O	0.5		V_{DD}-0.5	V	$R_L \ge$ 100 kΩ to V_{SS}
9	Allowable capacitive load (GS)	C_L			100	pF	PM>40°
10	Allowable resistive load (GS)	R_L	50			kΩ	V_O = 4Vpp
11	Common mode range	V_{CM}	1.0		V_{DD}-1.0	V	R_L = 50kΩ

Figures are for design aid only: not guaranteed and not subject to production testing.
Characteristics are over recommended operating conditions unless otherwise stated.

MT8888C AC Electrical Characteristics

† - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	RX	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6
				27.5		869	mV_{RMS}	1,2,3,5,6

† Characteristics are over recommended operating conditions (unless otherwise stated) using the test circuit shown in Figure 15.

AC Electrical Characteristics

† - Voltages are with respect to ground (V_{SS}) unless otherwise stated. f_C=3.579545 MHz

		Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	RX	Positive twist accept				8	dB	2,3,6,9
2		Negative twist accept				8	dB	2,3,6,9
3		Freq. deviation accept		±1.5%± 2Hz				2,3,5
4		Freq. deviation reject		±3.5%				2,3,5
5		Third tone tolerance			-16		dB	2,3,4,5,9,10
6		Noise tolerance			-12		dB	2,3,4,5,7,9,10
7		Dial tone tolerance			22		dB	2,3,4,5,8,9

† Characteristics are over recommended operating conditions unless otherwise stated.
‡ Typical figures are at 25°C, V_{DD} = 5V, and for design aid only: not guaranteed and not subject to production testing.
* *See "Notes" following AC Electrical Characteristics Tables.

AC Electrical Characteristics† - Call Progress

- Voltages are with respect to ground (V_{SS}), unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	Accept Bandwidth	f_A	310		500	Hz	@ -25 dBm, Note 9
2	Lower freq. (REJECT)	f_{LR}		290		Hz	@ -25 dBm
3	Upper freq. (REJECT)	f_{HR}		540		Hz	@ -25 dBm
4	Call progress tone detect level (total power)		-30			dBm	

† Characteristics are over recommended operating conditions unless otherwise stated
‡ Typical figures are at 25°C, V_{DD}=5V, and for design aid only: not guaranteed and not subject to production testing

AC Electrical Characteristics † - DTMF Reception

- Typical DTMF tone accept and reject requirements. Actual values are user selectable as per Figures 5, 6 and 7.

	Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	Minimum tone accept duration	t_{REC}		40		ms	
2	Maximum tone reject duration	$t_{\overline{REC}}$		20		ms	
3	Minimum interdigit pause duration	t_{ID}		40		ms	
4	Maximum tone drop-out duration	t_{DO}		20		ms	

† Characteristics are over recommended operating conditions unless otherwise stated
‡ Typical figures are at 25°C, V_{DD}=5V, and for design aid only: not guaranteed and not subject to production testing

AC Electrical Characteristics

† - Voltages are with respect to ground (V_{SS}), unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	TONE IN	Tone present detect time	t_{DP}	3	11	14	ms	Note 11
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 11
3		Delay St to b3	t_{PStb3}		13		µs	See Figure 7
4		Delay St to RX_0-RX_3	t_{PStRX}		8		µs	See Figure 7
5	TONE OUT	Tone burst duration	t_{BST}	50		52	ms	DTMF mode
6		Tone pause duration	t_{PS}	50		52	ms	DTMF mode
7		Tone burst duration (extended)	t_{BSTE}	100		104	ms	Call Progress mode
8		Tone pause duration (extended)	t_{PSE}	100		104	ms	Call Progress mode
9		High group output level	V_{HOUT}	-6.1		-2.1	dBm	R_L=10kΩ
10		Low group output level	V_{LOUT}	-8.1		-4.1	dBm	R_L=10kΩ
11		Pre-emphasis	dB_P	0	2	3	dB	R_L=10kΩ
12		Output distortion (Single Tone)	THD		-35		dB	25 kHz Bandwidth
13								R_L=10kΩ
14		Frequency deviation	f_D		±0.7	±1.5	%	f_C=3.579545 MHz
15		Output load resistance	R_{LT}	10		50	kΩ	
16	XTAL	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
17		Clock input rise and fall time	t_{CLRF}			110	ns	Ext. clock
18		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
19		Capacitive load (OSC2)	C_{LO}			30	pF	

† Timing is over recommended temperature & power supply voltages.
‡ Typical figures are at 25°C and for design aid only: not guaranteed and not subject to production testing.

AC Electrical Characteristics† - MPU Interface

- Voltages are with respect to ground (V_{SS}), unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	$\overline{RD}/\overline{WR}$ clock frequency	f_{CYC}		4.0		MHz	Figure 18
2	$\overline{RD}/\overline{WR}$ cycle period	t_{CYC}		250		ns	Figure 18
3	$\overline{RD}/\overline{WR}$ rise and fall time	t_R, t_F			20	ns	Figure 18
4	Address setup time	t_{AS}	23			ns	Figures 19 & 20
5	Address hold time	t_{AH}	26			ns	Figures 19 & 20
6	Data hold time (read)	t_{DHR}	22			ns	Figures 19 & 20
7	$\overline{RD}$ to valid data delay (read)	t_{DDR}			100	ns	Figures 19 & 20
8	$\overline{RD}$, $\overline{WR}$ pulse width low	t_{PWL}	150			ns	Figures 18, 19 & 20
9	$\overline{RD}$, $\overline{WR}$ pulse width high	t_{PWH}		100		ns	Figures 18, 19 & 20
10	Data setup time (write)	t_{DSW}	45			ns	Figures 19 & 20

AC Electrical Characteristics† - MPU Interface (continued)

- Voltages are with respect to ground (V_{SS}), unless otherwise stated.

	Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
11	Data hold time (write)	t_{DHW}	10			ns	Figures 19 & 20
12	Input Capacitance (data bus)	C_{IN}		5		pF	
13	Output Capacitance ($\overline{IRQ}$/CP)	C_{OUT}		5		pF	

† Characteristics are over recommended operating conditions unless otherwise stated
‡ Typical figures are at 25°C, V_{DD}=5V, and for design aid only: not guaranteed and not subject to production testing

Notes:

1. dBm=decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all 16 DTMF tones.
3. Tone duration=40 ms. Tone pause=40 ms.
4. Nominal DTMF frequencies are used.
5. Both tones in the composite signal have an equal amplitude.
6. The tone pair is deviated by ± 1.5%±2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are 350 and 440 Hz (±2%).
9. Guaranteed by design and characterization. Not subject to production testing.
10. Referenced to the lowest amplitude tone in the DTMF signal.
11. For guard time calculation purposes.

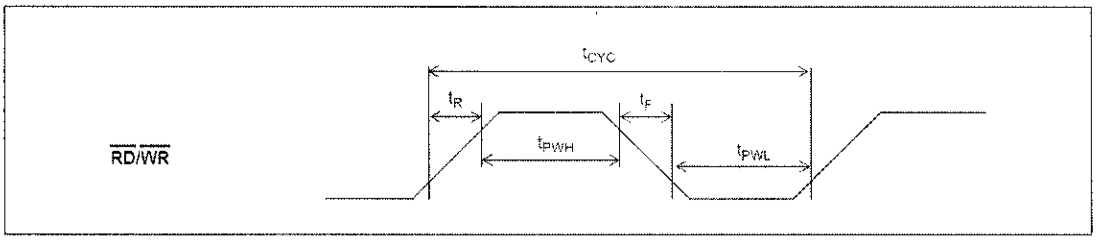


Figure 18 - $\overline{RD}/\overline{WR}$ Clock Pulse

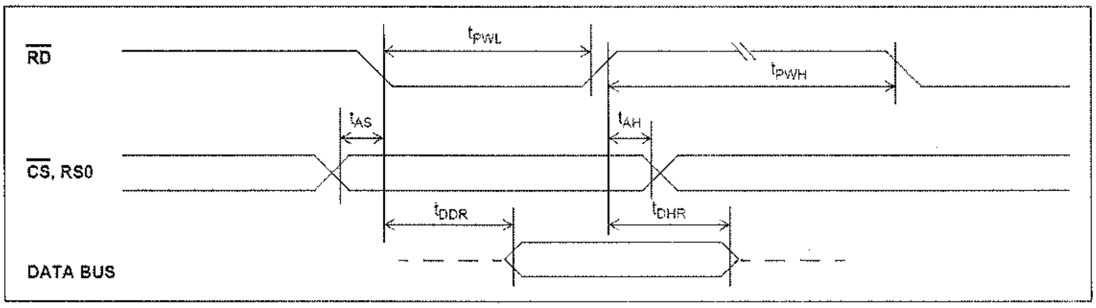


Figure 19 - 8031/8051/8085 Read Timing Diagram

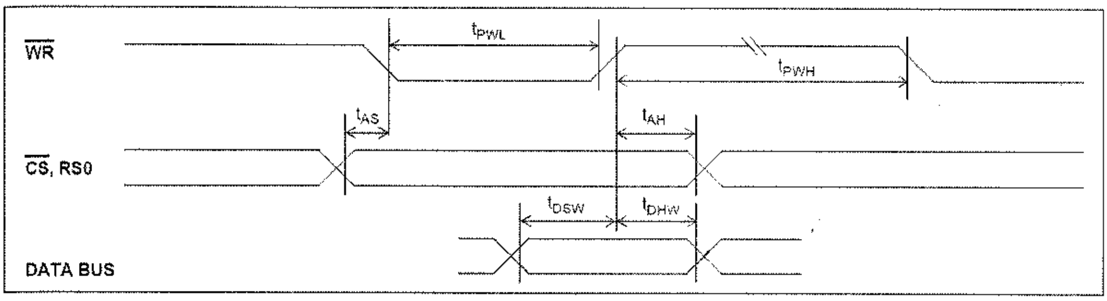
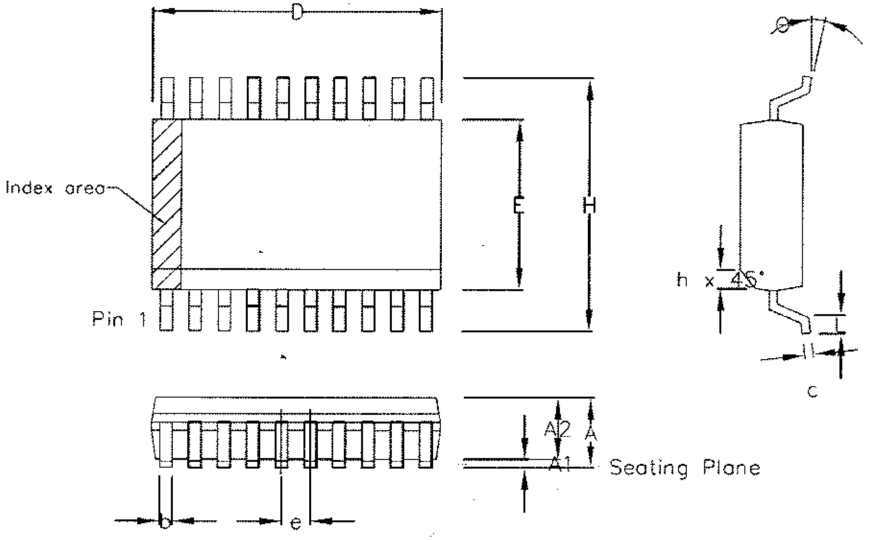


Figure 20 - 8031/8051/8085 Write Timing Diagram



Symbol	Control Dimensions in millimetres			Altern. Dimensions in inches		
	MIN	Nominal	MAX	MIN	Nominal	MAX
A	2.35		2.65	0.093		0.104
A1	0.10		0.30	0.004		0.012
A2	2.25		2.35	0.089		0.092
D	12.60		13.00	0.496		0.512
H	10.00		10.65	0.394		0.419
E	7.40		7.60	0.291		0.299
L	0.40		1.27	0.016		0.050
e		1.27 BSC.			0.050 BSC.	
b	0.33		0.51	0.013		0.020
c	0.23		0.32	0.009		0.013
θ	0°		8°	0°		8°
h	0.25		0.75	0.010		0.029
	Pin features					
N	20					
Conforms to JEDEC MS-013AC Iss. C						

Notes:

1. The chamfer on the body is optional. If it not present, a visual index feature, e.g. a dot, must be located within the cross-hatched area.
2. Controlling dimension are in millimeters.
3. Dimension D do not include mould flash, protrusion or gate burrs. These shall not exceed 0.006" per side.
4. Dimension E1 do not include inter-lead flash or protrusion. These shall not exceed 0.010" per side.
5. Dimension b does not include dambar protrusion/intrusion. Allowable dambar protrusion shall be 0.004" total in excess of b dimension.

© Zarlink Semiconductor 2002 All rights reserved.

ISSUE	1	2	3	
ACN	6746	201941	213098	
DATE	7Apr95	27Feb97	15Jul02	
APPRD.				

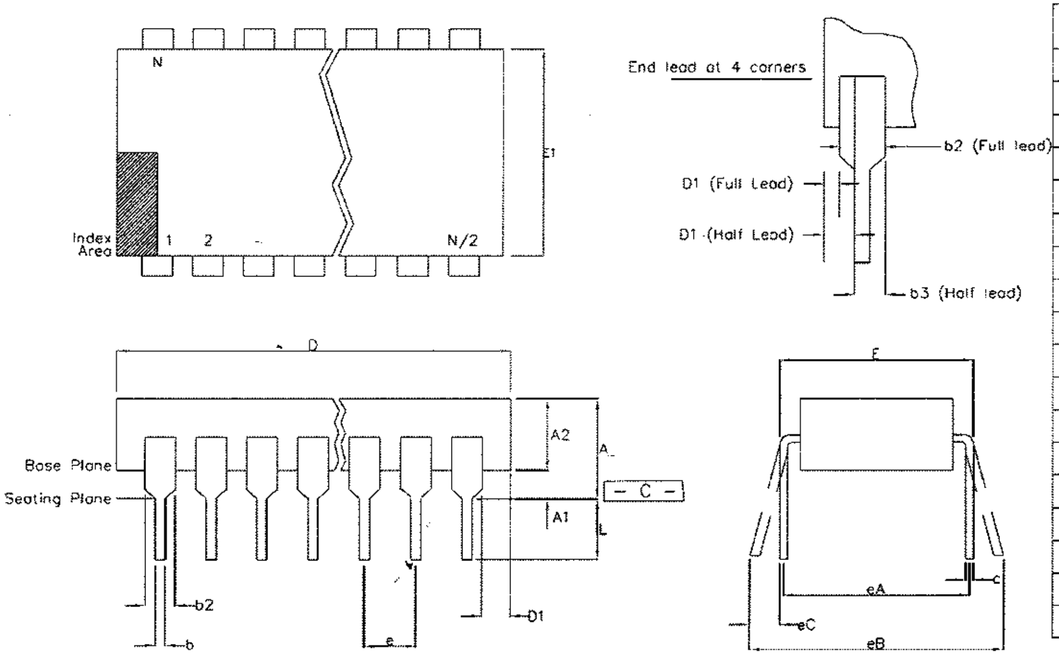
ZARLINK SEMICONDUCTOR

Previous package codes: MP / S

Package Code: DC

Package Outline for 20 lead SOIC (0.300" Body Width)

GPD00015



	Min mm	Max mm	Min Inches	Max Inches
A		5.33		0.210
A1	0.38		0.015	
A2	2.92	4.95	0.115	0.195
b	0.36	0.56	0.014	0.022
b2	1.14	1.78	0.045	0.070
b3	n/a	n/a	n/a	n/a
c	0.20	0.36	0.008	0.014
D	24.89	26.92	0.980	1.060
D1	0.13		0.005	
E	7.62	8.26	0.300	0.325
E1	6.10	7.11	0.240	0.280
e	2.54 BSC		0.100 BSC	
eA	7.62 BSC		0.300 BSC	
eB		10.92		0.430
eC	0.00	1.52	0.000	0.060
L	2.92	3.81	0.115	0.150
N	20		20	
Conforms to Jedec MS-001AD Issue D				

Notes:
1. Dimensions D, D1 & E1 do not include mould flash or protrusions.
2. Dimensions E & eA are measured with leads constrained to be perpendicular to datum [- C -]
3. Dimensions eB & eC are measured with the leads unconstrained
4. Controlling dimensions are Inches. Millimeter conversions are not necessarily exact.
5. N is the maximum of terminal positions.

This drawing supersedes: –
UK drawing # 418/ED/39502/005

© Zarlink Semiconductor 2002 All rights reserved.

ISSUE	1	2		
ACN	202562	213107		
DATE	9Jun97	15Jul02		
APPRD.				

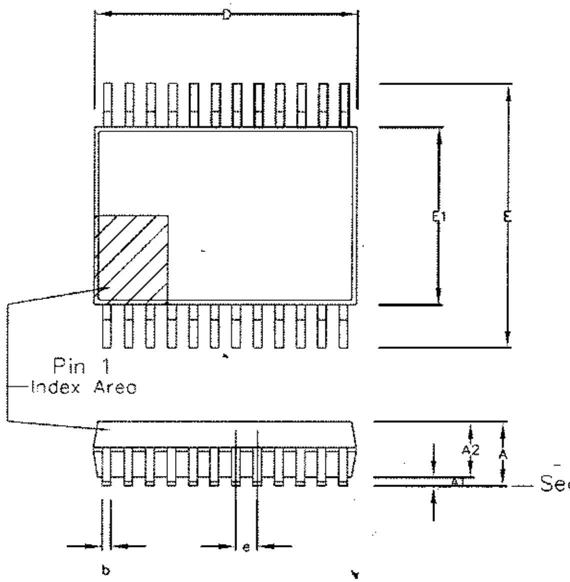
ZARLINK SEMICONDUCTOR

Previous package codes
DP / E

Package Code DA

Package Outline for 20 lead PDIP

GPD00347



Symbol	Control Dimensions in millimetres			Altern. Dimensions in inches		
	MIN	Nominal	MAX	MIN	Nominal	MAX
A	1.70		2.00	0.067		0.079
A1	0.05		0.20	0.002		0.008
A2	1.65		1.85	0.065		0.073
D	7.90		8.50	0.311		0.335
E	7.40		8.20	0.291		0.323
E1	5.00		5.60	0.197		0.220
L	0.55		0.95	0.022		0.037
e	0.65 BSC.			0.026 BSC.		
b	0.22		0.38	0.009		0.015
c	0.09		0.25	0.004		0.010
Θ	0°		8°	0°		8°
	Pin features					
N	24					
Conforms to JEDEC MO-150 AG Iss. B						

This drawing supersedes: – 418/ED/51481/003 (UK)

Notes:
1. A visual index feature, e.g. a dot, must be located within the cross-hatched area.
2. Controlling dimension are in millimeters.
3. Dimensions D and E1 do not include mould flash or protrusion. Mould flash or protrusion shall not exceed 0.20 mm per side. D and E1 are maximum plastic body size dimensions including mould mismatch.
4. Dimension b does not include dambar protrusion/intrusion. Allowable dambar protrusion shall be 0.13 mm total in excess of b dimension. Dambar intrusion shall not reduce dimension b by more than 0.07 mm.

© Zarlink Semiconductor 2002 All rights reserved.

ISSUE	1	2	3	
ACN	201934	205233	213104	
DATE	27Feb97	25Sep98	15Jul02	
APPRD.				

ZARLINK SEMICONDUCTOR

Previous package codes: NP / N

Package Code: DD

Package Outline for 24 lead SSOP (5.3mm Body Width)

GPD00295

ZARLINK™ SEMICONDUCTOR

For more information about all Zarlink products visit our Web Site at

www.zarlink.com

Information relating to products and services furnished herein by Zarlink Semiconductor Inc. or its subsidiaries (collectively "Zarlink") is believed to be reliable. However, Zarlink assumes no liability for errors that may appear in this publication, or for liability otherwise arising from the application or use of any such information, product or service or for any infringement of patents or other intellectual property rights owned by third parties which may result from such application or use. Neither the supply of such information or purchase of product or service conveys any license, either express or implied, under patents or other intellectual property rights owned by Zarlink or licensed from third parties by Zarlink, whatsoever. Purchasers of products are also hereby notified that the use of product in certain ways or in combination with Zarlink, or non-Zarlink furnished goods or services may infringe patents or other intellectual property rights owned by Zarlink.

This publication is issued to provide information only and (unless agreed by Zarlink in writing) may not be used, applied or reproduced for any purpose nor form part of any order or contract nor to be regarded as a representation relating to the products or services concerned. The products, their specifications, services and other information appearing in this publication are subject to change by Zarlink without notice. No warranty or guarantee express or implied is made regarding the capability, performance or suitability of any product or service. Information concerning possible methods of use is provided as a guide only and does not constitute any guarantee that such methods of use will be satisfactory in a specific piece of equipment. It is the user's responsibility to fully determine the performance and suitability of any equipment using such information and to ensure that any publication or data used is up to date and has not been superseded. Manufacturing does not necessarily include testing of all functions or parameters. These products are not suitable for use in any medical products whose failure to perform may result in significant injury or death to the user. All products and materials are sold and services provided subject to Zarlink's conditions of sale which are available on request.

Purchase of Zarlink's I^2C components conveys a licence under the Philips I^2C Patent rights to use these components in and I^2C System, provided that the system conforms to the I^2C Standard Specification as defined by Philips.

Zarlink, ZL and the Zarlink Semiconductor logo are trademarks of Zarlink Semiconductor Inc.

Copyright Zarlink Semiconductor Inc. All Rights Reserved.

TECHNICAL DOCUMENTATION - NOT FOR RESALE

ISO²-CMOS **MT8870D/MT8870D-1**

Integrated DTMF Receiver

ZARLINK™ SEMICONDUCTOR

Features

- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

Applications

- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

ISSUE 5 March 1997

Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DS/DS-1	18 Pin SOIC
MT8870DN/DN-1	20 Pin SSOP
	-40 °C to +85 °C

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

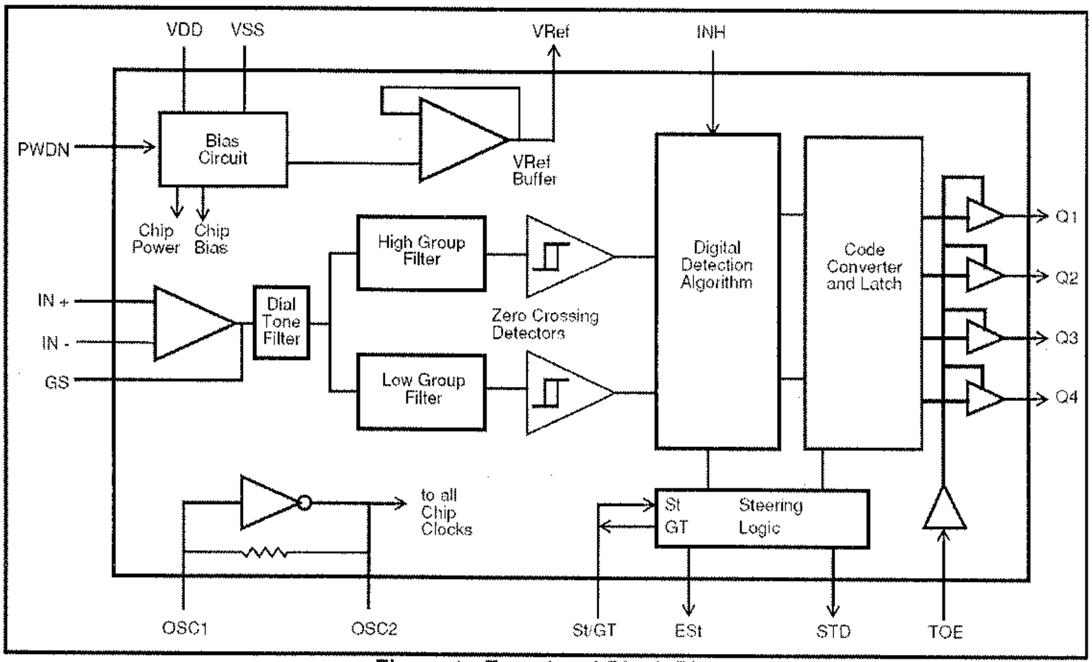


Figure 1 - Functional Block Diagram

MT8870D/MT8870D-1 ISO^2-CMOS

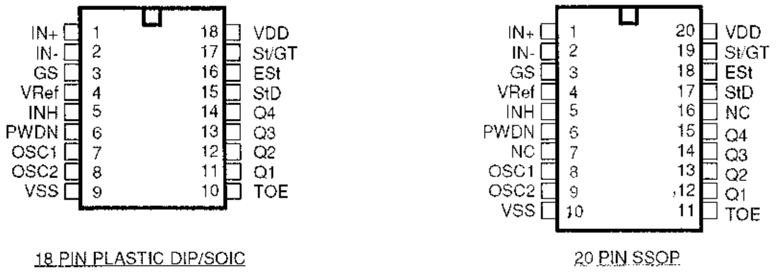


Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
18	20		
1	1	IN+	**Non-Inverting Op-Amp (Input).**
2	2	IN-	**Inverting Op-Amp (Input).**
3	3	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V_{Ref}	**Reference Voltage (Output).** Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	**Inhibit (Input).** Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	**Power Down (Input).** Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	**Clock (Input).**
8	9	OSC2	**Clock (Output).** A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V_{SS}	**Ground (Input).** 0V typical.
10	11	TOE	**Three State Output Enable (Input).** Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	**Three State Data (Output).** When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	**Delayed Steering (Output).** Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	18	ESt	**Early Steering (Output).** Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	19	St/GT	**Steering Input/Guard time (Output) Bidirectional.** A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	20	V_{DD}	**Positive power supply (Input).** +5V typical.
	7, 16	NC	No Connection.

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

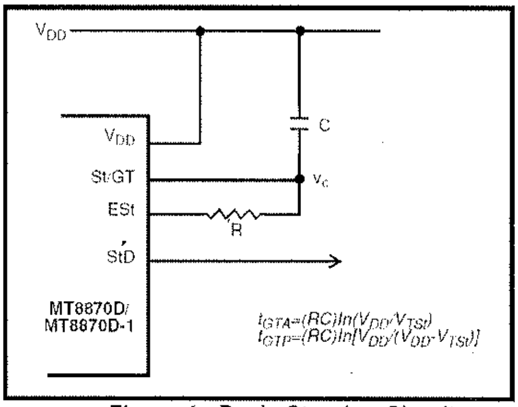


Figure 4 - Basic Steering Circuit

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

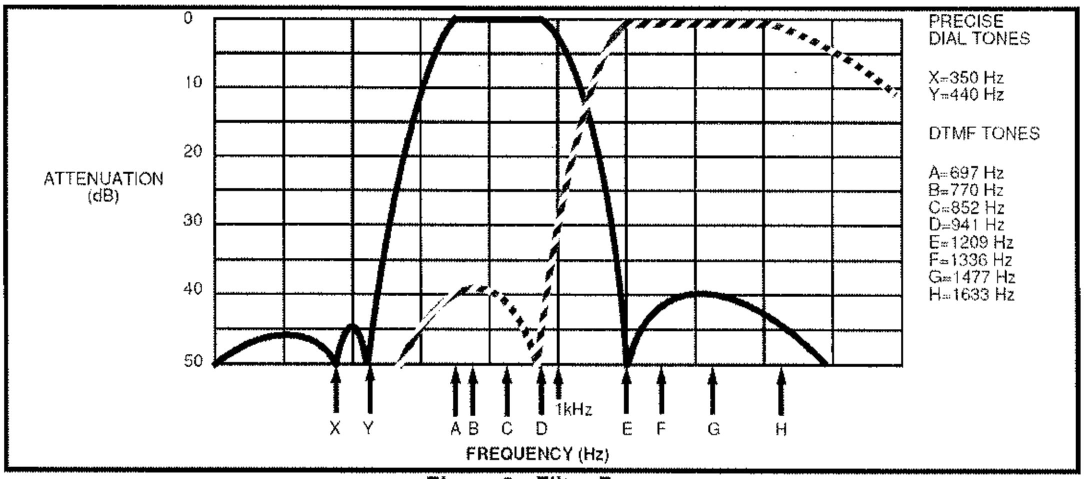


Figure 3 - Filter Response

condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC}=t_{DP}+t_{GTP}$$

$$t_{ID}=t_{DA}+t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 µF is recommended for most applications, leaving R to be selected by the designer.

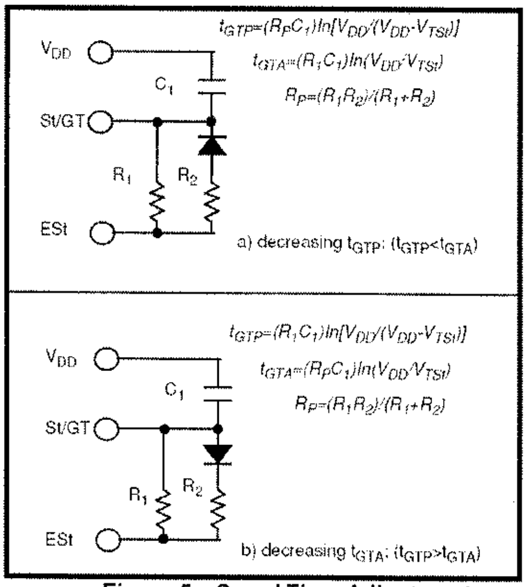


Figure 5 - Guard Time Adjustment

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

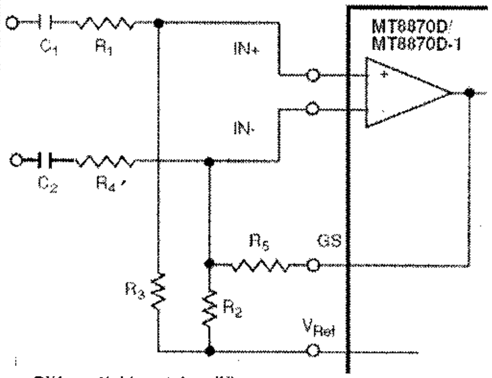
Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $^1/_2V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.



Differential Input Amplifier
$C_1=C_2=10$ nF
$R_1=R_4=R_5=100$ kΩ
$R_2=60$kΩ, $R_3=37.5$ kΩ

All resistors are ±1% tolerance.
All capacitors are ±5% tolerance.

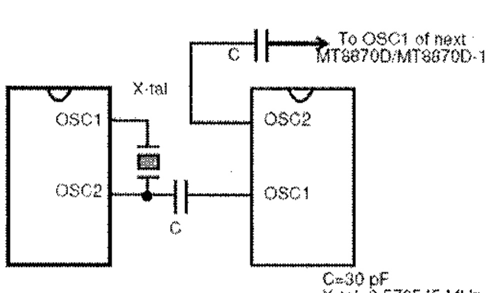
$$R_3 = \frac{R_2R_5}{R_2+R_5}$$

$$\text{VOLTAGE GAIN } (A_v \text{ diff}) = \frac{R_5}{R_1}$$

INPUT IMPEDANCE

$$(Z_{INDIFF}) = 2\sqrt{R_1^2 + \left(\frac{1}{\omega c}\right)^2}$$

Figure 6 - Differential Input Configuration



C=30 pF
X-tal=3.579545 MHz

Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2. Recommended Resonator Specifications

Note: Qm=quality factor of RLC model, i.e., 1/2ΠƒR1C1.

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

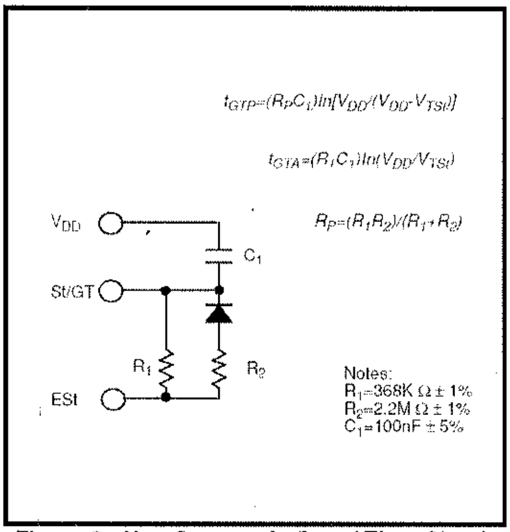


Figure 8 - Non-Symmetric Guard Time Circuit

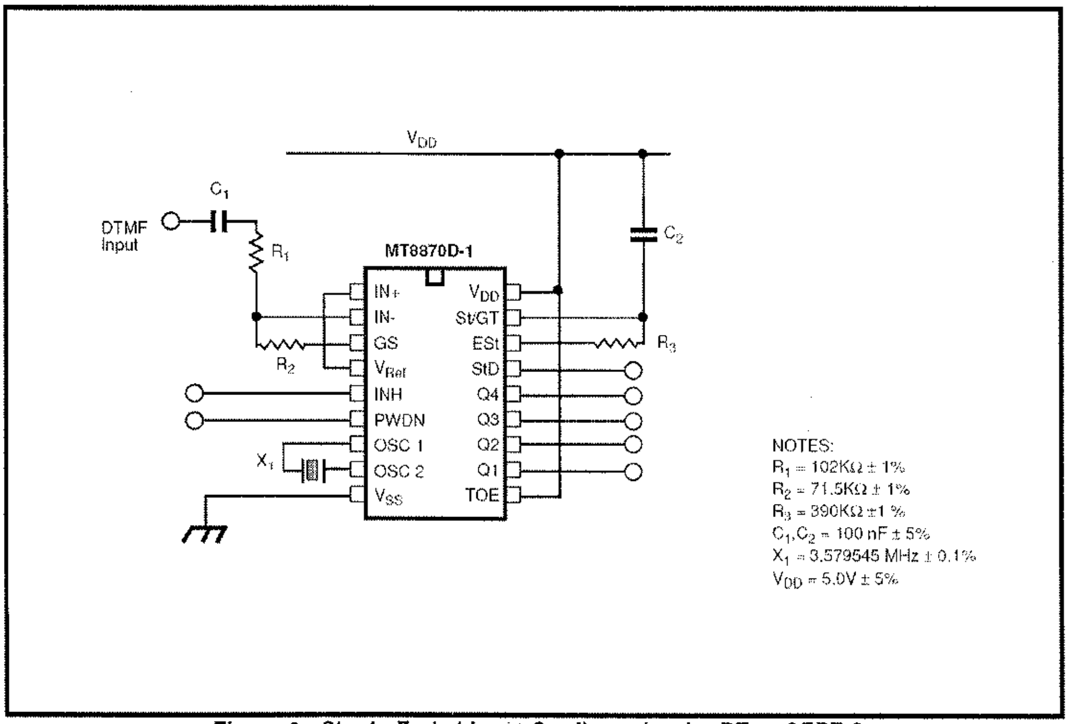


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V_{DD}		7	V
2	Voltage on any pin	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Current at any pin (other than supply)	I_I		10	mA
4	Storage temperature	T_{STG}	-65	+150	°C
5	Package power dissipation	P_D		500	mW

† Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1	DC Power Supply Voltage	V_{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T_O	-40		+85	°C	
3	Crystal/Clock Frequency	fc		3.579545		MHz	
4	Crystal/Clock Freq.Tolerance	Δfc		±0.1		%	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD}=5.0V± 5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUPPLY	Standby supply current	I_{DDQ}		10	25	µA	PWDN=V_{DD}
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_O		15		mW	fc=3.579545 MHz
4	INPUTS	High level input	V_{IH}	3.5			V	V_{DD}=5.0V
5		Low level input voltage	V_{IL}			1.5	V	V_{DD}=5.0V
6		Input leakage current	I_{IH}/I_{IL}		0.1		µA	V_{IN}=V_{SS} or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	20	µA	TOE (pin 10)=0, V_{DD}=5.0V
8		Pull down (sink) current	I_{SI}		15	45	µA	INH=5.0V, PWDN=5.0V, V_{DD}=5.0V
9		Input impedance (IN+, IN-)	R_{IN}		10		MΩ	@ 1 kHz
10		Steering threshold voltage	V_{TSt}	2.2	2.4	2.5	V	V_{DD} = 5.0V
11	OUTPUTS	Low level output voltage	V_{OL}			V_{SS}+0.03	V	No load
12		High level output voltage	V_{OH}	V_{DD}-0.03			V	No load
13		Output low (sink) current	I_{OL}	1.0	2.5		mA	V_{OUT}=0.4 V
14		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT}=4.6 V
15		V_{Ref} output voltage	V_{Ref}	2.3	2.5	2.7	V	No load, V_{DD} = 5.0V
16		V_{Ref} output resistance	R_{OR}		1		kΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

Operating Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C ,unless otherwise stated.

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}	10			MΩ	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	0.75 V ≤ V_{IN} ≤ 4.25 V biased at V_{Ref} =2.5 V
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load ≥ 100 kΩ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	kΩ	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - V_{DD}=5.0V ±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV_{RMS}	1,2,3,5,6,9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		±1.5% ± 2 Hz				2,3,5,9
5	Frequency deviation reject		±3.5%				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES**

1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

MT8870D-1 AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			21.8		869	mV_{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			10.9			mV_{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		±1.5%± 2 Hz				2,3,5,9
6	Frequency deviation reject		±3.5%				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ To ≤ +85°C , using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t_{REC}			40	ms	Note 2
4		Tone duration reject	$t_{\overline{REC}}$	20			ms	Note 2
5		Interdigit pause accept	t_{ID}			40	ms	Note 2
6		Interdigit pause reject	t_{DO}	20			ms	Note 2
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE=V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12	16	µs	TOE=V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE=V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 kΩ, 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 kΩ, 50 pF
12	PDWN	Power-up time	t_{PU}		30		ms	Note 3
13		Power-down time	t_{PD}		20		ms	
14	CLOCK	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C_{LO}			30	pF	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES:
1. Used for guard-time calculation purposes only.
2. These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
3. With valid tone present at input, t_{PU} equals time from PDWN going low until ESt going high.

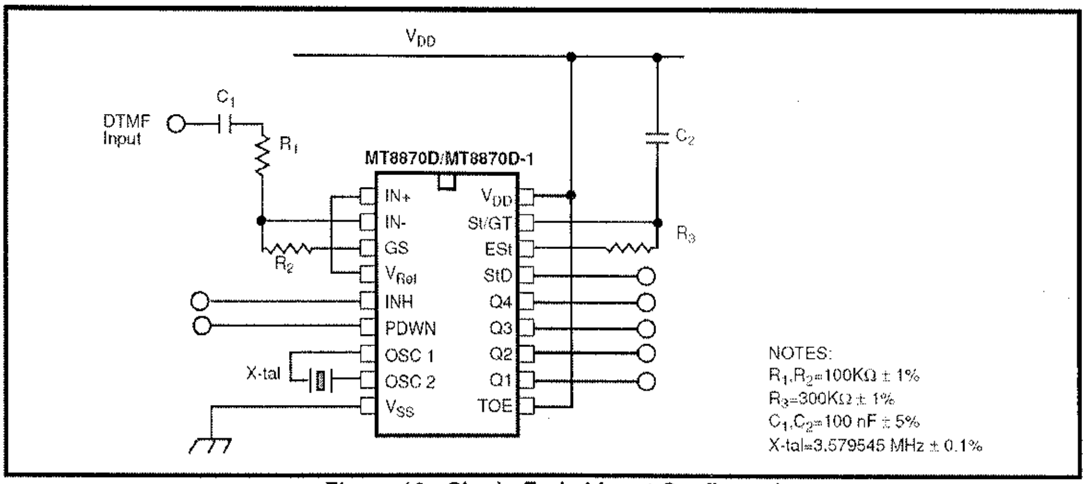
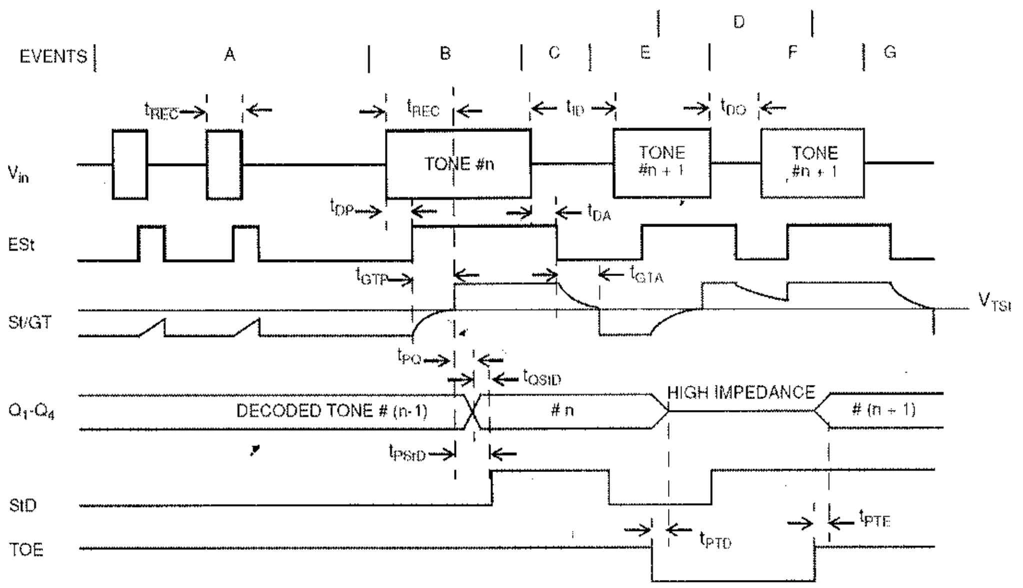


Figure 10 - Single-Ended Input Configuration



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED. TONE DURATION INVALID, OUTPUTS NOT UPDATED.

B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS

C) END OF TONE #n DETECTED. TONE ABSENT DURATION VALID. OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n + 1 DETECTED. TONE DURATION VALID. TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.

G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in} DTMF COMPOSITE INPUT SIGNAL.

ESt EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.

St/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.

Q_1-Q_4 4-BIT DECODED TONE OUTPUT.

StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.

TOE TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.

t_{REC} MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID

t_{REC} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION

t_{ID} MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.

t_{DO} MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.

t_{DP} TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.

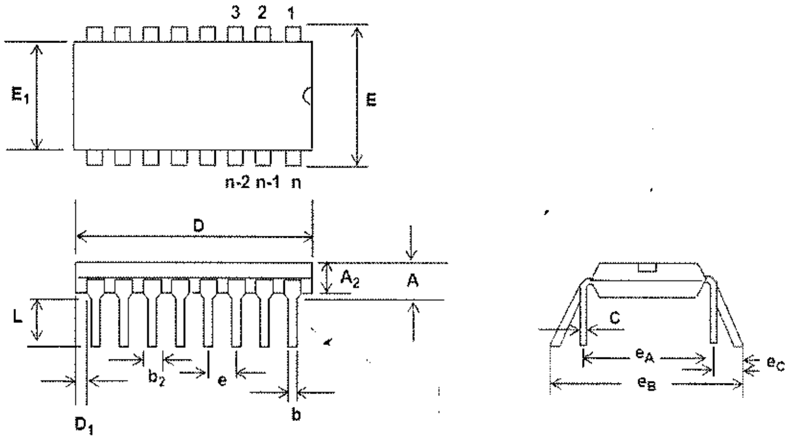
t_{DA} TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.

t_{GTP} GUARD TIME, TONE PRESENT.

t_{GTA} GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

Package Outlines



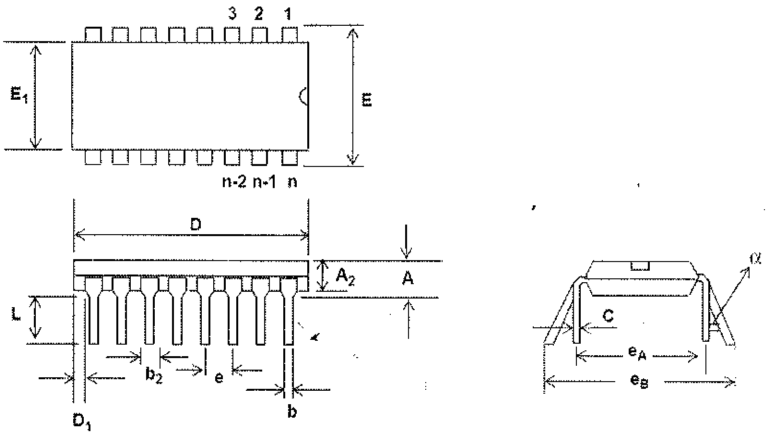
Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)

Plastic Dual-In-Line Packages (PDIP) - E Suffix

DIM	8-Pin		16-Pin		18-Pin		20-Pin	
	Plastic		Plastic		Plastic		Plastic	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.210 (5.33)		0.210 (5.33)		0.210 (5.33)		0.210 (5.33)
A_2	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)
b	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)
b_2	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)
C	0.008 (0.203)	0.014 (0.356)	0.008 (0.203)	0.014(0.356)	0.008 (0.203)	0.014 (0.356)	0.008 (0.203)	0.014 (0.356)
D	0.355 (9.02)	0.400 (10.16)	0.780 (19.81)	0.800 (20.32)	0.880 (22.35)	0.920 (23.37)	0.980 (24.89)	1.060 (26.9)
D_1	0.005 (0.13)		0.005 (0.13)		0.005 (0.13)		0.005 (0.13)	
E	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)
E_1	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)
e	0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)	
e_A	0.300 BSC (7.62)		0.300 BSC (7.62)		0.300 BSC (7.62)		0.300 BSC (7.62)	
L	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)
e_B		0.430 (10.92)		0.430 (10.92)		0.430 (10.92)		0.430 (10.92)
e_C	0	0.060 (1.52)	0	0.060 (1.52)	0	0.060 (1.52)	0	0.060 (1.52)

NOTE: Controlling dimensions in parenthesis ( ) are in millimeters.

Package Outlines



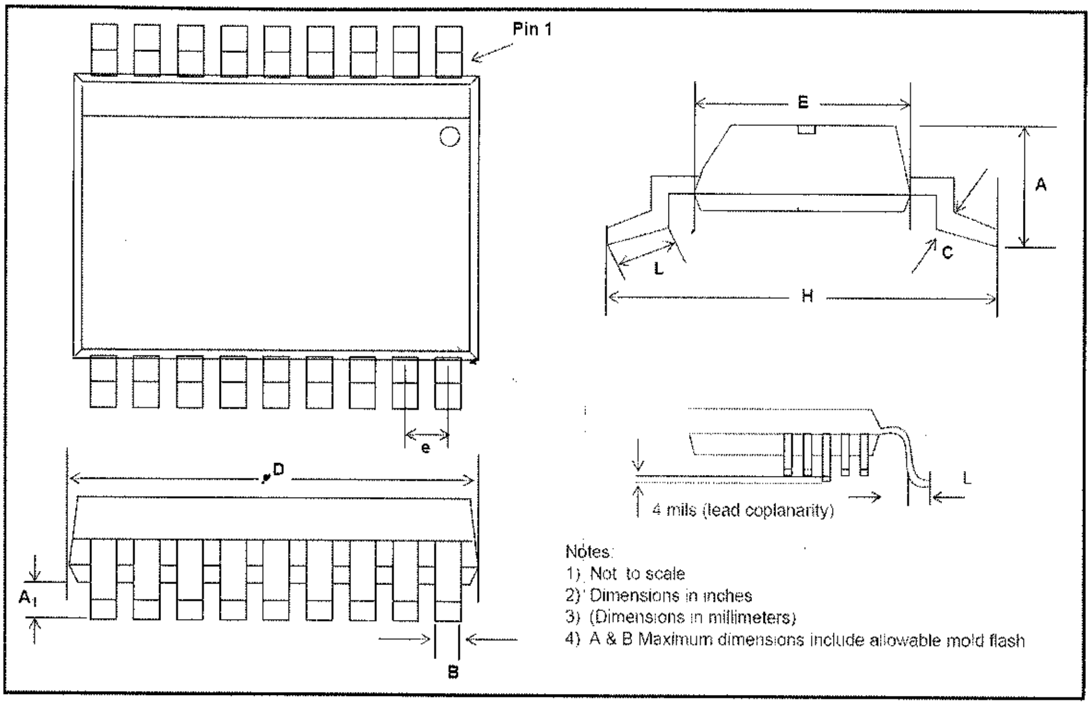
Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)

Plastic Dual-In-Line Packages (PDIP) - E Suffix

DIM	22-Pin		24-Pin		28-Pin		40-Pin	
	Plastic		Plastic		Plastic		Plastic	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.210 (5.33)		0.250 (6.35)		0.250 (6.35)		0.250 (6.35)
A_2	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)
b	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)
b_2	0.045 (1.15)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)
C	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)
D	1.050 (26.67)	1.120 (28.44)	1.150 (29.3)	1.290 (32.7)	1.380 (35.1)	1.565 (39.7)	1.980 (50.3)	2.095 (53.2)
D_1	0.005 (0.13)		0.005 (0.13)		0.005 (0.13)		0.005 (0.13)	
E	0.390 (9.91)	0.430 (10.92)	0.600 (15.24)	0.670 (17.02)	0.600 (15.24)	0.670 (17.02)	0.600 (15.24)	0.670 (17.02)
E			0.290 (7.37)	330 (8.38)				
E_1	0.330 (8.39)	0.380 (9.65)	0.485 (12.32)	0.580 (14.73)	0.485 (12.32)	0.580 (14.73)	0.485 (12.32)	0.580 (14.73)
E_1			0.246 (6.25)	0.254 (6.45)				
e	0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)	
e_A	0.400 BSC (10.16)		0.600 BSC (15.24)		0.600 BSC (15.24)		0.600 BSC (15.24)	
e_A			0.300 BSC (7.62)					
e_B				0.430 (10.92)				
L	0.115 (2.93)	0.160 (4.06)	0.115 (2.93)	0.200 (5.08)	0.115 (2.93)	0.200 (5.08)	0.115 (2.93)	0.200 (5.08)
α		15°		15°		15°		15°

Shaded areas for 300 Mil Body Width 24 PDIP only

Package Outlines

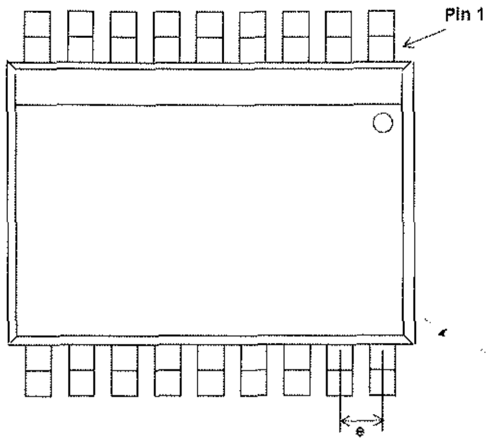


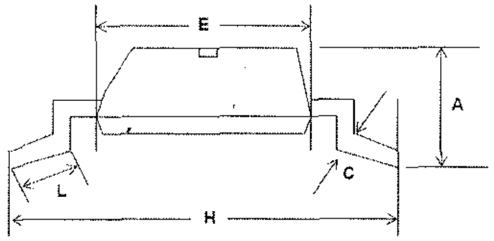
DIM	16-Pin		18-Pin		20-Pin		24-Pin		28-Pin	
	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max
A	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)
A_1	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)
B	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.030 (0.51)	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.020 (0.51)
C	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)
D	0.398 (10.1)	0.413 (10.5)	0.447 (11.35)	0.4625 (11.75)	0.496 (12.60)	0.512 (13.00)	0.5985 (15.2)	0.614 (15.6)	0.697 (17.7)	0.7125 (18.1)
E	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)
e	0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)	
H	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)
L	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)

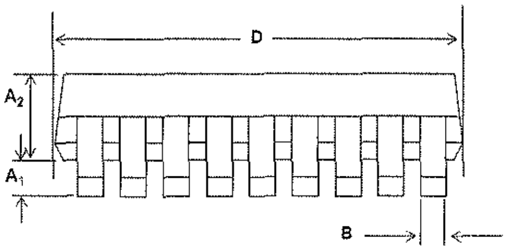
Lead SOIC Package - S Suffix

NOTES: 1. Controlling dimensions in parenthesis ( ) are in millimeters.
2. Converted inch dimensions are not necessarily exact.

Package Outlines





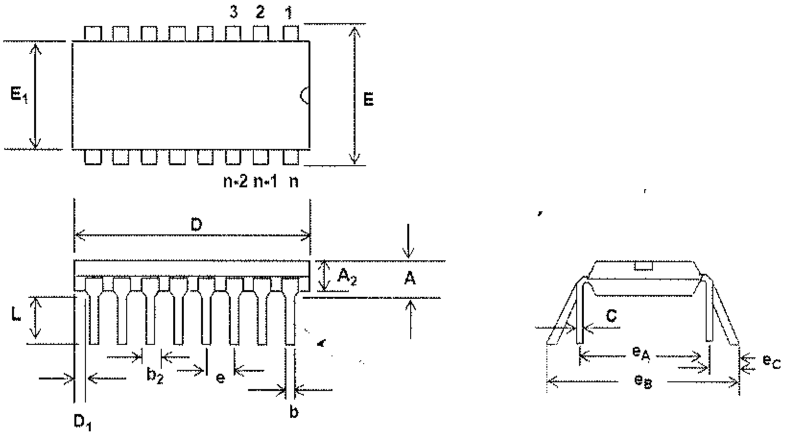


Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)
4) Ref. JEDEC Standard M0-150/M0118 for 48 Pin
5) A & B Maximum dimensions include allowable mold flash

Dim	20-Pin		24-Pin		28-Pin		48-Pin	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.079 (2)	-	0.079 (2)		0.079 (2)	0.095 (2.41)	0.110 (2.79)
A_1	0.002 (0.05)		0.002 (0.05)		0.002 (0.05)		0.008 (0.2)	0.016 (0.406)
B	0.0087 (0.22)	0.013 (0.33)	0.0087 (0.22)	0.013 (0.33)	0.0087 (0.22)	0.013 (0.33)	0.008 (0.2)	0.0135 (0.342)
C		0.008 (0.21)		0.008 (0.21)		0.008 (0.21)		0.010 (0.25)
D	0.27 (6.9)	0.295 (7.5)	0.31 (7.9)	0.33 (8.5)	0.39 (9.9)	0.42 (10.5)	0.62 (15.75)	0.63 (16.00)
E	0.2 (5.0)	0.22 (5.6)	0.2 (5.0)	0.22 (5.6)	0.2 (5.0)	0.22 (5.6)	0.291 (7.39)	0.299 (7.59)
e	0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)	
A_2	0.065 (1.65)	0.073 (1.85)	0.065 (1.65)	0.073 (1.85)	0.065 (1.65)	0.073 (1.85)	0.089 (2.26)	0.099 (2.52)
H	0.29 (7.4)	0.32 (8.2)	0.29 (7.4)	0.32 (8.2)	0.29 (7.4)	0.32 (8.2)	0.395 (10.03)	0.42 (10.67)
L	0.022 (0.55)	0.037 (0.95)	0.022 (0.55)	0.037 (0.95)	0.022 (0.55)	0.037 (0.95)	0.02 (0.51)	0.04 (1.02)

Small Shrink Outline Package (SSOP) - N Suffix

Package Outlines



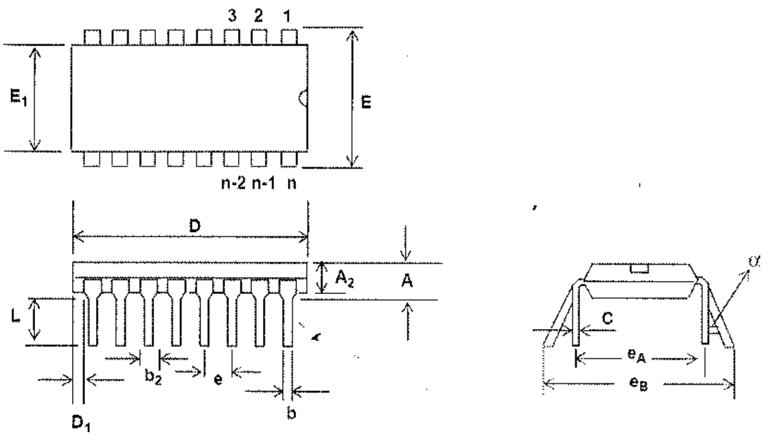
Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)

Plastic Dual-In-Line Packages (PDIP) - E Suffix

DIM	8-Pin		16-Pin		18-Pin		20-Pin	
	Plastic		Plastic		Plastic		Plastic	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.210 (5.33)		0.210 (5.33)		0.210 (5.33)		0.210 (5.33)
A_2	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)
b	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)
b_2	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)
C	0.008 (0.203)	0.014 (0.356)	0.008 (0.203)	0.014(0.356)	0.008 (0.203)	0.014 (0.356)	0.008 (0.203)	0.014 (0.356)
D	0.355 (9.02)	0.400 (10.16)	0.780 (19.81)	0.800 (20.32)	0.880 (22.35)	0.920 (23.37)	0.980 (24.89)	1.060 (26.9)
D_1	0.005 (0.13)		0.005 (0.13)		0.005 (0.13)		0.005 (0.13)	
E	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)
E_1	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)
e	0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)	
e_A	0.300 BSC (7.62)		0.300 BSC (7.62)		0.300 BSC (7.62)		0.300 BSC (7.62)	
L	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)
e_B		0.430 (10.92)		0.430 (10.92)		0.430 (10.92)		0.430 (10.92)
e_C	0	0.060 (1.52)	0	0.060 (1.52)	0	0.060 (1.52)	0	0.060 (1.52)

NOTE: Controlling dimensions in parenthesis ( ) are in millimeters.

Package Outlines



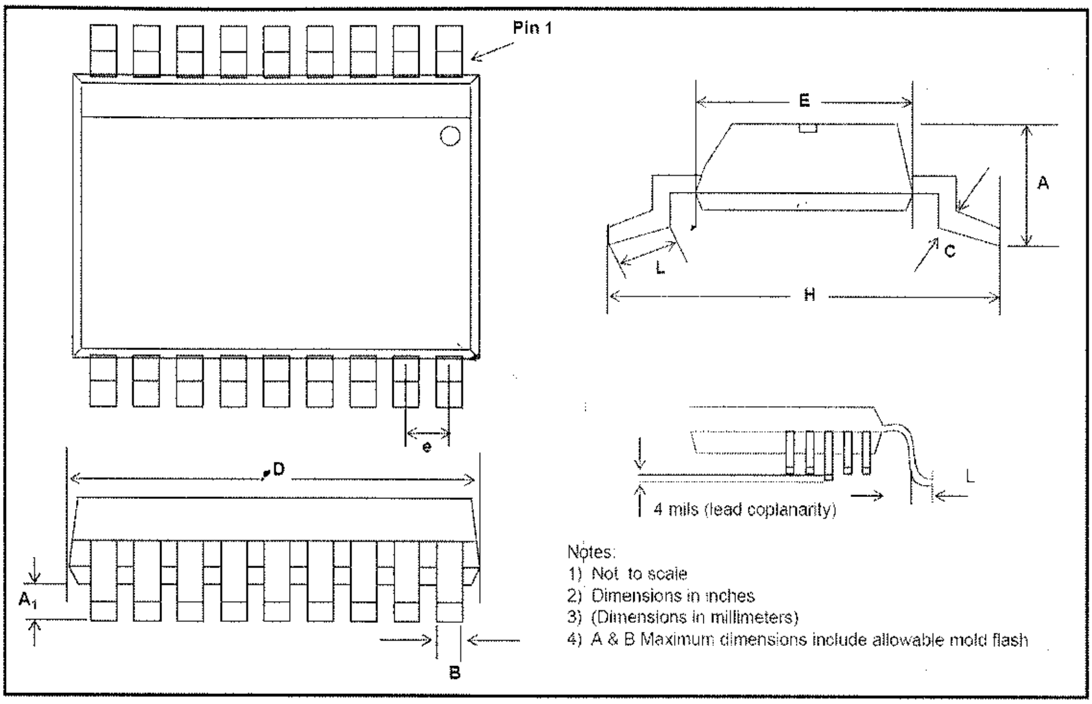
Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)

Plastic Dual-In-Line Packages (PDIP) - E Suffix

DIM	22-Pin		24-Pin		28-Pin		40-Pin	
	Plastic		Plastic		Plastic		Plastic	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.210 (5.33)		0.250 (6.35)		0.250 (6.35)		0.250 (6.35)
A_2	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)
b	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)
b_2	0.045 (1.15)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)
C	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)
D	1.050 (26.67)	1.120 (28.44)	1.150 (29.3)	1.290 (32.7)	1.380 (35.1)	1.565 (39.7)	1.980 (50.3)	2.095 (53.2)
D_1	0.005 (0.13)		0.005 (0.13)		0.005 (0.13)		0.005 (0.13)	
E	0.390 (9.91)	0.430 (10.92)	0.600 (15.24)	0.670 (17.02)	0.600 (15.24)	0.670 (17.02)	0.600 (15.24)	0.670 (17.02)
E			0.290 (7.37)	330 (8.38)				
E_1	0.330 (8.39)	0.380 (9.65)	0.485 (12.32)	0.580 (14.73)	0.485 (12.32)	0.580 (14.73)	0.485 (12.32)	0.580 (14.73)
E_1			0.246 (6.25)	0.254 (6.45)				
e	0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)	
e_A	0.400 BSC (10.16)		0.600 BSC (15.24)		0.600 BSC (15.24)		0.600 BSC (15.24)	
e_A			0.300 BSC (7.62)					
e_B				0.430 (10.92)				
L	0.115 (2.93)	0.160 (4.06)	0.115 (2.93)	0.200 (5.08)	0.115 (2.93)	0.200 (5.08)	0.115 (2.93)	0.200 (5.08)
α		15°		15°		15°		15°

Shaded areas for 300 Mil Body Width 24 PDIP only

Package Outlines

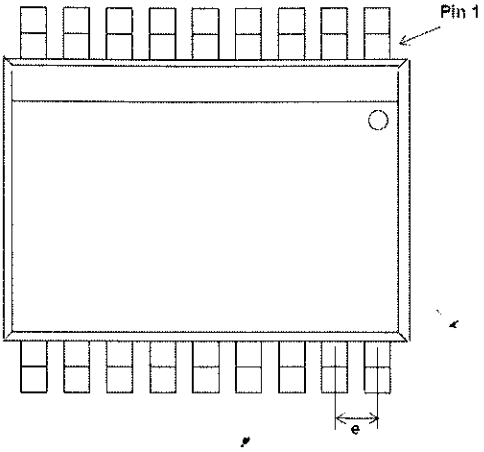


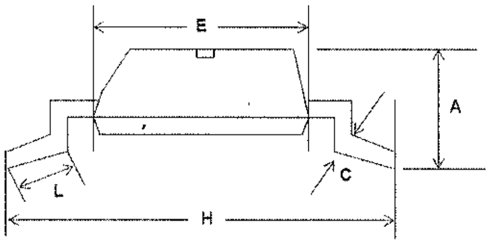
DIM	16-Pin		18-Pin		20-Pin		24-Pin		28-Pin	
	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max
A	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)
A_1	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)
B	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.030 (0.51)	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.020 (0.51)
C	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)
D	0.398 (10.1)	0.413 (10.5)	0.447 (11.35)	0.4625 (11.75)	0.496 (12.60)	0.512 (13.00)	0.5985 (15.2)	0.614 (15.6)	0.697 (17.7)	0.7125 (18.1)
E	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)
e	0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)	
H	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)
L	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)

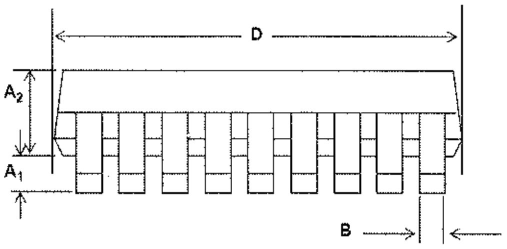
Lead SOIC Package - S Suffix

NOTES: 1. Controlling dimensions in parenthesis ( ) are in millimeters.
2. Converted inch dimensions are not necessarily exact.

Package Outlines





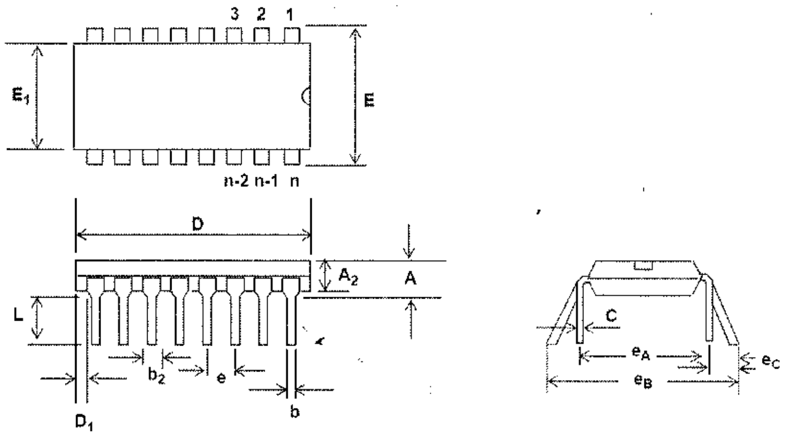


Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)
4) Ref. JEDEC Standard M0-150/M0118 for 48 Pin
5) A & B Maximum dimensions include allowable mold flash

Dim	20-Pin		24-Pin		28-Pin		48-Pin	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.079 (2)	-	0.079 (2)		0.079 (2)	0.095 (2.41)	0.110 (2.79)
A_1	0.002 (0.05)		0.002 (0.05)		0.002 (0.05)		0.008 (0.2)	0.016 (0.406)
B	0.0087 (0.22)	0.013 (0.33)	0.0087 (0.22)	0.013 (0.33)	0.0087 (0.22)	0.013 (0.33)	0.008 (0.2)	0.0135 (0.342)
C		0.008 (0.21)		0.008 (0.21)		0.008 (0.21)		0.010 (0.25)
D	0.27 (6.9)	0.295 (7.5)	0.31 (7.9)	0.33 (8.5)	0.39 (9.9)	0.42 (10.5)	0.62 (15.75)	0.63 (16.00)
E	0.2 (5.0)	0.22 (5.6)	0.2 (5.0)	0.22 (5.6)	0.2 (5.0)	0.22 (5.6)	0.291 (7.39)	0.299 (7.59)
e	0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)	
A_2	0.065 (1.65)	0.073 (1.85)	0.065 (1.65)	0.073 (1.85)	0.065 (1.65)	0.073 (1.85)	0.089 (2.26)	0.099 (2.52)
H	0.29 (7.4)	0.32 (8.2)	0.29 (7.4)	0.32 (8.2)	0.29 (7.4)	0.32 (8.2)	0.395 (10.03)	0.42 (10.67)
L	0.022 (0.55)	0.037 (0.95)	0.022 (0.55)	0.037 (0.95)	0.022 (0.55)	0.037 (0.95)	0.02 (0.51)	0.04 (1.02)

Small Shrink Outline Package (SSOP) - N Suffix

Package Outlines



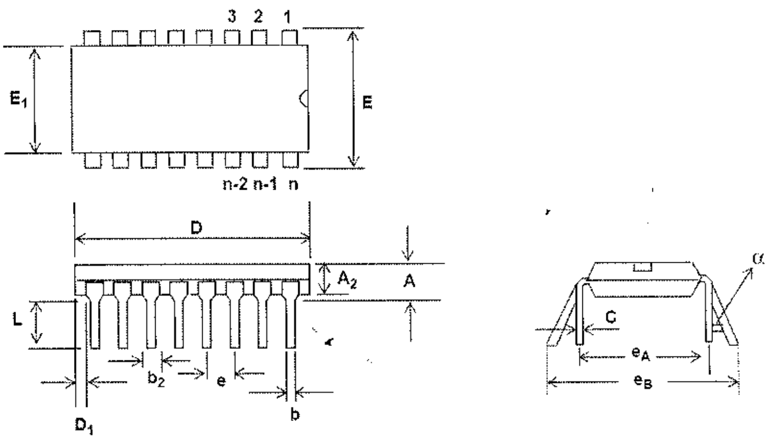
Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)

Plastic Dual-In-Line Packages (PDIP) - E Suffix

DIM	8-Pin		16-Pin		18-Pin		20-Pin	
	Plastic		Plastic		Plastic		Plastic	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.210 (5.33)		0.210 (5.33)		0.210 (5.33)		0.210 (5.33)
A_2	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)	0.115 (2.92)	0.195 (4.95)
b	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)
b_2	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)	0.045 (1.14)	0.070 (1.77)
C	0.008 (0.203)	0.014 (0.356)	0.008 (0.203)	0.014(0.356)	0.008 (0.203)	0.014 (0.356)	0.008 (0.203)	0.014 (0.356)
D	0.355 (9.02)	0.400 (10.16)	0.780 (19.81)	0.800 (20.32)	0.880 (22.35)	0.920 (23.37)	0.980 (24.89)	1.060 (26.9)
D_1	0.005 (0.13)		0.005 (0.13)		0.005 (0.13)		0.005 (0.13)	
E	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)	0.300 (7.62)	0.325 (8.26)
E_1	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)	0.240 (6.10)	0.280 (7.11)
e	0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)	
e_A	0.300 BSC (7.62)		0.300 BSC (7.62)		0.300 BSC (7.62)		0.300 BSC (7.62)	
L	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)	0.115 (2.92)	0.150 (3.81)
e_B		0.430 (10.92)		0.430 (10.92)		0.430 (10.92)		0.430 (10.92)
e_C	0	0.060 (1.52)	0	0.060 (1.52)	0	0.060 (1.52)	0	0.060 (1.52)

NOTE: Controlling dimensions in parenthesis ( ) are in millimeters.

Package Outlines



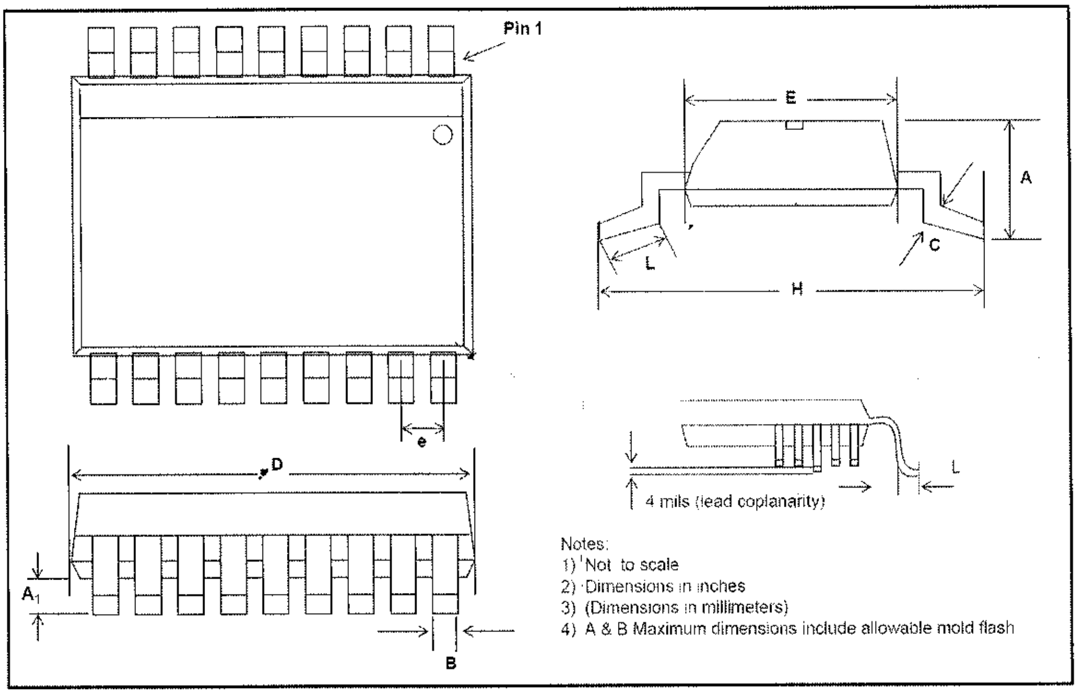
Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)

Plastic Dual-In-Line Packages (PDIP) - E Suffix

DIM	22-Pin		24-Pin		28-Pin		40-Pin	
	Plastic		Plastic		Plastic		Plastic	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.210 (5.33)		0.250 (6.35)		0.250 (6.35)		0.250 (6.35)
A_2	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)	0.125 (3.18)	0.195 (4.95)
b	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)	0.014 (0.356)	0.022 (0.558)
b_2	0.045 (1.15)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)	0.030 (0.77)	0.070 (1.77)
C	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)	0.008 (0.204)	0.015 (0.381)
D	1.050 (26.67)	1.120 (28.44)	1.150 (29.3)	1.290 (32.7)	1.380 (35.1)	1.565 (39.7)	1.980 (50.3)	2.095 (53.2)
D_1	0.005 (0.13)		0.005 (0.13)		0.005 (0.13)		0.005 (0.13)	
E	0.390 (9.91)	0.430 (10.92)	0.600 (15.24)	0.670 (17.02)	0.600 (15.24)	0.670 (17.02)	0.600 (15.24)	0.670 (17.02)
E			0.290 (7.37)	.330 (8.38)				
E_1	0.330 (8.39)	0.380 (9.65)	0.485 (12.32)	0.580 (14.73)	0.485 (12.32)	0.580 (14.73)	0.485 (12.32)	0.580 (14.73)
E_1			0.246 (6.25)	0.254 (6.45)				
e	0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)		0.100 BSC (2.54)	
e_A	0.400 BSC (10.16)		0.600 BSC (15.24)		0.600 BSC (15.24)		0.600 BSC (15.24)	
e_A			0.300 BSC (7.62)					
e_B				0.430 (10.92)				
L	0.115 (2.93)	0.160 (4.06)	0.115 (2.93)	0.200 (5.08)	0.115 (2.93)	0.200 (5.08)	0.115 (2.93)	0.200 (5.08)
α		15°		15°		15°		15°

Shaded areas for 300 Mil Body Width 24 PDIP only

Package Outlines

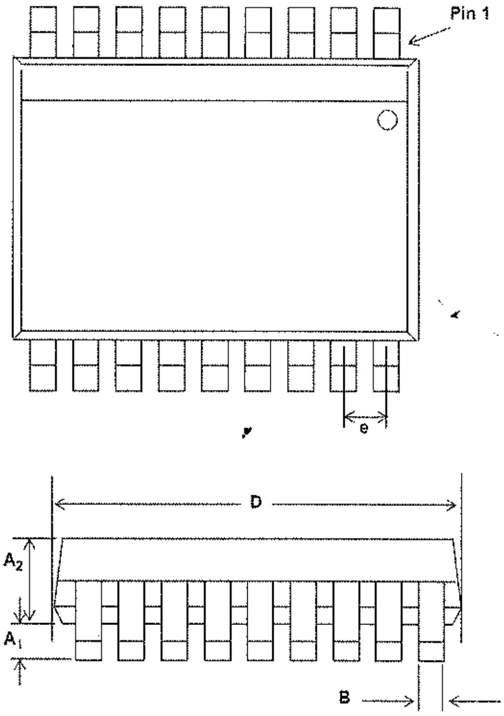


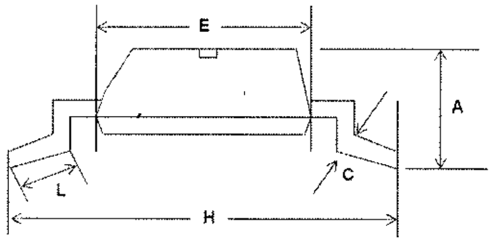
DIM	16-Pin		18-Pin		20-Pin		24-Pin		28-Pin	
	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max
A	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)	0.093 (2.35)	0.104 (2.65)
A_1	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)	0.004 (0.10)	0.012 (0.30)
B	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.030 (0.51)	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.020 (0.51)	0.013 (0.33)	0.020 (0.51)
C	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)	0.009 (0.231)	0.013 (0.318)
D	0.398 (10.1)	0.413 (10.5)	0.447 (11.35)	0.4625 (11.75)	0.496 (12.60)	0.512 (13.00)	0.5985 (15.2)	0.614 (15.6)	0.697 (17.7)	0.7125 (18.1)
E	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)	0.291 (7.40)	0.299 (7.40)
e	0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)		0.050 BSC (1.27 BSC)	
H	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)	0.394 (10.00)	0.419 (10.65)
L	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)	0.016 (0.40)	0.050 (1.27)

Lead SOIC Package - S Suffix

NOTES: 1. Controlling dimensions in parenthesis ( ) are in millimeters.
2. Converted inch dimensions are not necessarily exact.

Package Outlines

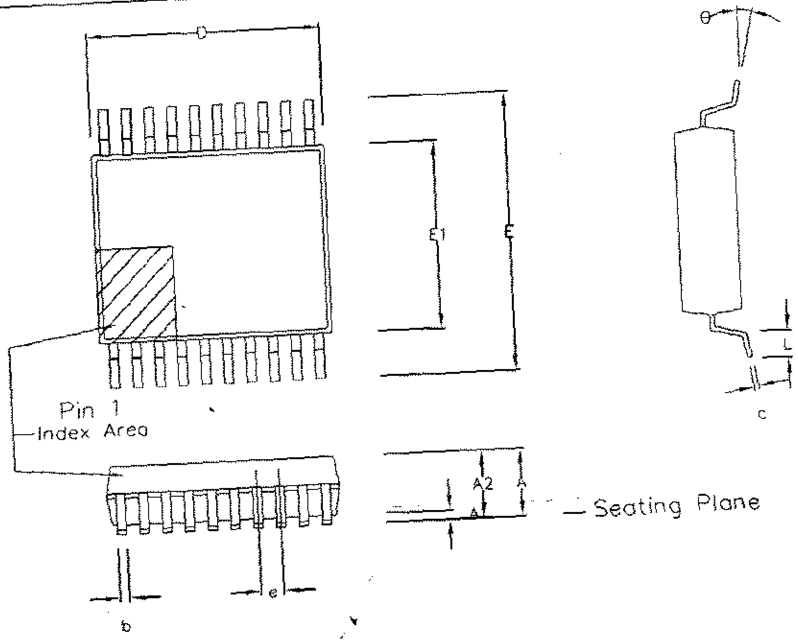




Notes:
1) Not to scale
2) Dimensions in inches
3) (Dimensions in millimeters)
4) Ref. JEDEC Standard M0-150/M0118 for 48 Pin
5) A & B Maximum dimensions include allowable mold flash

Dim	20-Pin		24-Pin		28-Pin		48-Pin	
	Min	Max	Min	Max	Min	Max	Min	Max
A		0.079 (2)	-	0.079 (2)		0.079 (2)	0.095 (2.41)	0.110 (2.79)
A_1	0.002 (0.05)		0.002 (0.05)		0.002 (0.05)		0.008 (0.2)	0.016 (0.406)
B	0.0087 (0.22)	0.013 (0.33)	0.0087 (0.22)	0.013 (0.33)	0.0087 (0.22)	0.013 (0.33)	0.008 (0.2)	0.0135 (0.342)
C		0.008 (0.21)		0.008 (0.21)		0.008 (0.21)		0.010 (0.25)
D	0.27 (6.9)	0.295 (7.5)	0.31 (7.9)	0.33 (8.5)	0.39 (9.9)	0.42 (10.5)	0.62 (15.75)	0.63 (16.00)
E	0.2 (5.0)	0.22 (5.6)	0.2 (5.0)	0.22 (5.6)	0.2 (5.0)	0.22 (5.6)	0.291 (7.39)	0.299 (7.59)
e	0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)		0.025 BSC (0.635 BSC)	
A_2	0.065 (1.65)	0.073 (1.85)	0.065 (1.65)	0.073 (1.85)	0.065 (1.65)	0.073 (1.85)	0.089 (2.26)	0.099 (2.52)
H	0.29 (7.4)	0.32 (8.2)	0.29 (7.4)	0.32 (8.2)	0.29 (7.4)	0.32 (8.2)	0.395 (10.03)	0.42 (10.67)
L	0.022 (0.55)	0.037 (0.95)	0.022 (0.55)	0.037 (0.95)	0.022 (0.55)	0.037 (0.95)	0.02 (0.51)	0.04 (1.02)

Small Shrink Outline Package (SSOP) - N Suffix



Symbol	Control Dimensions in millimetres			Altern. Dimensions in inches		
	MIN	Nominal	MAX	MIN	Nominal	MAX
A	1.70		2.00	0.067		0.079
A1	0.05		0.20	0.002		0.008
A2	1.65		1.85	0.065		0.073
D	6.90		7.50	0.272		0.295
E	7.40		8.20	0.291		0.323
E1	5.00		5.60	0.197		0.220
L	0.55		0.95	0.022		0.037
e	0.65 BSC.			0.026 BSC.		
b	0.22		0.38	0.009		0.015
c	0.09		0.25	0.004		0.010
θ	0°		8°	0°		8°
	Pin features					
N	20					
Conforms to JEDEC MO-150 AE Iss. B						

This drawing supersedes:–
418/ED/51481/002 (Swindon/Plymouth)

Notes:
1. A visual index feature, e.g. a dot, must be located within the cross–hatched area.
2. Controlling dimension are in millimeters.
3. Dimensions D and E1 do not include mould flash or protusion. Mould flash or protusion shall not exceed 0.20 mm per side. D and E1 are maximum plastic body size dimensions including mould mismatch.
4. Dimension b does not include dambar protusion/intrusion. Allowable dambar protusion shall be 0.13 mm total in excess of b dimension. Dambar intrusion shall not reduce dimension b by more than 0.07 mm.

© Zarlink Semiconductor 2002 All rights reserved.

ISSUE	1	2	3	
ACN	201933	205234	212477	
DATE	27Feb97	25Sep98	3Apr02	
APPRD.				

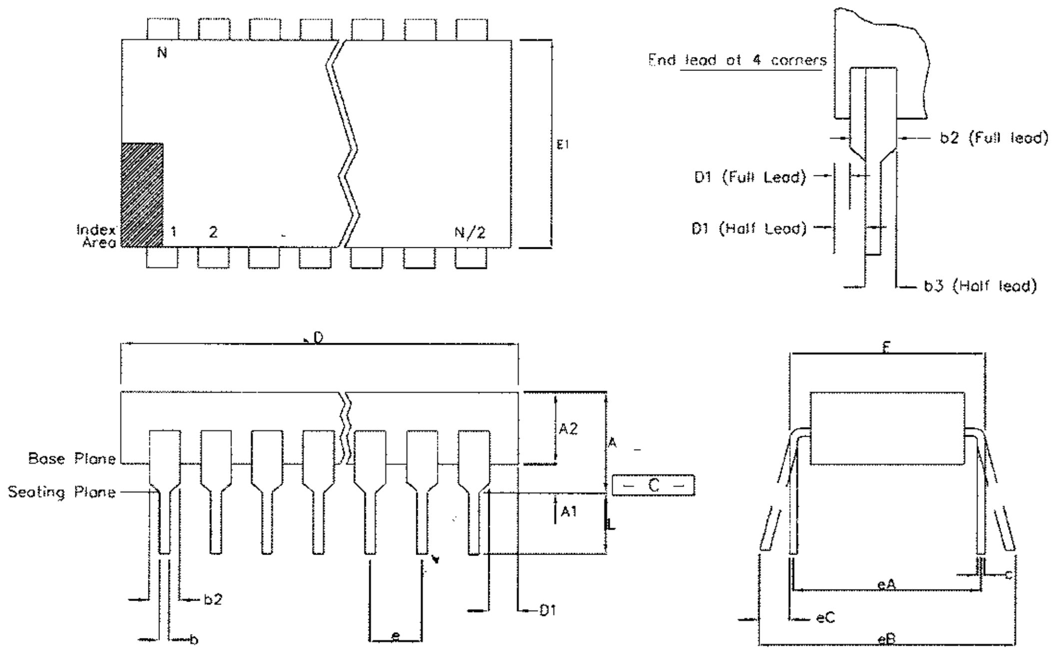
ZARLINK SEMICONDUCTOR

Previous package codes
NP / N

Package Code DD

Package Outline for 20 lead SSOP (5.3mm Body Width)

GPD00294



	Min mm	Max mm	Min Inches	Max Inches
A		5.33		0.210
A1	0.38		0.015	
A2	2.92	4.95	0.115	0.195
b	0.36	0.56	0.014	0.022
b2	1.14	1.78	0.045	0.070
b3	n/a	n/a	n/a	n/a
c	0.20	0.36	0.008	0.014
D	22.35	23.37	0.880	0.920
D1	0.13		0.005	
E	7.62	8.26	0.300	0.325
E1	6.10	7.11	0.240	0.280
e	2.54 BSC		0.100 BSC	
eA	7.62 BSC		0.300 BSC	
eB		10.92		0.430
eC	0.00	1.52	0.000	0.060
L	2.92	3.81	0.115	0.150
N	18		18	
Conforms to Jedec MS-001AC Issue D				

Notes:
1. Leadframe Material: Copper
2. Leadframe finish: Solder Plate
3. Dimensions D, D1 & E1 do not include mould flash or protrusions.
4. Dimensions E & eA are measured with leads constrained to be perpendicular to datum – C –
5. Dimensions eB & eC are measured with the leads unconstrained
6. Controlling dimensions are Inches. Millimeter conversions are not necessarily exact.
7. N is the maximum of terminal positions.

This drawing supersedes: –
Plymouth/Swindon drawing # 418/ED/39502/004

© Zarlink Semiconductor 2002 All rights reserved.

ISSUE	1	2		
ACN	202563	212483		
DATE	9Jun97	5Apr02		
APPRD.				

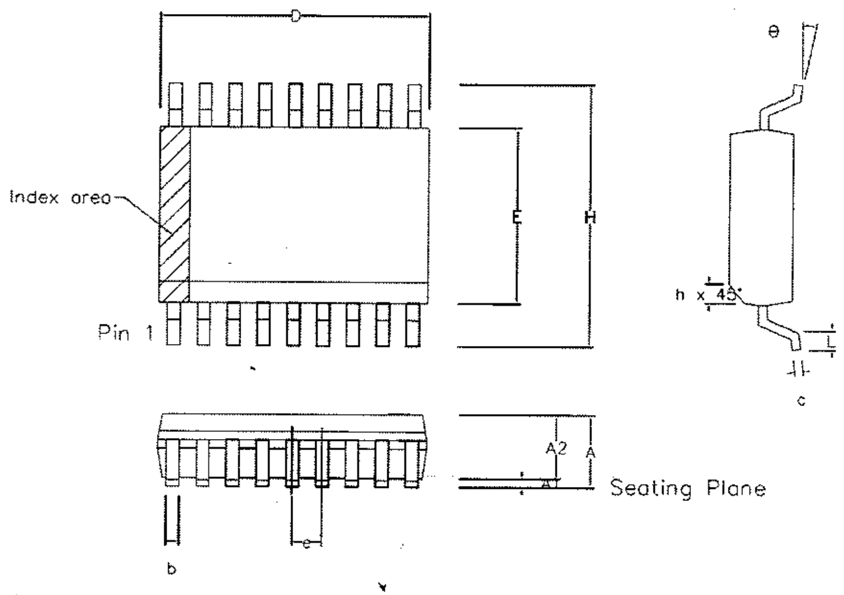
ZARLINK SEMICONDUCTOR

Previous package codes: DP / E

Package Code: DA

Package Outline for 18 Lead PDIP

GPD00348



Symbol	Control Dimensions in millimetres				Altern. Dimensions in inches		
	MIN	Nominal	MAX		MIN	Nominal	MAX
A	2.35		2.65		0.093		0.104
A1	0.10		0.30		0.004		0.012
A2	2.25		2.35		0.089		0.092
D	11.35		11.75		0.447		0.463
H	10.00		10.65		0.394		0.419
E	7.40		7.60		0.291		0.299
L	0.40		1.27		0.016		0.050
e	1.27 BSC.				0.050 BSC.		
b	0.33		0.51		0.013		0.020
c	0.23		0.32		0.009		0.013
Θ	0°		8°		0°		8°
h	0.25		0.75		0.010		0.029
	Pin features						
N	18						
Conforms to JEDEC MS-013AB Iss. C							

Notes:

1. The chamfer on the body is optional. If not present, a visual index feature, e.g. a dot, must be located within the cross-hatched area.
2. Controlling dimensions are in millimeters
3. Dimension D do not include mould flash, protusion or gate burrs. These shall not exceed 0.006" per side.
4. Dimension E1 do not include inter-lead flash or protusion. These shall not exceed 0.010" per side.
5. Dimension b does not include dambar protusion / intrusion. Allowable dambar protusion shall be 0.004" total in excess of b dimension.

© Zarlink Semiconductor 2002 All rights reserved.

ISSUE	1	2	3	
ACN	6746	201940	212432	
DATE	7Apr95	27Feb97	25Mar02	
APPRD.				

ZARLINK SEMICONDUCTOR

Previous package codes: MP / S

Package Code: DC

Package Outline for 18 lead SOIC (0.300" Body Width)

GPD00014

For more information about all Zarlink products
visit our Web Site at

www.zarlink.com

Information relating to products and services furnished herein by Zarlink Semiconductor Inc. or its subsidiaries (collectively "Zarlink") is believed to be reliable. However, Zarlink assumes no liability for errors that may appear in this publication, or for liability otherwise arising from the application or use of any such information, product or service or for any infringement of patents or other intellectual property rights owned by third parties which may result from such application or use. Neither the supply of such information or purchase of product or service conveys any license, either express or implied, under patents or other intellectual property rights owned by Zarlink or licensed from third parties by Zarlink, whatsoever. Purchasers of products are also hereby notified that the use of product in certain ways or in combination with Zarlink, or non-Zarlink furnished goods or services may infringe patents or other intellectual property rights owned by Zarlink

This publication is issued to provide information only and (unless agreed by Zarlink in writing) may not be used, applied or reproduced for any purpose nor form part of any order or contract nor to be regarded as a representation relating to the products or services concerned. The products, their specifications, services and other information appearing in this publication are subject to change by Zarlink without notice. No warranty or guarantee express or implied is made regarding the capability, performance or suitability of any product or service. Information concerning possible methods of use is provided as a guide only and does not constitute any guarantee that such methods of use will be satisfactory in a specific piece of equipment. It is the user's responsibility to fully determine the performance and suitability of any equipment using such information and to ensure that any publication or data used is up to date and has not been superseded. Manufacturing does not necessarily include testing of all functions or parameters. These products are not suitable for use in any medical products whose failure to perform may result in significant injury or death to the user. All products and materials are sold and services provided subject to Zarlink's conditions of sale which are available on request.

Purchase of Zarlink's I²C components conveys a licence under the Philips I²C Patent rights to use these components in and I²C System, provided that the system conforms to the I²C Standard Specification as defined by Philips.

Zarlink, ZL and the Zarlink Semiconductor logo are trademarks of Zarlink Semiconductor Inc.

Copyright Zarlink Semiconductor Inc. All Rights Reserved.

TECHNICAL DOCUMENTATION - NOT FOR RESALE

ประวัติผู้เขียน

นายสนิท กัลยา สำเร็จการศึกษาระดับมัธยมศึกษาตอนปลาย จากโรงเรียนสวนกุหลาบวิทยาลัย รังสิต อ.ธัญบุรี จ. ปทุมธานี เมื่อปีการศึกษา 2543 ปัจจุบันกำลังศึกษาอยู่ในระดับอุดมศึกษาชั้นปีที่ 4 สาขาวิชาวิศวกรรมโทรคมนาคม สำนักวิชาวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีสุรนารี อ. เมือง จ. นครราชสีมา

ศูนย์บรรณสารและสื่อการศึกษา
มหาวิทยาลัยเทคโนโลยีสุรนารี