อุปกรณ์ป้องกันการดักฟังสัญญาณสื่อสารไร้สาย
Voice Scramble Device for Wireless Communication

โดย

นาย ณัฐ	ศิษฐเจริญ	รหัสนักศึกษา	48701776
นาย ชยางศิลป์	วงษ์ชวัญ	รหัสนักศึกษา	48702936
นาย ทิวพร	ชัยรัตนาปกรณ์	รหัสนักศึกษา	48704933

รายงานนี้เป็นส่วนหนึ่งของการศึกษาวิชา 452-499 โครงงานวิศวกรรมโทรคมนาคม
และวิชา 452-599 โครงงานวิศวกรรมโทรคมนาคม
ประจำภาคการศึกษาที่ 1 และ 2 ปีการศึกษา 2551
หลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม หลักสูตรปรับปรุง พ.ศ.2545
สำนักวิชาวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีสุรนารี

CONTRIBUTION

อุปกรณ์ป้องกันการดักฟังอุปกรณ์สื่อสารไร้สาย

Voice Scramble Device for Wireless Communication

โดย

นาย ดนัย	อัศสานึก	รหัสนักศึกษา	B4707776
นาย ทนงศักดิ์	งามเจริญ	รหัสนักศึกษา	B4707936
นาย สิงหเดช	วชิรเพชรปราณี	รหัสนักศึกษา	B4704911

รายงานนี้เป็นส่วนหนึ่งของการศึกษาวิชา 427494 โครงงานศึกษาวิศวกรรมโทรคมนาคม

และวิชา 427499 โครงงานวิศวกรรมโทรคมนาคม

ประจำภาคการศึกษาที่ 1 และ 2 ปีการศึกษา2550

หลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม หลักสูตรปรับปรุง พ.ศ.2545

สำนักวิชาวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีสุรนารี

ศูนย์บรรณสารและสื่อการศึกษา
มหาวิทยาลัยเทคโนโลยีสุรนารี

อุปกรณ์ป้องกันการดักฟังโทรศัพท์ไร้สาย

คณะกรรมการสอบโครงงาน

(อาจารย์ ดร. พีระพงษ์ อุฑารสกุล)
อาจารย์ที่ปรึกษาโครงงาน

(ผู้ช่วยศาสตราจารย์ ดร. ชุติมา พรหมมาก)
กรรมการ

(ผู้ช่วยศาสตราจารย์ ร. อ. ดร. ประโยชน์ คำสวัสดิ์)
กรรมการ

มหาวิทยาลัยเทคโนโลยีสุรนารี อนุมัติให้นับรายงานโครงงานฉบับนี้ เป็นส่วนหนึ่งของการศึกษาระดับปริญญาตรี สาขาวิชาวิศวกรรมโทรคมนาคม วิชา 427 494 โครงงานศึกษาวิศวกรรมโทรคมนาคม และวิชา 427 499 โครงงานวิศวกรรมโทรคมนาคม ประจำปีการศึกษา 2550

สาขาวิชาวิศวกรรมโทรคมนาคม สำนักวิชาวิศวกรรมศาสตร์

มหาวิทยาลัยเทคโนโลยีสุรนารี

โครงงาน อุปกรณ์ป้องกันการดักฟังอุปกรณ์สื่อสารไร้สาย

ผู้ดำเนินการ 1. นาย ดนัย อัศสานึก B4707776

2. นาย ทนงศักดิ์ งามเจริญ B4707936

3. นาย สิงหเดช วชิรเพชรปราณี B4704911

อาจารย์ที่ปรึกษา อาจารย์ ดร.พีระพงษ์ อุฑารสกุล

สาขาวิชา วิศวกรรมโทรคมนาคม

ภาคการศึกษา 1, 3/2550

บทคัดย่อ

เนื่องจากในปัจจุบันอุปกรณ์สื่อสารไร้สายเป็นที่นิยมกันมากแต่ยังไม่มีอุปกรณ์ที่ใช้ในการป้องกันการดักฟังแบบดิจิตอลออกมาขาย ซึ่งในขณะที่อุปกรณ์สำหรับการดักฟังนั้นมีออกมาจำหน่ายโดยทั่วไป โครงงานนี้จึงเล็งเห็นปัญหาที่เกิดขึ้น ดังนั้นเพื่อรักษาสิทธิความเป็นส่วนตัวของผู้บริโภค และปัญหาต่างๆที่เกี่ยวข้องกับการโจรกรรมข้อมูลที่เกิดจากการดักฟัง บทสนทนาผ่านอุปกรณ์สื่อสารไร้สายโครงงานนี้เสนอแนวทางในการสร้างเครื่องป้องกันการดักฟังอุปกรณ์สื่อสารไร้สายด้วยรหัสดิจิตอลโดยที่ผู้ใช้สามารถนำไปพัฒนาต่อเพื่อให้สามารถตั้งรหัสผ่านได้เอง และเป็นอุปกรณ์ที่สามารถเชื่อมต่อกับอุปกรณ์สื่อสารไร้สายได้โดยไม่ต้องผ่านอุปกรณ์อื่นๆ

กิตติกรรมประกาศ

การจัดโครงงานเรื่องอุปกรณ์ป้องกันการดักฟังอุปกรณ์สื่อสารไร้สายโทรศัพท์มือถือได้ความสำเร็จด้วยดีเนื่องจากได้รับความอนุเคราะห์ในการให้คำปรึกษาในด้านต่างๆในระหว่างการดำเนินการจากบุคลหลายท่านที่ได้ให้ความช่วยเหลือและให้คำปรึกษารวมทั้งข้อเสนอแนะที่เป็นประโยชน์ในการทำโครงงานครั้งนี้

บุคคลเหล่านี้ประกอบไปด้วย

- อ.ดร.พีระพงษ์ อุฑารสกุล อาจารย์ที่ปรึกษาที่ให้คำปรึกษาในด้านต่างๆทั้งทางวิชาการและ การปฏิบัติและควบคุมการทำงานอย่างใกล้ชิด

- คุณประพล จาระตะคุ หัวหน้าอาคารศูนย์เครื่องมือ 3 ที่ช่วยดูแลและติดต่อประสานงานเรื่องเอกสารและให้ความช่วยเหลือในการดำเนินเกี่ยวกับงบประมาณตลอดจนอุปกรณ์และเครื่องมือต่างๆที่ใช้ดำเนินโครงงาน

- คุณศักดิ์นันท์ จันทรโชติ ที่ช่วยเหลือและให้คำปรึกษาในด้านต่างๆ

- คุณไพโรจน์ บุญไทย ให้คำปรึกษาในด้านการเขียนโปรแกรมไมโครโปรเซสเซอร์

จึงเห็นสมควรที่จะมอบคุณความดีและเกียรติคุณเหล่านี้แด่ท่านที่กล่าวมานี้รวมถึงบุคลที่มิได้กล่าวนามมา ณ ที่นี้ด้วย

นาย ดนัย อัศสานึก
นาย ทนงศักดิ์ งามเจริญ
นาย สิงหเดช วชิรเพชรปราณี

สารบัญ

	หน้า
บทคัดย่อ	ก
กิตติกรรมประกาศ	ข
สารบัญ	ค
บทที่ 1 บทนำ	1
1.1 ความเป็นมา	1
1.2 หลักการและเหตุผล	1
1.3 วัตถุประสงค์	2
1.4 ผลที่คาดว่าจะได้รับ	3
1.5 ขอบเขตงาน	3
1.6 ขั้นตอนการดำเนินงาน	3
บทที่ 2 หลักการและทฤษฎีที่เกี่ยวข้อง	4
2.1 การแปลงสัญญาณ A/D และ D/A	4
2.2 ไมโครคอนโทรลเลอร์AT89C51ED2	11
2.2.1 โครงสร้างภายในของไมโครคอนโทรลเลอร์ตระกูล MCS-51	11
2.2.2 คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ตระกูล MCS-51	12
2.2.3 การจัดขาของไมโครคอนโทรลเลอร์ตระกูล MCS-51	12
2.3 IC DUAL LOW –VOLTAGE POWER AMPLIFIER เบอร์ TDA2822M	14
2.3.1 คุณสมบัติของ TDA2822M	14
2.3.2 การจัดขา	14
2.3.3 โครงสร้างของ TDA2822M	14
2.4 วงจรปรับลดไฟ DC 0-12V	15
2.4.1 คุณสมบัติของวงจรปรับลดไฟ DC 0-12V	15
2.5 IC SUPER VOLTAGE CONVERTER เบอร์ ICL7660S	15
2.5.1 คุณสมบัติของ IC SUPER VOLTAGE CONVERTER เบอร์ ICL7660S	15
2.5.2 การจัดขา	15
2.5.3 ตัวอย่างวงจรการทำงาน	16
2.6 ทฤษฎีMATLAB	16
2.6.1 การอ่านและบันทึกเสียงไฟล์เสียงด้วยMATLAB	17

2.6.2 การทำซับแซมเปิล 19

บทที่ 3 การออกแบบและการสร้างอุปกรณ์ 22

3.1 วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (A/D) 23

3.1.1 การลงอุปกรณ์อิเล็คทรอนิคส์ตามที่ออกแบบไว้ 24

3.2 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (D/A) 25

3.3 วงจร DUAL LOW –VOLTAGE POWER AMPLIFIER เบอร์ TDA2822M 28

3.4 วงจรไมโครคอนโทรเลอร์ 29

3.5 รูปการต่อรวมของภาคส่ง 32

3.6 รูปการต่อรวมของภาครับ 32

3.7 สรุปผลการออกแบบ 33

บทที่ 4 การทดสอบอุปกรณ์ป้องกันการดักฟังอุปกรณ์สื่อสารไร้สาย 34

4.1 การทดสอบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล 34

4.1.1 การติดตั้งชุดวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล 34

4.1.2 การเขียนโปรแกรมทดสอบ 35

4.1.3 การโหลดโปรแกรมทดสอบ 37

4.2 สรุป แบบจำลองการเข้ารหัส 56

บทที่ 5 สรุปและข้อเสนอแนะ 57

บรรณานุกรม 59

ภาคผนวช ก 60

บทที่ 1
บทนำ

1.1 ความเป็นมา

เนื่องจากในปัจจุบันโทรศัพท์มือถือเป็นที่นิยมกันมากแต่ยังไม่มีอุปกรณ์ที่ใช้ในการป้องกัน การดักฟังแบบดิจิตอลออกมาขาย ซึ่งในขณะที่อุปกรณ์สำหรับการดักฟังนั้นมีออกมาจำหน่ายโดยทั่วไป โครงงานนี้จึงเล็งเห็นปัญหาที่เกิดขึ้น ดังนั้นเพื่อรักษาสิทธิความเป็นส่วนตัวของผู้บริโภค และปัญหาต่างๆที่เกี่ยวข้องกับการโจรกรรมข้อมูลที่เกิดจากการดักฟังโทรศัพท์ โครงงานนี้เสนอแนวทางในการสร้างเครื่องป้องกันการดักฟังอุปกรณ์สื่อสารไร้สาย โดยที่ผู้ใช้สามารถตั้งรหัสผ่านได้เอง และเป็นอุปกรณ์ที่สามารถเชื่อมต่อกับโทรศัพท์ได้โดยไม่ต้องผ่านอุปกรณ์อื่นๆ

1.2 หลักการและเหตุผล

โครงงานนี้จะพูดถึงการป้องกันการโจรกรรมข้อมูล ที่เกิดจากการดักฟังทางโทรศัพท์มือถือหรืออุปกรณ์สื่อสารไร้สายต่างๆ อาทิเช่น วิทยุสื่อสาร walky talky ซึ่งกรณีนี้ถือว่าเกี่ยวข้องกับความมั่นคงของประเทศชาติด้วย สำหรับตัวอย่างที่พบเห็นตามข่าวในสื่อต่างๆ ก็มีข้อถกเถียงเรื่องการป้องกันข้อมูลทางทหาร, การเมือง, และเรื่องทั่วไปเพื่อไม่ให้มีการดักฟังได้

สำหรับการดังฟังโทรศัพท์สามารถแบ่งเป็นกลุ่มใหญ่ๆ ได้ดังนี้

1.1 การดักฟังทางโทรศัพท์บ้าน ซึ่งการดักฟังนี้มีมานานแล้ว วิธีการดักฟังโทรศัพท์มีหลายวิธีและหลายรูปแบบดังนี้

- วิธีดักฟังรูปแบบแรกนี้ทำได้โดยการ จ้ำสายดักฟังเข้าที่ตู้สาย ซึ่งมีเบอร์ของบ้านหรือสถานที่เป้าหมายอยู่แล้ว สามารถบันทึกเสียงสนนทนาได้เลย

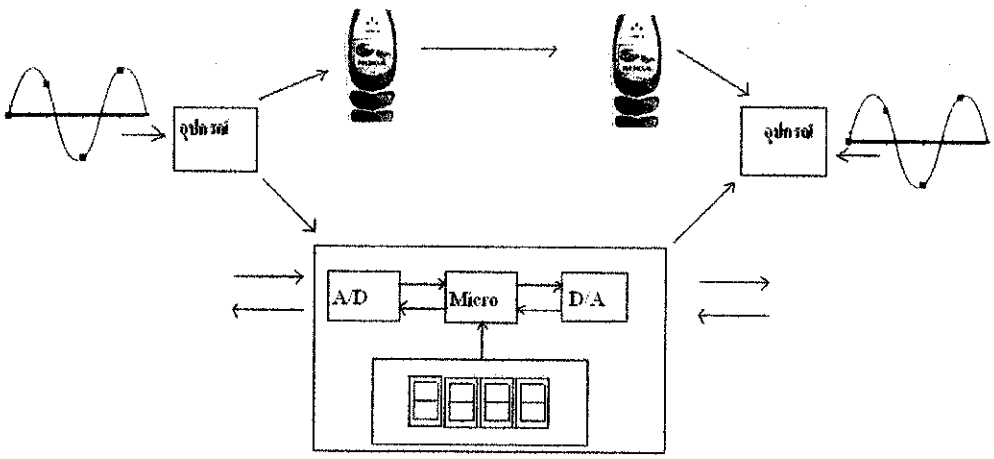
-การดักฟังที่ชุมสาย ซึ่งการทำแบบนี้ได้ ผู้ที่ทำก็จะต้องได้รับความร่วมมือและฝ่ายที่เกี่ยวข้อง

1.2 การดักฟังโทรศัพท์ระบบดิจิตอลที่เรียกว่า เครือข่ายรวมบริการระบบดิจิตอล ISDN

(คือ บริการสื่อสารร่วมซึ่งรับส่งสัญญาณเสียง ข้อมูลและภาพโดยระบบดิจิตอลซึ่งมีความเร็วสูง) ซึ่งสามารถเชื่อมเข้ากับโครงข่ายอินเตอร์เน็ตได้ การดักฟังก็พัฒนาตามระบบที่เปลี่ยนไป การดักฟังระบบดิจิตอล นั้นมี 2 แบบ เช่นกับ คือแบบแรกใช้เครื่องถอดรหัส ซึ่งสามารถที่จะรับสัญญาณในอากาศได้ ซึ่งรัศมีจะมีประมาณ 1 กิโลเมตร และวิธีที่สองคือการดักฟังที่ชุมสาย โดยใช้ขั้วต่อสัญญาณที่สามารถถอดรหัสระบบดิจิตอล ได้

1.3 การดักฟังโทรศัพท์ไร้สาย เป็นระบบการดักฟังแบบไร้สายที่ได้รับความนิยมอย่างมาก โดยเครื่องดักฟังแบบนี้ เป็นเครื่องส่งและภาครับสัญญาณเพื่อดักฟังสัญญาณโทรศัพท์เคลื่อนที่ในจุดใดจุดหนึ่ง ซึ่งจะใช้ได้กับพื้นที่บางแห่งที่สามารถรับสัญญาณนั้นได้ ส่วนเครื่องป้องกันการดักฟังที่ทำออกมา ในขณะนี้เป็นเครื่องป้องกันการดักฟังระบบอนาล็อกเท่านั้น ยังไม่มีการผลิตเครื่องป้องกันการดักฟังโทรศัพท์แบบดิจิตอลออกมาจำหน่าย

สำหรับโครงงานนี้ เสนอวิธีการป้องกันการดักอุปกรณ์สื่อสารไร้สาย โดยการสร้างอุปกรณ์เพื่อแปลงสัญญาณเสียงเป็นข้อมูลดิจิตอล และป้องกันการดักฟังโดยการใส่รหัสเฉพาะที่ผู้ใช้งานขณะนั้นกำหนด ซึ่งข้อมูลดิจิตอลที่เข้ารหัสแล้วก็จะแปลงกลับไปเป็นสัญญาณในย่านความถี่เสียงเหมือนเดิม ดังนั้นอุปกรณ์ที่ป้องกันการดักฟังนี้ จึงสามารถใช้ต่อเข้ากับโทรศัพท์ไร้สายได้โดยตรง



1.3 วัตถุประสงค์ของโครงงาน

เพื่อสร้างอุปกรณ์ป้องกันการดักฟังอุปกรณ์สื่อสารไร้สาย โดยการเข้ารหัสในระบบดิจิตอล ซึ่งผู้ใช้สามารถกำหนดรหัสเองได้ทุกครั้ง และอุปกรณ์นี้สามารถต่อใช้งานกับอุปกรณ์สื่อสารไร้สาย ได้โดยตรง โดยที่ไม่ต้องเปลี่ยนแปลงตัวอุปกรณ์สื่อสารไร้สายเลย

1.4 ผลที่คาดว่าจะได้รับ

1.ได้เกิดการฝึกฝนและทำให้เกิดความชำนาญทางด้าน hardware และ software

2.สามารถนำความรู้ทางทฤษฎี มาประยุกต์ใช้ในทางปฏิบัติ

3.สามารถทำงานเป็นกลุ่มได้

4.ผลงานที่ได้ทำจะสามารถจดทะเบียนสิทธิบัตรได้

5.สามารถช่วยทางด้านการป้องกันการรั่วไหลของข้อมูลช่วยทางด้านความมั่นคงของชาติได้

6. ยังสามารถพัฒนา วิจัย ให้ผลงานดีขึ้นกว่าเดิมได้

1.5 ขอบเขตงาน

1. ศึกษาลักษณะการทำงานของการแปลงสัญญาณระหว่างเสียงและสัญญาณดิจิตอล

2. ออกแบบแผงวงจรเพื่อเชื่อมต่อ Micro controller

3. เขียนโปรแกรมควบคุมการใส่รหัส เพื่อป้องกันการดักฟัง

4. สร้างอุปกรณ์ต้นแบบทั้งหมดและทดสอบให้ได้ตามวัตถุประสงค์

1.6 ขั้นตอนการดำเนินการ

1.6.1 ศึกษาค้นคว้าหาข้อมูลเกี่ยวกับโครงงานทางด้านอุปกรณ์และความเป็นไปได้ของส่วนที่เกี่ยวข้องของโครงงาน

1.6.2 จัดหาและรวบรวมอุปกรณ์ที่ใช้ในโครงงานและนำมาทดสอบเพื่อหาข้อสรุปเกี่ยวกับอุปกรณ์ทางด้าน hardware

1.6.3 ทำการทดสอบทางด้าน software กับอุปกรณ์ทางด้าน hardware

1.6.4 ทดสอบเกี่ยวกับการเปลี่ยนแปลงสัญญาณ analog

1.6.5 เปรียบเทียบระหว่างอุปกรณ์ 2 เครื่องว่าสามารถเปลี่ยนแปลงสัญญาณ analog ที่เปลี่ยนไปกลับคืนมาได้หรือไม่

1.6.6 ตรวจสอบว่าสามารถเปลี่ยนแปลงสัญญาณ analog กลับมาได้

1.6.7 ติดตั้งอุปกรณ์เสริมโดยการตั้งรหัสผ่านในการใช้งานได้

1.6.8 ทดสอบโปรแกรมเกี่ยวกับอุปกรณ์ทั้งหมด

1.6.9 หาข้อผิดพลาดและนำมาแก้ไขและพัฒนาอุปกรณ์และโปรแกรมให้มีประสิทธิภาพมากที่สุด

1.6.10 สรุปผลการทดลองและเขียนรูปเล่มรายงาน

บทที่ 2
หลักการและทฤษฎีที่เกี่ยวข้อง

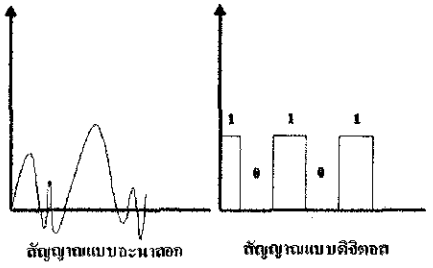
ในปัจจุบันการเปลี่ยนแปลงสัญญาณมีมากมายหลายแบบแต่ในโครงงานนี้จะมีการแปลงสัญญาณเสียงโดยใช้ระบบการแปลงสัญญาณจากสัญญาณ Analog เป็นสัญญาณ Digital และผ่านการประมวลผลการเข้ารหัสโดยใช้ไมโครโปรเซสเซอร์และการแปลงกลับโดยใช้ระบบการแปลงสัญญาณจากสัญญาณ Digital เป็นสัญญาณ Analog

2.1 การแปลงสัญญาณ A/D และ D/A

การสื่อสารข้อมูลด้วยคอมพิวเตอร์ สามารถสื่อสารข้อมูลได้ทุกประเภท ประกอบด้วย เสียง (Voice),อักขระข้อความ (Text), ภาพ (Image), และข้อมูลคอมพิวเตอร์ (Data) ซึ่งแต่ละข้อมูล มีลักษณะเฉพาะของสัญญาณที่แตกต่างกัน แบ่งการกระทำของข้อมูล ดังนี้

1. สัญญาณอนาล็อก คือ สัญญาณข้อมูลแบบต่อเนื่อง (Continuous Data) มีขนาดสัญญาณไม่คงที่ การเปลี่ยนแปลงขนาดของข้อมูลแบบค่อยไปแปรผันตามเวลา การส่งสัญญาณแบบอนาล็อก จะถูกรบกวนให้มีการแปลความหมายผิดพลาดได้ง่ายสัญญาณแบบอนาล็อก
จะเป็นสัญญาณที่สื่อกลางในการสื่อสารส่วนมากใช้อยู่ เช่น สัญญาณเสียงในโทรศัพท์

2. สัญญาณดิจิตอล คือสัญญาณแบบไม่ต่อเนื่อง (Discrete Data) มีขนาดของสัญญาณคงที่ การเปลี่ยนแปลงขนาดของสัญญาณเป็นแบบทันทีทันใด ไม่แปรผันตามเวลามีประสิทธิภาพและความน่าเชื่อถือสูงกว่าแบบอนาล็อก เนื่องจากมีการใช้งานเพียง 2 ค่าเพื่อมาตีความหมายเป็น on/off หรือ 1/0 เท่านั้น ซึ่งสัญญาณดิจิตอลนี้จะเป็นสัญญาณที่คอมพิวเตอร์ใช้ในการทำงานและการติดต่อสื่อสาร โดยการแสดงการเปรียบเทียบความแตกต่างของสัญญาณอนาล็อกกับสัญญาณดิจิตอลดังรูปที่ 2.0



รูปที่ 2.0 เปรียบเทียบสัญญาณอนาล็อกกับสัญญาณดิจิตอล

ความสัมพันธ์ของสัญญาณอนาล็อก ดิจิตอล และตัวแปลงสัญญาณ

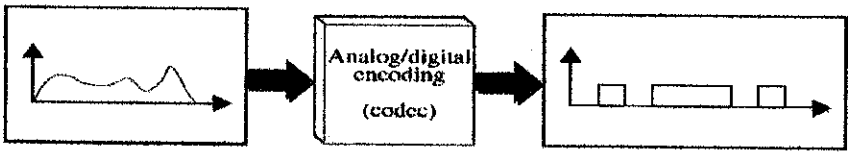
สัญญาณอนาล็อก (Analog) และสัญญาณดิจิตอล (Digital) ทั้งสองสัญญาณ เกี่ยวข้องกับตัวแปลงสัญญาณ (Trasducer) การเชื่อมต่อแบบอนาล็อกเข้าสู่คอมพิวเตอร์ จะต้องมีตัวกลางในการแปลงสัญญาณจาก Analog ให้เป็นสัญญาณทางอิเล็กทรอนิกส์เรียกว่า " ทรานส์ดิวเซอร์(Transducer)" การแปลงสัญญาณกลับไปมาระหว่างสัญญาณ Analog และ Digital อาศัย
"ตัวเปลี่ยนสัญญาณข้อมูล Converter"

การแปลงสัญญาณมี 2 วิธีคือ

1. การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล
2. การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

Analog to Digital Converter (A/D) ทำหน้าที่แปลงสัญญาณข้อมูลที่มนุษย์รับรู้ สัมผัสได้ เป็นกระบวนการทางไฟฟ้า เพื่อป้อนเข้าสู่การประมวลผล จึงเป็นกระบวนการหนึ่งของการรับข้อมูล (Input Unit) เป็นกระบวนการอิเล็กทรอนิกส์ ที่สัญญาณแปรผันต่อเนื่อง (Analog) ได้รับการแปลงสัญญาณเป็นสัญญาณดิจิตอลโดยไม่มีการลบข้อมูลสำคัญผลลัพธ์ของ ACD มีลักษณะตรงกันข้าม คือ กำหนดระดับหรือสถานะ ตัวเลขของสถานะมักจะเป็นการยกกำลังของ 2 คือ 2,4,8,16 เป็นต้น สัญญาณดิจิตอลพื้นฐานมี 2 สถานะและเรียกว่า binary ตัวเลขทั้งหมดสามารถแสดงในรูปของไบนารี ในฐานะข้อความของหนึ่งและศูนย์



รูปที่ 2.1 Analog - to – Digital

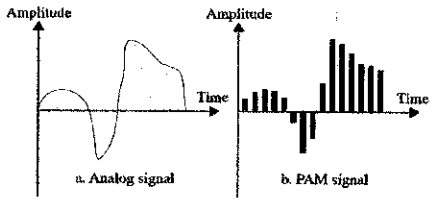
ส่วนในการเปลี่ยนแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลจะใช้วิธีการมอดูเลตแบบรหัสพัลส์ (PCM: Pulse Code Modulation) ในการแปลงสัญญาณวิธีโดยการสุ่มช่วงเวลาใดเวลาหนึ่งทำเป็นไม่ต่อเนื่อง โดยให้ขนาด (Amplitude) ของสัญญาณเท่าเดิม (ถ้าทำการชักตัวอย่าง (sampling) ถี่มากก็จะเป็นต่อเนื่องเหมือนเดิม) ควอนไทซิ่ง (Quantizing) ทำให้สัญญาณเป็นสัญญาณดิจิตอลโดยสมบูรณ์คือจะต้องใส่แรงดัน (Voltage) เข้าไปในแต่ละระดับ (Levels) ของ พัลส์ (Pulse)

ในขั้นตอนของการทำการมอดูเลตแบบรหัสพัลส์นั้นจะประกอบไปด้วย 4 กระบวนการ คือ

* การมอดูเลตทางแอมพลิจูดของพัลส์ (PCM: Pulse Code Modulation)
* การควอนไทซ์ (Quantization)
* การแปลงสัญญาณเป็นเชิงลบ (Digitization)
* การทำไลน์โค้ดดิง (Line Coding)

การมอดูเลตทางแอมพลิจูดของพัลส์

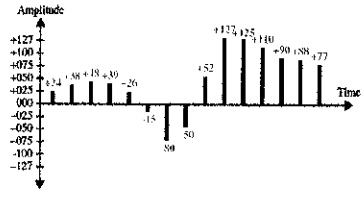
การมอดูเลตทางแอมพลิจูดของพัลส์ คือ การเอาข้อมูลที่เป็นอนาล็อกมาทำการสุ่มสัญญาณเป็นช่วงที่มีระยะเท่าๆ กัน (Sampling and Hold) ค่าที่ได้จากการสุ่ม (Sample) จะมาจากฟังก์ชั่นเดลต้า (Delta Function) ณ เวลานั้นแต่จะคงค่า (Hold) ไว้เป็นช่วงเวลาสั้นๆ แสดงได้ดังรูปที่ 2.2



รูปที่ 2.2 การทำ PAM สัญญาณอนาล็อก

การควอนไทซ์

การควอนไทซ์ คือ การกำหนดค่าตัวเลขจำนวนเต็มให้กับค่าที่อ่านได้จากการทำ การมอดูเลตทางแอมพลิจูดของพัลส์ เพื่อให้ทราบว่าสัญญาณที่ผ่านการมอดูเลตทางแอมพลิจูดของพัลส์แล้วนั้น อยู่ในระดับใด แสดงได้ดังรูปที่ 2.3



รูปที่ 2.3 Quantized PAM Signal

การแปลงระดับสัญญาณเป็นเชิงเลข

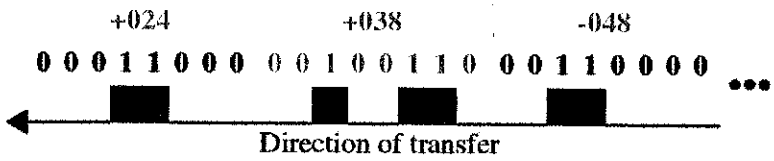
การแปลงระดับสัญญาณเป็นเชิงเลข คือ การแปลงระดับสัญญาณที่เป็นจำนวนเต็ม ให้เป็นอนุกรมของเลขฐานสอง โดยที่ระดับสัญญาณหาได้จากผลคูณถ่วงน้ำหนัก (ตำแหน่ง) ของเลขฐานสอง (ไม่นับบิตเครื่องหมาย)

$$L = \sum_{i=0}^{N-1} B_i * 2^i$$

+024	00011000	−015	10001111	+125	01111101
+038	00100110	−080	11010000	+110	01101110
+048	00110000	−050	10110010	+090	01011010
+039	00100111	+052	00110110	+088	01011000
+026	00011010	+127	01111111	+077	01001101

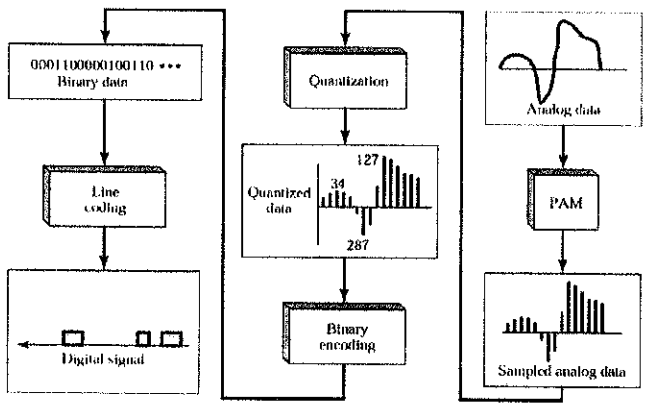
Sign bit
+ is 0 − is 1

รูปที่ 2.4 Quantizing Using Sign and Magnitude



รูปที่ 2.5 สัญญาณดิจิตอลที่ได้จากการทำ PCM สัญญาณอนาล็อกเรียบร้อยแล้ว

จากรูปที่ 2.4 และรูปที่ 2.5 เป็นการนำเอาระดับสัญญาณที่ผ่านการแปลงเป็นจำนวนเต็มแล้วมาทำการเข้ารหัสให้เป็นสัญญาณดิจิตอล และรูปที่ 2.6 เป็นการแสดงภาพรวมการทำการมอดูเลตทางแอมพลิจูดของพัลส์ของสัญญาณอนาล็อก



รูปที่ 2.6 PCM Process

วงจรที่ใช้ในการแปลงสัญญาณอนาล็อกเป็นดิจิตอลมีมากมายหลายชนิด โดยทั่วไปแล้ววงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล (A/D converters) มีใช้งานอยู่ประมาณ 7 ชนิด คือ

1. Paralled Comparator, หรือ Flash A/D converter
2. Single – Ramp หรือ Single – Slope A/D converter
3. Dual - Single – Slope A/D converter
4. Charge balance A/D converter
5. A/D converters using Counters and D/A converters
6. Tracking A/D converters
7. Successive – Approximation A/D converters

Counting Converter

เป็นการแปลงสัญญาณอนาล็อก เป็นสัญญาณดิจิตอล โดยใช้อัลกอริทึม การนับค่าเพิ่มขึ้นเรื่อยๆ แล้วนำผลที่ได้จากการนับไปเปรียบเทียบกับค่าที่ต้องการที่ตั้งไว้ การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล มีประโยชน์มากในการควบคุมอุปกรณ์สวิตชิ่ง ซึ่งมีลักษณะการแปลสัญญาณได้หลายวิธี แต่ละวิธีจะมีอัลกอริทึม ความรวดเร็วในการทำงาน และการใช้อุปกรณ์ฮาร์ดแวร์ต่างกันด้วย

ข้อบ่งเฉพาะของการแปลงสัญญาณ A/D (A/D SPECIFICYIONS)

ข้อบ่งเฉพาะจะบอกถึงขีดความสามารถของ converter โดยทั่วไปแล้วจะมีอยู่หลายคำ เช่น ความแม่นยำ, ความเที่ยงตรง, และความเที่ยงตรงเป็นเส้นตรง ซึ่งค่าเหล่านี้จะขึ้นอยู่กับลักษณะของแต่ละวงจร แต่มีข้อบ่งเฉพาะอีกข้อหนึ่งที่ไม่ขึ้นอยู่กับลักษณะของวงจรคือ ค่าผิดพลาดระหว่างค่าจริงของสัญญาณอนาล็อก กับค่าของดิจิตอลที่ใช้แทนค่า (ค่าของ Output ของ A/D converter) ซึ่งเรียกว่า Quantizing error จะมีค่าอยู่ประมาณ +1/2 digit ต่ำสุด (LSB) ของการแปลงสัญญาณซึ่งเป็นการบ่งชี้ถึงความแม่นยำได้อีกทางหนึ่งด้วยค่าพารามิเตอร์ที่สำคัญอีกตัวหนึ่งสำหรับ A/D converter คือ conversion time หรือค่าเวลาสำหรับการเปลี่ยนแปลงสัญญาณ ซึ่งมีช่วงเวลาอยู่ประมาณ 10-9 วินาที ถึง 10-3 วินาที ซึ่งขึ้นอยู่กับชนิด converter และจำนวน bit

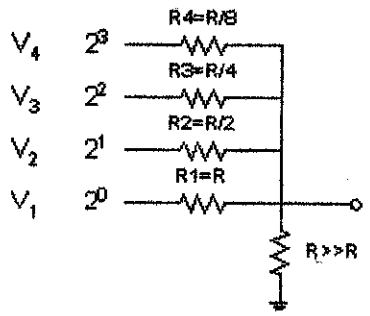
การแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

Digital to Analog Converter (D/A) ทำหน้าที่แปลงข้อมูลผลลัพธ์จากการประมวลผลเป็นสัญญาณไฟฟ้า ให้เป็นสัญญาณที่มนุษย์รับรู้ได้ สัมผัสได้ เป็นการแสดงผลข้อมูล (Output unit) digital-analog conversion เป็นกระบวนการซึ่งสัญญาณมีการกำหนดระดับ หรือสถานะจำนวนหนึ่ง (ปกติคือ 2 สถานะ) หรือสัญญาณดิจิตอล ให้เป็นสัญญาณที่ไม่จำกัดจำนวนของสถานะ หรือสัญญาณอนาล็อก ตัวอย่าง กระบวนการของโมเด็มในการแปลงข้อมูลคอมพิวเตอร์ เป็นความถี่เสียง ให้สามารถส่งผ่านสายโทศัพท์ twisted pair ในวงจรที่ทำงานให้เข้ากับฟังก์ชันนี้ เรียกว่า digital – to- analog converter (DAC) โดยพื้นฐาน digital – to- analog conversion ตรงข้ามกับ analog - to- analog conversion ถ้า analog - to- analog converter (ADC) วางอยู่ในวงจรการสื่อสารต่อจาก DAC สัญญาณดิจิตอลส่งออกจะตรงกับสัญญาณดิจิตอลนำเข้า ในกรณีที่ DAC วางอยู่ในวงจรต่อจาก ADC สัญญาณอนาล็อกส่งออกจะเป็นตรงกับสัญญาณอนาล็อกนำเข้าสัญญาณดิจิตอล แบบ binary จะปรากฏเป็นข้อความยาว ของ 1 และ 0 ซึ่งจะไม่มีความหมายต่อการอ่าน แต่เมื่อ DAC ใช้ถอดรหัสสัญญาณดิจิตอลแบบ binary ปรากฏผลลัพธ์ที่มีความหมาย ซึ่งอาจจะเป็น เสียง ภาพ เสียงดนตรี และกลไกการเคลื่อน

วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อกมี 2 ลักษณะ

1. แบบรวมกระแส (Weighted – resistor)
2. โครงข่ายแบบ R -2R (R -2R network)

แบบรวมกระแส (weighted -resistor) มีโครงสร้างดังรูป 2.7



รูป 2.7 แสดงโครงสร้างของวงจร D/A แบบรวมกระแส เงื่อนไขของวงจรคือ RL>>R

Vout ของวงจรจะหาได้จากสมการ

$$Vout = \frac{V_1/R_1+V_2/R_2+V_3/R_3+\ldots}{1/R_1+1/R_2+1/R_3+\ldots} \quad \text{---------- (1)}$$

$$Vout = \frac{V_1/R+V_2/(R/2)+V_3/(R/4)+\ldots}{1/R+1/(R/2)+1/(R/4)+\ldots}$$

$$Vout = \frac{V1/R+2V_2/R+4V_3/R\ldots}{1/R+2/R+4/R} \quad \text{---------- (2)}$$

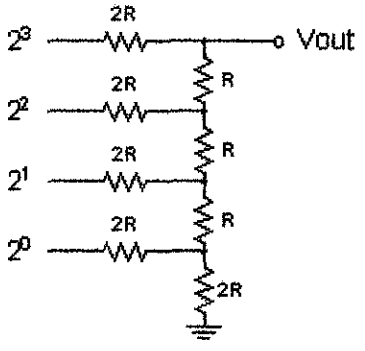
โดยที่ V1 , V2 , V3 และ V4 คือแรงเคลื่อนไฟฟ้าที่เอาท์พุทของวงจรดิจิตอล

คุณลักษณะของ D/A แบบรวมกระแส

1. จะต้องมีตัวต้านทานทุก input ของสัญญาณดิจิตอล
2. ตัวต้านทานนี้ input ของทุกบิตจะมีค่าเท่ากับ output ของระดับดิจิตอลสูงสุด
3. แรงเคลื่อนที่ output เต็มสเกลจะมีค่าเท่ากับ output ของระดับดิจิตอลสูงสุด
4. LSB จะมีน้ำหนักเป็น $1/(2^n-1)$ เมื่อ n เป็นจำนวนบิตที่ input
5. เมื่อ LSB เปลี่ยนแปลงแรงเคลื่อนไฟฟ้าที่ output จะเปลี่ยนไป $1/(2^n-1)$ เมื่อ V เป็นระดับสัญญาณดิจิตอล
6. V out คำนวณได้จากสมการ (1) หรือ (2)

โครงข่ายแบบ R-2R (R-2R network)

มีโครงสร้างของวงจรแสดงในรูป 2.8 รูป 2.8 แสดงโครงสร้างของวงจร D/A แบบ R-2R



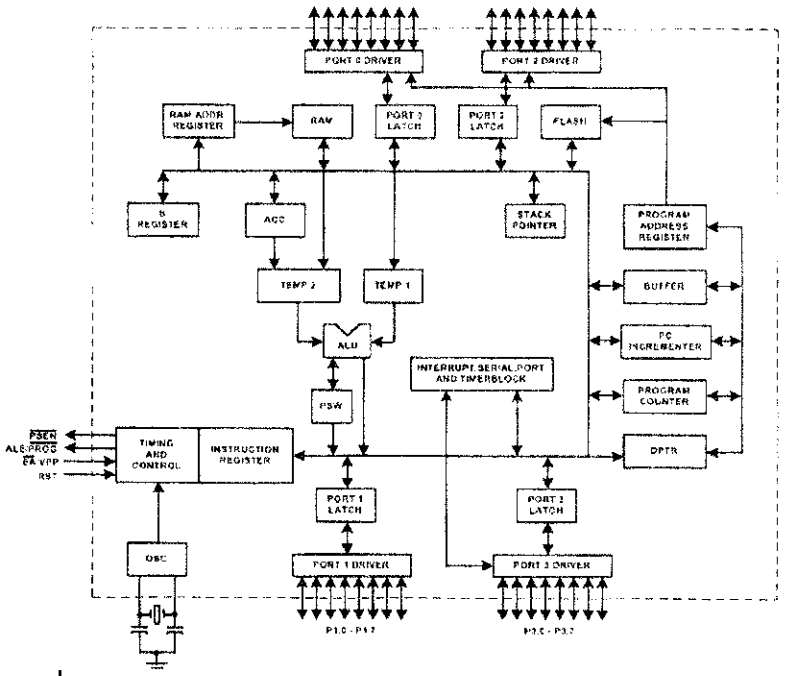
รูป 2.8 แสดงโครงสร้างของวงจร D/A แบบ R-2R

2.2ไมโครคอนโทรลเลอร์AT89C51ED2

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ได้จัดให้มีส่วนประกอบภายในเพื่ออำนวยความสะดวกแก่ผู้ใช้ เช่น ไทเมอร์ (Timer) /เคาเตอร์ (Counter), พอร์ตอนุกรม (Serial port) และสำหรับไมโครคอนโทรลเลอร์เบอร์ใหญ่ ๆ ยังอาจมีส่วนอื่นเพิ่มเติมเข้ามาอีก เช่น เบอร์ 80C515, 80C535 จะมีวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

2.2.1โครงสร้างภายในของไมโครคอนโทรลเลอร์ตระกูล MCS-51

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ใช้เทคโนโลยีการผลิตแบบ NMOS และ CMOS ซึ่งภายในได้รวมวงจรต่างไว้อย่างครบถ้วนพร้อมที่จะทำงานได้เมื่อจ่ายไฟเลี้ยงและสัญญาณนาฬิกา (Clock) ไมโครคอนโทรลเลอร์ตระกูล MCS-51 ได้ถูกผลิตออกมามากมายหลายเบอร์โดยบริษัทต่าง ๆ ไม่ว่าจะเป็นเบอร์อะไรก็ตาม ถ้าเป็นไมโครคอนโทรลเลอร์ตระกูล MCS-51 แล้วจะมีโครงสร้างต่าง ๆ ที่คล้ายกัน จะต่างกันออกไปในส่วนของความสามารถพิเศษของแต่ละเบอร์ ยกตัวอย่างเช่นเบอร์ AT89C51 มีไทเมอร์ 2 ตัว ในขณะที่เบอร์ AT89C52 มีไทเมอร์ 3 ตัว เป็นต้น โดยที่โครงสร้างต่างๆ ภายในของไมโครคอนโทรลเลอร์ตระกูล MCS-51 ได้แสดงไว้ดังรูปที่ 2.9



รูปที่ 2.9 บล็อกไดอะแกรมของไมโครคอนโทรลเลอร์ตระกูล MCS-51

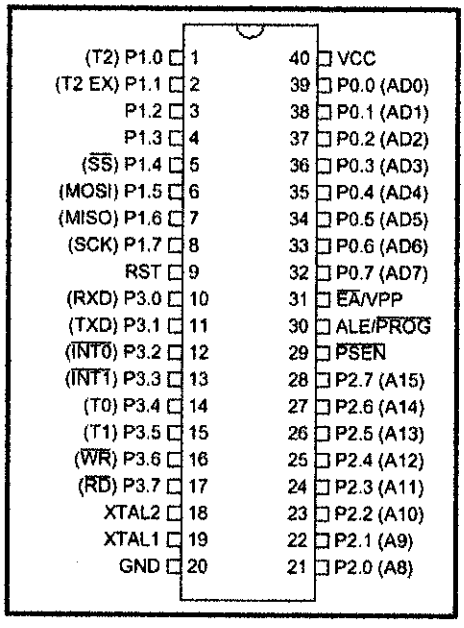
2.2.2 คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ตระกูล MCS-51

เนื่องจากคุณสมบัติของไมโครคอนโทรลเลอร์แต่ละเบอร์นั้นมีความสามารถที่แตกต่างกันออกไปในรายละเอียดปลีกย่อย ดังนั้นจะขออ้างถึงเบอร์ AT89C51 ของบริษัท Atmel ซึ่งเป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต ซึ่งมีคุณสมบัติดังนี้

- มีหน่วยความจำโปรแกรมแบบแฟลซ (Flesh Memory) ขนาด 8 กิโลไบต์
- มีหน่วยความจำแบบ EEPROM ขนาด 2 กิโลไบต์ (k byte)
- แหล่งจ่ายไฟกระแสตรงขนาด 5 โวลต์ (ทำงานในช่วง 4-6 โวลต์)
- ทำงานได้ด้วยสัญญาณนาฬิกาตั้งแต่ 0-24 เมกกะเฮิร์ต (MHz)
- มีหน่วยความจำข้อมูล (RAM) ขนาด 256 ไบต์ (byte)
- มีพอร์ต 32 พอร์ตอิสระสามารถเข้าถึงในระดับบิตได้
- มีไทเมอร์ / เคาเตอร์ขนาด 16 บิต ทั้งหมด 3 ตัว
- รองรับการอินเตอร์รัปต์ได้ 8 แหล่ง
- สามารถสื่อสารข้อมูลแบบอนุกรมได้ด้วย UART Channel

การจัดขาของไมโครคอนโทรลเลอร์ตระกูล MCS-51

ไมโครคอนโทรลเลอร์ในตระกูล MCS- 51 จะมีโครงสร้างของการจัดเรียงขาที่คล้าย ๆ กัน ได้แสดงไว้ดังรูปที่ 2.10 และมีส่วนประกอบของขาดังต่อไปนี้



รูปที่ 2.10โครงสร้างภายนอกและตำแหน่งขา AT89C51ED2

VCC ต่อไฟเลี้ยง

GND ต่อกราวด์

Port0 (P0.0-P0.7) เป็นพอร์ตแบบสองทิศทางขนาด 8 บิต สามารถทำงานได้ทั้งสองหน้าที่คือเป็นพอร์ตอินพุตและเอาท์พุตทั่วไป และใช้เป็นพอร์ตสำหรับติดต่อกับหน่วยความจำภายนอกคือรับและส่งข้อมูลพร้อมทั้งกำหนดแอดเดรส (Address) ไบต์ต่ำ

Port1 (P1.0-P1.7) เป็นพอร์ตแบบสองทิศทางขนาด 8 บิต มีการต่อความต้านทานพูลอัพ (pull-up resister) ไว้ภายใน ทำหน้าที่เป็นพอร์ตอินพุตและเอาท์พุตทั่วไป นอกจากนี้ยังใช้งานเป็นขาอินพุตเอาท์พุตของไทเมอร์ 2

Port2 (P2.0-P2.7) เป็นพอร์ตแบบสองทิศทางขนาด 8 บิต มีการต่อความต้านทานพูลอัพ (pull-up resister) ไว้ภายใน สามารถทำงานได้สองหน้าที่คือเป็นพอร์ตอินและพุตเอาท์พุตทั่วไป และใช้เป็นพอร์ตสำหรับติดต่อกับหน่วยความจำภายนอกคือกำหนดแอดเดรสไบต์สูง

Port3 เป็นพอร์ตแบบสองทิศทางขนาด 8 บิต มีการต่อความต้านทานพูลอัพ (pull-up resister) ไว้ภายใน ทำหน้าที่เป็นพอร์ตอินพุตและเอาท์พุตทั่วไป นอกจากนี้ยังใช้เป็นขาสัญญาณควบคุมการติดต่อกับหน่วยความจำการอินเตอร์รัปต์ และอื่น ๆ

RST เป็นขาอินพุตที่ใช้รับสัญญาณสำหรับรีเซตซีพียู โดยซีพียู (CPU) จะถูกรีเซต(Reset) เมื่อขานี้เป็นลอจิก "1" นาน 2 แมชินไซเคิล หรือ 24 ไซเคิลของสัญญาณนาฬิกา

ALE/PROG ทำหน้าที่เป็นขาเอาท์พุตเมื่อซีพียูต้องการติดต่อกับหน่วยความจำภายนอก คือจะทำการส่งสัญญาณพัลส์ (Pulse) ออกมาที่ขานี้เพื่อทำการแลกแอดเดรสไบต์ต่ำของหน่วยความจำภายนอก และขานี้จะเป็นอินพุตเมื่ออยู่ในระหว่างโปรแกรมแฟรช

PSEN เป็นขาเอาท์พุต ใช้ในการติดต่อกับหน่วยความจำภายนอก คือเมื่อซีพียูทำการประมวลผลกับหน่วยความจำโปรแกรมภายนอกขานี้จะแอคทีฟสองครั้งในแต่ละแมชินไซเคิล

EA/VPP เป็นขาอินพุตและต้องการลอจิก "0" เพื่อยอมให้ซีพียูสามารถเข้าถึงหน่วยความจำโปรแกรมภายนอกได้ ซึ่งอยู่ที่ตำแหน่ง 0000H ถึง FFFFH นอกจากนี้แล้วขานี้ยังใช้รับไฟ 12 โวลต์เพื่อใช้ในระหว่างที่ทำการโปรแกรมแฟลช

XTAL1 เป็นขาอินพุตของวงจรออสซิลเลเตอร์แอมปลิไฟเออร์ และยังเป็นขาอินพุตของวงจรกำเนิดสัญญาณนาฬิกาภายใน

XTAL2 เป็นขาเอาท์พุตของวงจรออสซิลเลเตอร์แอมปลิไฟเออร์

ศูนย์บรรณสารและสื่อการศึกษา
มหาวิทยาลัยเทคโนโลยี

2.3 IC DUAL LOW –VOLTAGE POWER AMPLIFIER เบอร์ TDA2822M

2.3.1คุณสมบัติของ TDA2822M

1.เป็นตัวขยายสัญญาณที่ใช้แรงดันต่ำซึ่งสามารถจ่ายต่ำสุดได้ที่1.8V

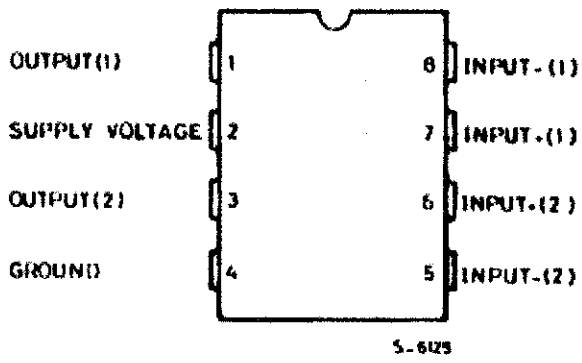
2.สามารถปรับอัตราขยายได้โดยใช้โพเทนชิโอมิเตอร์

3.เป็นไอซีคุณภาพสูง

4.มีการสูญเสียต่ำ

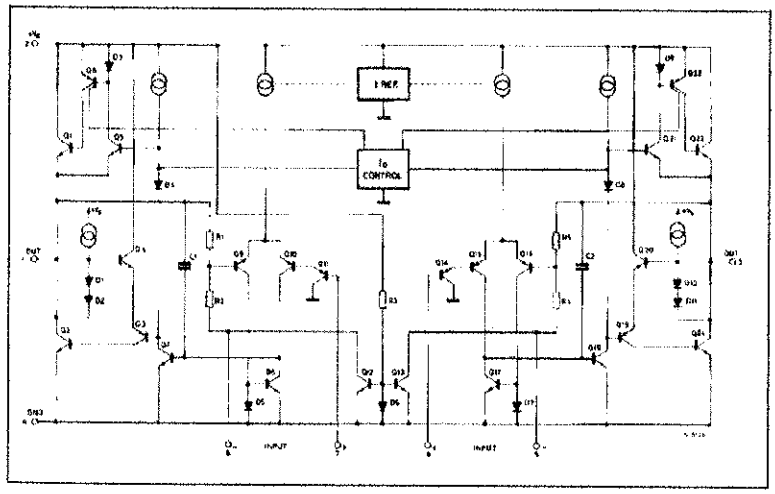
5.เป็น mono integrate circuit ที่มี 8 ขา ซึ่งสามารถนำไปใช้ใน dual audio power amplifier ที่อยู่ใน เครื่องเล่นเทป หรือวิทยุ

2.3.2 การจัดขา



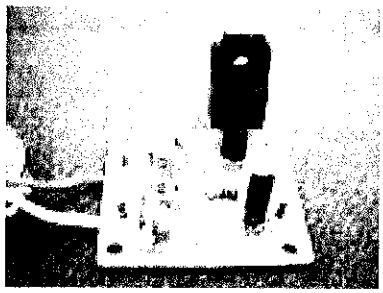
รูปที่ 2.11การจัดขาของ TDA2822M

2.3.3โครงสร้างของ TDA2822M



รูปที่ 2.12 โครงสร้างหน้าที่ภายในของTDA2822M

2.4 วงจรปรับลดไฟ DC 0-12V



รูปที่ 2.13 วงจรปรับลดไฟ DC 0-12 V

2.4.1 คุณสมบัติของวงจรปรับลดไฟ DC 0-12V

1.ใช้แหล่งจ่ายไฟ 12-15 โวลต์ดีซี

2. สามารถปรับแรงดันเอาท์พุตได้ 0-12 โวลต์

3.สามารถจ่ายกระแสได้สูงสุด 1 แอมป์

4. มีคุณภาพพอใช้ราคาถูก

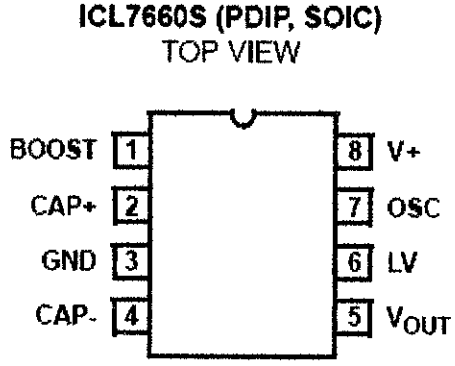
2.5 IC SUPER VOLTAGE CONVERTER เบอร์ ICL7660S

2.5.1 คุณสมบัติของ IC SUPER VOLTAGE CONVERTER เบอร์ ICL7660S

1. IC ตัวนี้สามารถแปลงแรงดัน จากบวกเป็นลบได้ในช่วง 1.5 V-12 Vเป็นเอาท์พุทได้ -1.5 ถึง -12V

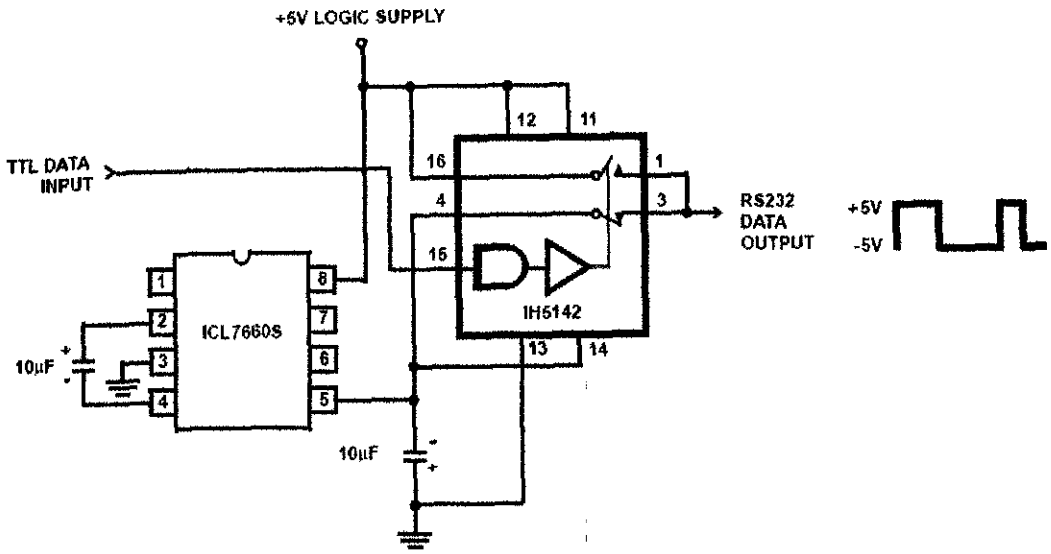
2. ซึ่งเป็น IC ที่มีคุณภาพสูง

2.5.2 การจัดขา



รูปที่ 2.14 การจัดเรียงขาของ IC SUPER VOLTAGE CONVERTER เบอร์ ICL7660S

2.5.3 ตัวอย่างวงจรการทำงาน



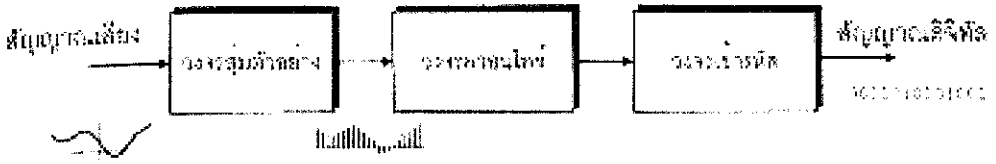
รูปที่ 2.15 ตัวอย่างวงจรการทำงานของ IC SUPER VOLTAGE CONVERTER เบอร์ ICL7660S

2.6 ทฤษฎี MATLAB

MATLABเป็นโปรแกรมที่ออกแบบมาเพื่อใช้สำหรับการคำนวณทางคณิตศาสตร์โดยเฉพาะ สำหรับงานทางด้านวิทยาศาสตร์และวิศวกรรมศาสตร์โครงสร้างพื้นฐานการคำนวณของโปรแกรม MATLAB จะอยู่ในรูปของเมทริกซ์ ซึ่งก็เป็นที่มาของชื่อโปรแกรมด้วย กล่าวคือ MATLAB เป็นคำย่อของคำสองคำในภาษอังกฤษคือ MATrix LABoratory

ในการศึกษาทางด้านโครงงานนี้จะใช้ประยุกต์ใช้งานโปรแกรม MATLAB สำหรับการเรียนรู้ทฤษฎีการสุ่มตัวอย่างของสัญญาณเสียง

สัญญาณเสียงจัดว่าเป็นสัญญาณอนาล็อกประเภทหนึ่งที่มีค่าไม่แน่นอน เปลี่ยนแปลงไปตามเวลา ดังนั้นในการส่งสัญญาณเสียงผ่านช่องสัญญาณสื่อสารดิจิตอล จึงจำเป็นที่ภาคส่งจะต้องนำสัญญาณเสียงไปผ่านกระบวนการสุ่มตัวอย่างก่อนเพื่อให้ได้เป็นสัญญาณที่มีค่าดีสครีตทางเวลา จากนั้นจำนำสัญญาณดีสครีตที่ได้แต่ละแซมเปิลไปผ่านกระบวนการควอนไทซ์(quantization)เพื่อให้ได้สัญญาณที่มีค่าดีสคีตทางแอมพลิจูด ก่อนจะนำไปเข้ารหัส (binary encoding) เป็นตัวเลขไบนารี 0และ1 เป็นลำดับต่อไป แผนภาพโดยรวมของวงจรแปลงสัญญาณเสียงเป็นสัญญาณดิจิตอลเป็นดังนี้



2.6.1การอ่านและบันทึกเสียงไฟล์เสียงด้วยMATLAB

ในโปรแกรม MATLAB มีคำสั่ง wavread ที่ใช้สำหรับอ่านไฟล์เสียง (.wav) เข้ามาเก็บไว้ในตัวแปรเวคเตอร์ที่กำหนดเพื่อนำไปประมวลผลต่อไป รูปแบบการใช้งานคำสั่งมีลักษณะดังนี้คือ

```
>> y = wavread (FILE);
```

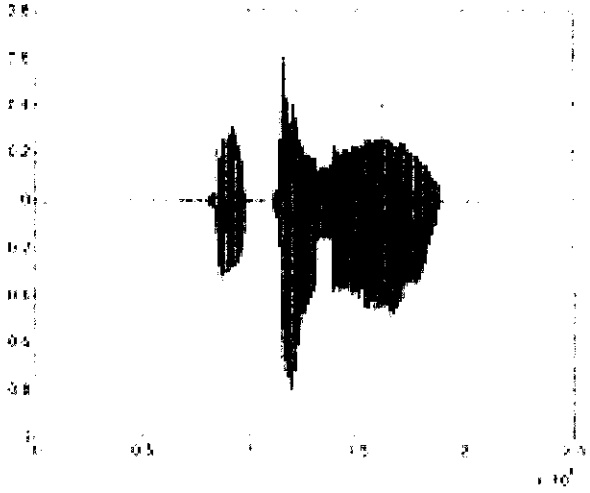
ยกตัวอย่างเช่นเรามีไฟล์เสียงชื่อ VOICE_ SAMPLE .wav อยู่ในฮาร์ดดิสต์ และต้องการอ่านไฟล์ดังกล่าว ให้พิมพ์คำสั่งดังต่อไปนี้

```
>> y = wavread ('VOICE_SAMPLE.wav');
```

ค่าแอมพิจูดของสัญญาณเสียงในไฟล์จะได้รับการบรรจุลงในเวคเตอร์y โดยที่ค่าแอมพลิจูดเหล่านี้จะมีขนาดในช่วง [-1,1] เราสามารถดูรูปสัญญาณเสียงที่อยู่ในไฟล์ดังกล่าวได้โดยใช้คำสั่งดังนี้

```
>> plot(y);
```

ผลลัพธ์ที่ได้จะมีลักษณะดังนี้



รูป 2.16 รูปสัญญาณของเสียงพูด

เราสามารถสั่งให้เครื่องคอมพิวเตอร์อ่านไฟล์เสียงและเล่นเสียงออกทางลำโพงได้โดยใช้คำสั่ง

```
>> wavplay (y);
```

ในการเล่นเสียงนั้นเราสามารถกำหนดความเร็วในการเล่นได้ตามต้องการ คือจะให้เสียงเล่นได้เร็วขึ้นกว่าปกติหรือเล่นช้าลงก็ได้ แต่ก่อนอื่นเราจำเป็นต้องทราบถึงอัตราการสุ่มตัวอย่าง(Sampling rate) ของไฟล์เสียงดังกล่าวก่อน ค่าอัตราการสุ่มถูกกำหนดในขั้นตอนการอัดเสียง ซึ่งโดยทั่วไปการใช้อัตราการสุ่มมากขึ้นเท่าใด คุณภาพของสัญญาณเสียงที่ได้รับมักจะดีขึ้นและใกล้เคียงกลับสัญญาณเสียงต้นฉบับมากขึ้น อย่างไรก็ตามขนาดของไฟล์ที่บรรจุเสียงก็จะต้องมีขนาดใหญ่ขึ้นด้วย

ค่าอัตราการสุ่มตัวอย่างสามารถอ่านได้จากไฟล์เสียงโดยใช้คำสั่งต่อไปนี้

```
>> [y fs] =wavread ('VOICE_sample.wav');
```

ผลที่ได้คือตัวแปร y จะบรรจุแอมพลิจูดของสัญญาณเสียง ในขณะที่ตัวแปร fs จะบอกถึงค่าอัตราการสุ่มของสัญญาณสำหรับไฟล์ตัวอย่างใช้ค่าอัตราการสุ่มเท่ากับ

Fs = 11,025 ครั้งต่อวินาที

จากค่าอัตราการสุ่มที่ได้จะนำมาใช้ในการควบคุมความเร็วของการเล่นเสียงกลับได้ดังนี้

```
>> wavplay (y,fs*2);
```

คำสั่งนี้เป็นคำสั่งให้เครื่องคอมพิวเตอร์เล่นเสียงขึ้นเร็วกว่าปกติ 2 เท่า แต่หากให้เครื่องคอมพิวเตอร์เล่นเสียงช้าลงให้ใช้คำสั่งดังนี้

```
>> wavplay (y,fs*0.5);
```

พิจารณารูปสัญญาณเสียงในรูปข้างต้นอีกครั้ง จะเห็นว่าแกนxมีแชมเปิลเสียงหรือจำนวนจุดทั้งหมด 25,000 จุด เนื่องจากอัตราการสุ่มมีค่าเท่ากับ 11,025 ครั้งต่อวินาที แสดงว่าสัญญาณเสียงที่บันทึกอยู่ในไฟล์ที่ระยะเวลาเท่ากับ 25,000/11,025 = 2.27 วินาที ในกรณีที่เราเร่งความเร็วเสียงกลับขึ้นเท่าตัว

ระยะเวลาของเสียงที่ออกลำโพงก็จะสั้นลงครึ่งหนึ่งคือเหลือเพียง 1.13 วินาที ในทางกลับกันหากมี การลดความเร็วของการเล่นเสียงกลับระยะเวลาของเสียงที่ได้ก็จะนานขึ้นตามสัดส่วนที่กำหนด

โปรแกรม MATLAB สามารถที่จะตัดเสียงได้ตามที่เราต้องการและจะนำเสียงที่ทำการตัดต่อได้จัดเป็นไฟล์ในคอมพิวเตอร์ได้อีกด้วย เราสามารถกำหนดช่วงของตัวแปร y จะทำให้เราเล่นเสียงเป็นช่วงได้ เราสามารถนำช่วงที่ได้นั้นมาเก็บตัวแปรอื่น และจัดเป็นไฟล์ได้ โดยใช้คำสั่งดังนี้

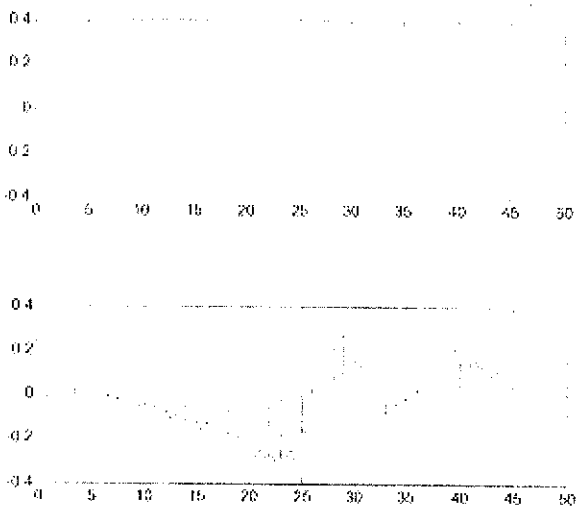
```
>> x = y(5000:1000);
>>wavwrite(x,fs,'VOICE_sample2.wav');
```

2.6.2 การทำซับแซมเปิล

ก่อนอื่นให้อ่านไฟล์สัญญาณเสียง VOICE_sample 2.wav มาเก็บไว้ในตัวแปร x จากนั้นพิจารณาเสียงดังกล่าวช่วงสั้นๆ เช่นเพียง 50 แซมเปิลโดยใช้คำสั่งต่อไปนี้

```
>>[x,fs] =wavread ('VOICE_sample2 ');
>>subplot (2,1,1);
>>plot(x(4000:4049));
>>subplot(2,1,2);
>> stem(x(4000:4049));
```

จะได้ผลดังรูป



รูป2.17รูปสัญญาณเสียงที่ผ่านการซับแซมเปิล

สังเกตรูปสัญญาณที่ได้จากคำสั่ง plot จะมีลักษณะต่อเนื่อง ในขณะที่รูปสัญญาณที่ได้จากคำสั่ง stem จะให้ผลการแสดงในรูปของสัญญาณดิสครีต

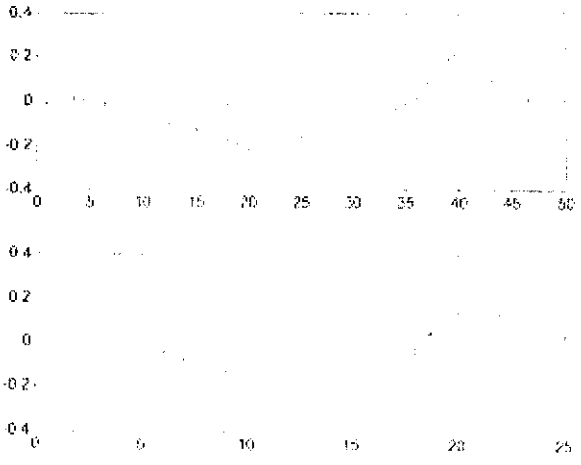
ในลำดับต่อไปนี้จะนำสัญญาณเสียงในตัวแปร x ไปผ่านกระบวนการซับแซมปลิง โดยเราจะลดจำนวนแซมเปิลลงไปครึ่งหนึ่ง โดยคำสั่งต่อไปนี้

```
>>L = length(x);
>>n = 1:2:L;
>>y = x(n);
```

นำสัญญาณเสียงต้นฉบับในตัวแปร x ไปเทียบกับสัญญาณเสียง y โดยอาศัยชุดคำสั่งต่อไปนี้

```
>> subplot (2,1,1);
>>stem(x(4000:4049));
>> subplot(2,1,2);
>> stem(y(2000:2024));
```

ผลลัพธ์ที่ได้เป็นดังนี้คือ



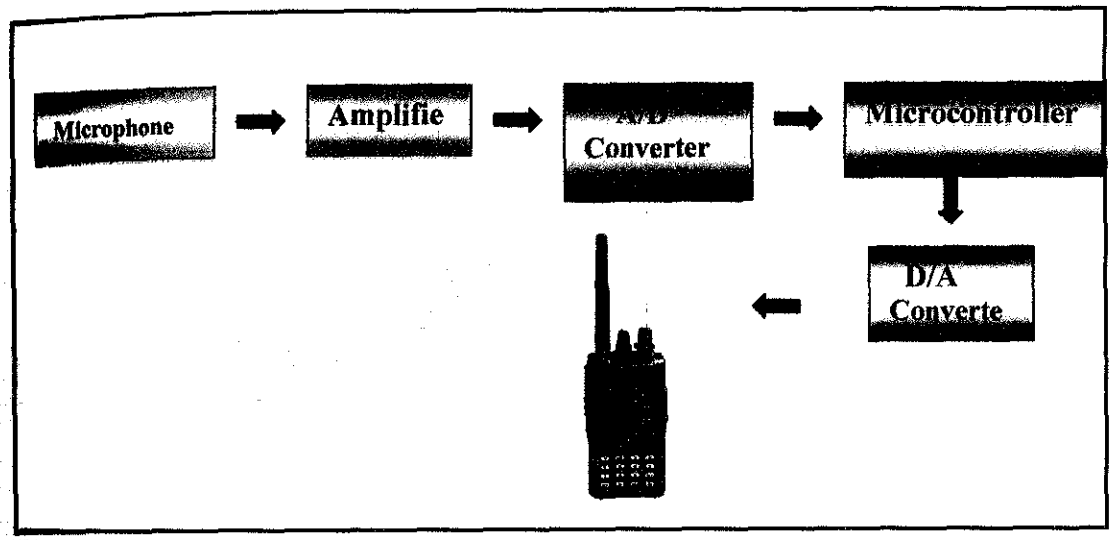
รูปที่2.18รูปสัญญาณเสียงต้นฉบับในตัวแปร xเทียบกับสัญญาณเสียง y

สังเกตว่ากระบวนการซับแซมปลิงช่วยให้เราลดจำนวนหน่วยความจำในการเก็บสัญญาณลงไปครึ่งหนึ่ง โดยรูปสัญญาณยังคงมีลักษณะใกล้เคียงต้นฉบับ เราสามารถทดสอบคุณภาพของสัญญาณเสียงที่ได้โดยใช้คำสั่ง wavplay (y,fs/2) และจะพบว่าเสียงเพี้ยนไปจากเดิมเล็กน้อยหากเราทำซ้ำกับกระบวนการซับแซมปลิงกับสัญญาณใหม่นี้อีกครั้ง สัญญาณเสียงที่ได้จากการซับแซมปลิงครั้งใหม่จะมีรูปสัญญาณที่ยิ่งแตกต่างจากรูปสัญญาณต้นฉบับมากขึ้นหากเราลดจำนวนซับแซมปลิงต่อหนึ่งหน่วยเวลาของสัญญาณลงด้วยการทำซ้ำกระบวนการซับแซมปลิง ผลที่ได้คือในที่สุดรูปสัญญาณที่ได้จะไม่เหลือเค้าโครงเดิมของสัญญาณต้นฉบับอีกเลยถ้าเราทดลองฟังเสียงจะพบว่าเสียงที่ได้จะผิดเพี้ยนไปจากเสียงต้นฉบับมากจนไม่สามารถฟังได้ว่าเป็นคำพูดอะไร

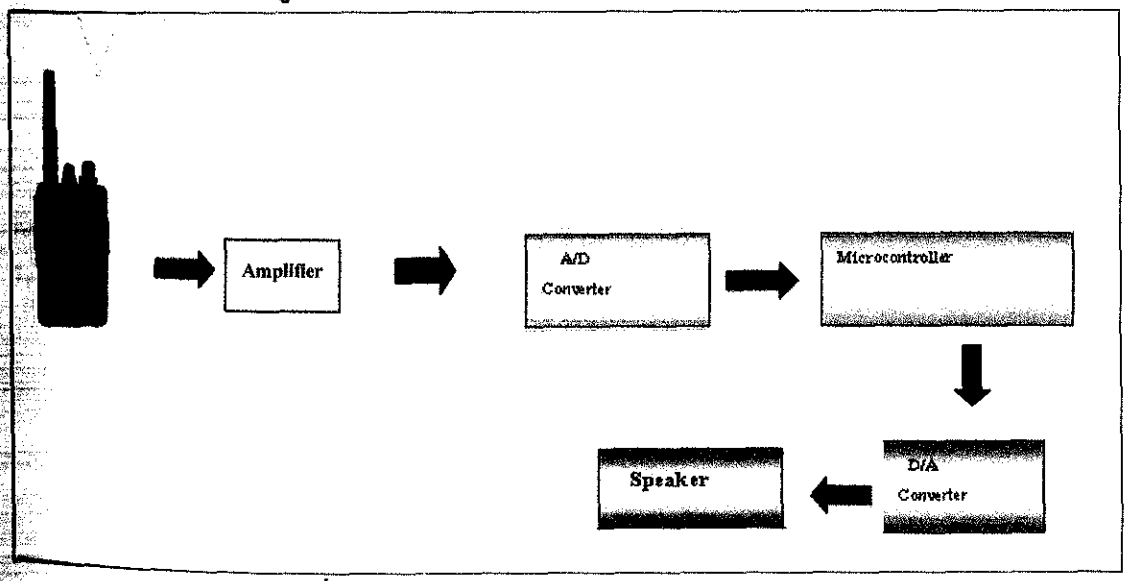
จากการทดลองนี้ทำให้เรารู้ว่าอัตราการสุ่มของสัญญาณเสียงนั่นมีความเกี่ยวข้องกับสัญญาณเสียงที่ได้และขนาดของไฟล์สัญญาณเสียงด้วย ถ้าอัตราการสุ่มมาก เสียงจะมีความใกล้เคียงกลับเสียงต้นฉบับมากยิ่งขึ้น ถ้าอัตราการสุ่มน้อยเสียงที่ได้จะมีลักษณะที่ใกล้เคียงกับสัญญาณเสียงต้นฉบับน้อยลง

บทที่ 3
การออกแบบและการสร้างอุปกรณ์

ระบบโดยรวมของวงจรเชื่อมต่อสามารถแบ่งได้เป็น 2 ส่วนใหญ่ๆ คือภาคส่งและการเข้ารหัสสัญญาณ (Encode) อีกส่วนคือภาครับและการถอดรหัสสัญญาณ (Decode) โดยได้แสดงบล็อกการทำงานไว้ ดังรูปที่ 3.1 และ รูปที่ 3.2



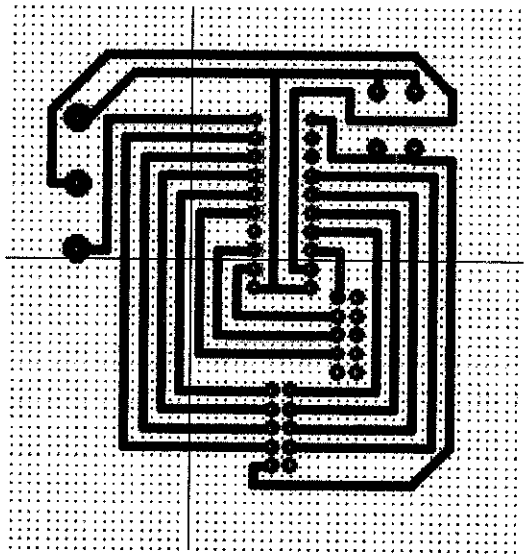
รูปที่ 3.1 ภาคโครงสร้างโดยรวมของระบบภาคส่ง



รูปที่ 3.2 ภาคโครงสร้างโดยรวมของระบบภาครับ

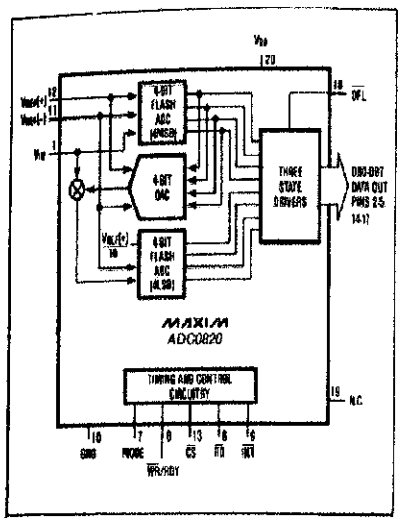
3.1 วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (A/D)

จากรูปโครงสร้าง 3.1และ 3.2 ได้แสดงถึงวงจรที่ได้ทำการออกแบบโดยจะมีวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (A/D) รวมอยู่ทั้ง 2 ภาค ทั้งภาครับและภาคส่งโดยได้ทำการเลือกใช้ไอซีที่มีคุณภาพที่มีคุณสมบัติตามต้องการโดยในโครงงานนี้ได้เลือกใช้ ไอซี Maxim เบอร์ ADC0820 จากนั้นก็ทำการออกแบบลายวงจรด้วยโปรแกรม PCB layout เมื่อได้ลายวงจรเป็นแผ่นลายทองแดงที่จะสามารถนำมาใช้งานได้ตามรูป ที่3.3



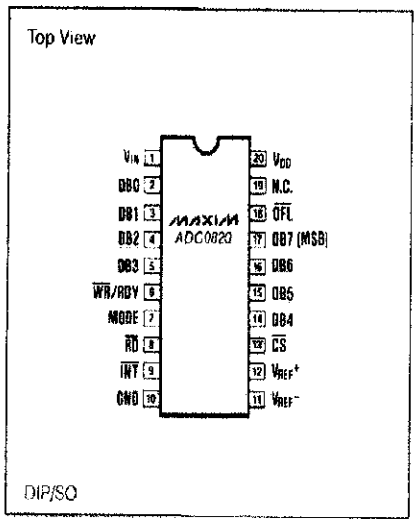
รูปที่ 3.3ลายวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล (A/D)

โดยในวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลได้เลือกใช้ไอซี Maxim เบอร์ADC0820 ซึ่งมีฟังก์ชั่นการทำงานและการจัดเรียงขาของ ไอซี ดังในรูป 3.4 (ก) และ 3.4 (ข) โดยที่ไอซีนี้เพราะเป็นไอซีที่มีความเร็วในการส่งและรับข้อมูลที่สูงและมีความแม่นยำสูง



(ก)

รูปที่ 3.4(ก) Function Diagram ADC0820

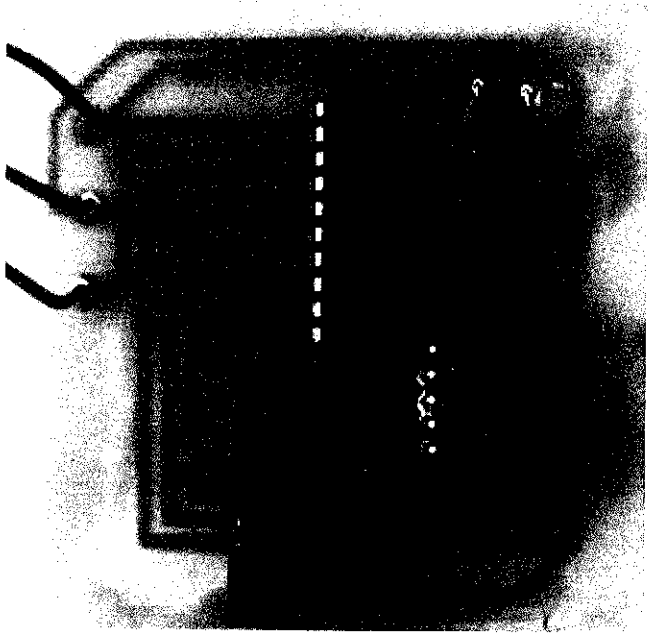


(ข)

รูปที่ 3.4 (ข) Top Viewของ ADC0820

3.1.1 การลงอุปกรณ์อิเล็คทรอนิคส์ตามที่ออกแบบไว้

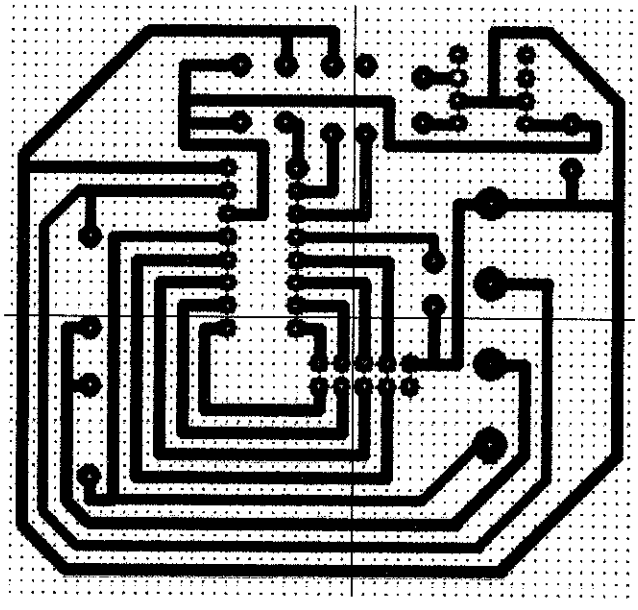
นำอุปกรณ์ที่ได้ออกแบบและจัดเตรียมมาประกอบลงบนแผ่นปริ้นได้ดังรูปที่ 3.5



รูปที่ 3.5

3.2 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (D/A)

จากรูปโครงสร้าง 3.1 และ 3.2 ได้แสดงถึงวงจรที่ได้ทำการออกแบบโดยจะมีวงจรที่ได้ทำการออกแบบวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (D/A) โดยได้เลือกใช้ไอซีที่มีคุณสมบัติตามที่ต้องการโดยได้เลือกใช้ ไอซี Nation Semiconductor เบอร์ DAC0800LCNจากนั้นก็ทำการออกแบบลายวงจรด้วยโปรแกรม PCB layout เมื่อได้ลายวงจรเป็นแผ่นลายทองแดงที่จะสามารถนำมาใช้งานได้ตามรูปที่ 3.6



รูปที่ 3.6รูปการออกแบบลายวงจร(D/A)

โดยในวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก (D/A) ได้เลือกใช้ไอซี Nation Semiconductor เบอร์ DAC0800LCNซึ่งมีฟังก์ชั่นการทำงานและการจัดเรียงขาของ ไอซีดังในรูปที่ 3.7 (ก) ,3.7 (ข) และ 3.7 (ค)

Typical Applications

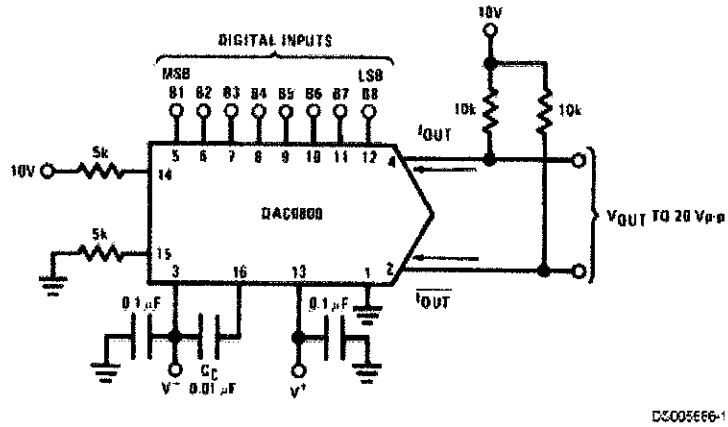
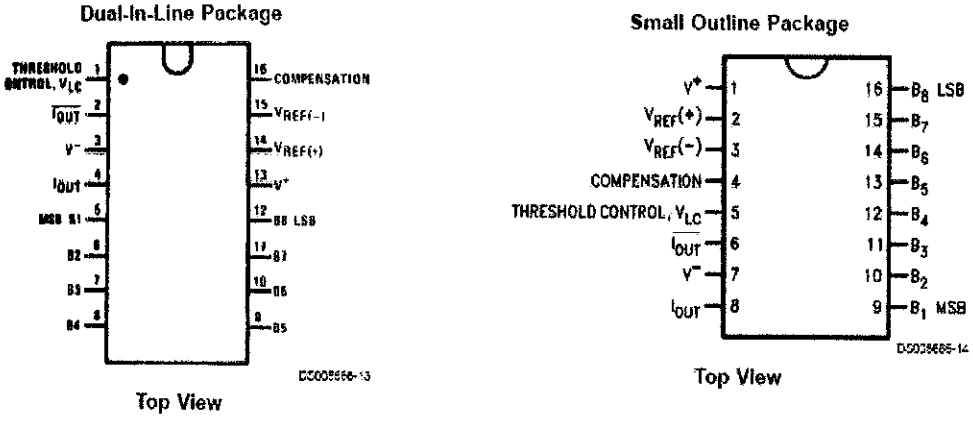
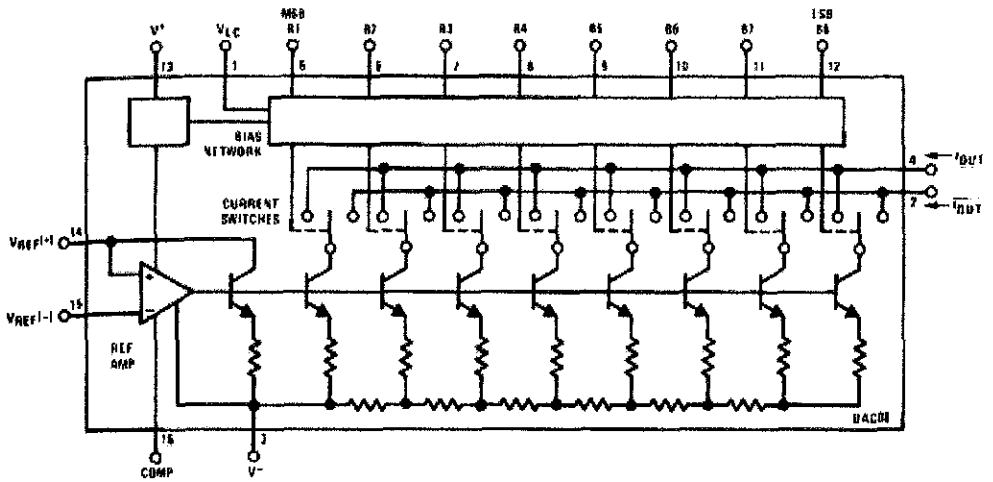


FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 5)

รูปที่ 3.7 (ก) Typical Applications**ของ**Nation Semiconductor **เบอร์** DAC0800LCN



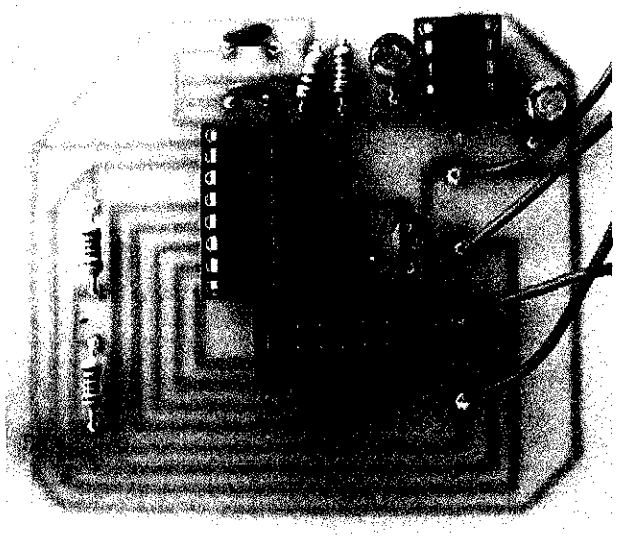
รูปที่ 3.7 (ข) Top View **ของ** Nation Semiconductor **เบอร์** DAC0800LCN



รูปที่ 3.7(ค) Block Diagramของ Nation Semiconductor เบอร์ DAC0800LCN

การลงอุปกรณ์อิเล็คทรอนิคส์ตามที่ออกแบบไว้

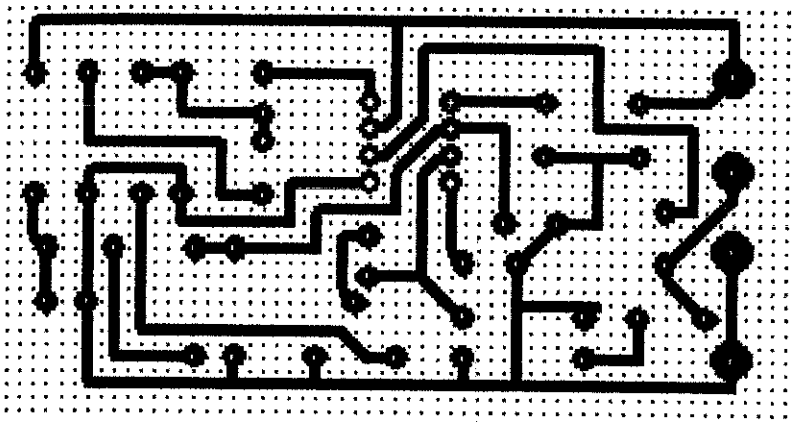
นำอุปกรณ์ที่ได้ออกแบบและจัดเตรียมมาประกอบลงบนแผ่นปริ้นได้ดังรูปที่3.8



รูปที่ 3.8

3.3 วงจร DUAL LOW –VOLTAGE POWER AMPLIFIER เบอร์ TDA2822M

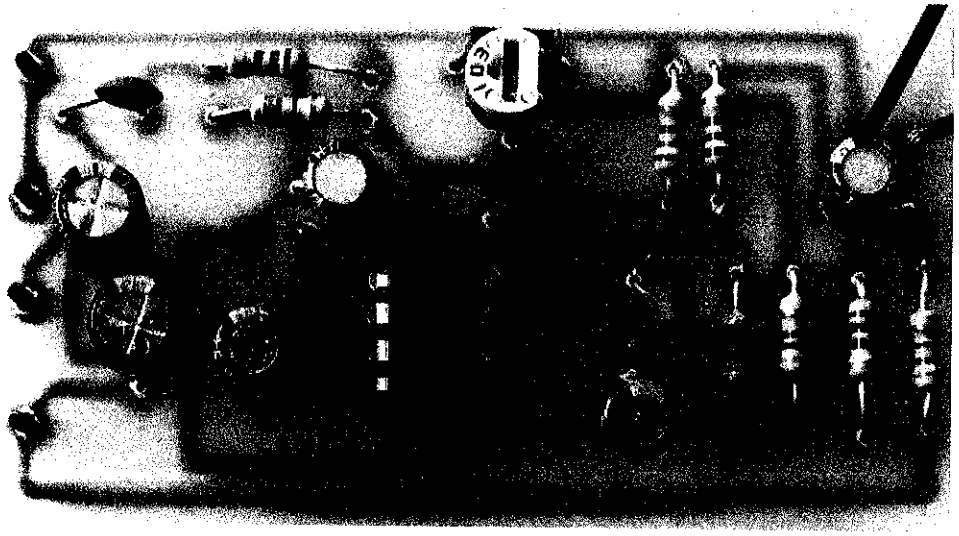
ได้ทำการเลือกใช้AMPLIFIER เพื่อช่วยในการขยายสัญญาณของ input signal ที่ได้รับจาก microphone เพื่อนำมาเข้าที่ A/D Converter จากนั้นก็ทำการออกแบบลายวงจรด้วยโปรแกรม PCB layout เมื่อได้ลายวงจรเป็นแผ่นลายทองแดงที่จะสามารถนำมาใช้งานได้ตามรูปที่ 3.9



รูปที่ 3.9รูปการออกแบบลายวงจร DUAL LOW –VOLTAGE POWER AMPLIFIER เบอร์ TDA2822M

การลงอุปกรณ์อิเล็คทรอนิคส์ตามที่ออกแบบไว้

นำอุปกรณ์ที่ได้ออกแบบและจัดเตรียมมาประกอบลงบนแผ่นปริ้นได้ดังรูปที่ 3.10



รูปที่ 3.10

3.4 วงจรไมโครคอนโทรเลอร์

โดยได้เลือกใช้วงจรไมโครคอนโทรเลอร์สำเร็จรูป ของบริษัท ETT รุ่น ET-BASE51 V2.0 เป็นบอร์ดไมโครคอนโทรเลอร์ในตระกูล MCS51 ขนาด 40 Pin ซึ่งเลือกใช้ไมโครคอนโทรเลอร์เบอร์ AT89C51ED2 ของ ATMEL เป็น MCU ประจำบอร์ดโดย MCU รุ่นนี้จะบรรจุอยู่ภายในตัวถังแบบ DIP40 โดย MCUตัวนี้จะมีจุดเด่นคือ เรื่องของความเร็วในการประมวลผลซึ่งสามารถทำงาน ได้ด้วยความถี่สูงสุด 60MHZ ที่12Clock /1 Machine Cycle นอกจากนี้ยังมีความเพียบพร้อมด้วยอุปกรณ์ด้วยอุปกรณ์พื้นฐานต่างๆที่จำเป็นต่อการใช้งาน ไม่ว่าจะเป็นหน่วยความจำของข้อมูล แบบ EEPROM ขนาด 2 Kbytes หรือหน่วยความจำใช้งานแบบ RAM ซึ่งมีมากถึง 1792 Byte ส่วนในด้านของอุปกรณ์ Peripheral นั้นก็นับว่าครบถ้วนเหมาะแก่การนำไปประยุกต์ใช้งานเกี่ยวกับการควบคุมและประมวลผลต่างๆได้เป็นอย่างดี โดยจะมีทั้ง SPI, UART, Watchdog, Timer/Counter, PWM ฯลฯ โดยการออกแบบโครงสร้างของบอร์ดนั้นจะเน้นเรื่องขนาดของบอร์ดให้มีขนาดเล็กเพื่อให้ง่ายต่อการนำไปประยุกต์ใช้งาน และสะดวกต่อการพัฒนาโปรแกรม

คุณสมบัติของบอร์ด

เลือกใช้ MCU ตระกูล MCS51 เบอร์ AT89C51ED2 ของ ATMEL เป็น MCU ประจำบอร์ด โดยเลือกใช้แหล่งกำเนิดสัญญาณนาฬิกาแบบ Oscillator Module ค่า 29.4912 MHz ซึ่งสามารถกำหนดการทำงานของ MCU ให้ทำงานในโหมดความเร็ว 2 เท่า (X2 Mode) ได้ ทำให้สามารถประมวลผลด้วยความเร็วสูงสุดที่ 58.9824 MHz โดยคุณสมบัติเด่นๆของ MCU ได้แก่

- มีหน่วยความจำ Flash สำหรับเขียนโปรแกรมขนาด 64KByte
- มี EEPROM ขนาด 2KByte สำหรับเก็บข้อมูล และ สามารถเขียนซ้ำได้กว่า 1 ล้านครั้ง
- มีพอร์ต I/O ขนาด 8 บิต จำนวน 4 พอร์ต (P0,P1,P2 และ P3)
- มี RAM ใช้งาน 1792 Byte เพียงพอต่อการใช้งาน
- มีวงจรสื่อสารอนุกรม UART จำนวน 1 พอร์ต และมีวงจรสื่อสาร SPI จำนวน 1 พอร์ต
- มีวงจร Timer/Counter ขนาด 16 บิต จำนวน 3 ชุด
- มีวงจร Watchdog, Power-ON Reset, Capture/Compare ,PWM
- มีพอร์ตสื่อสารอนุกรมแบบ RS232 จำนวน 1 ช่อง สำหรับใช้ในการ Download โปแกรมให้กับบอร์ด และประยุกต์ใช้งานทั่วไป

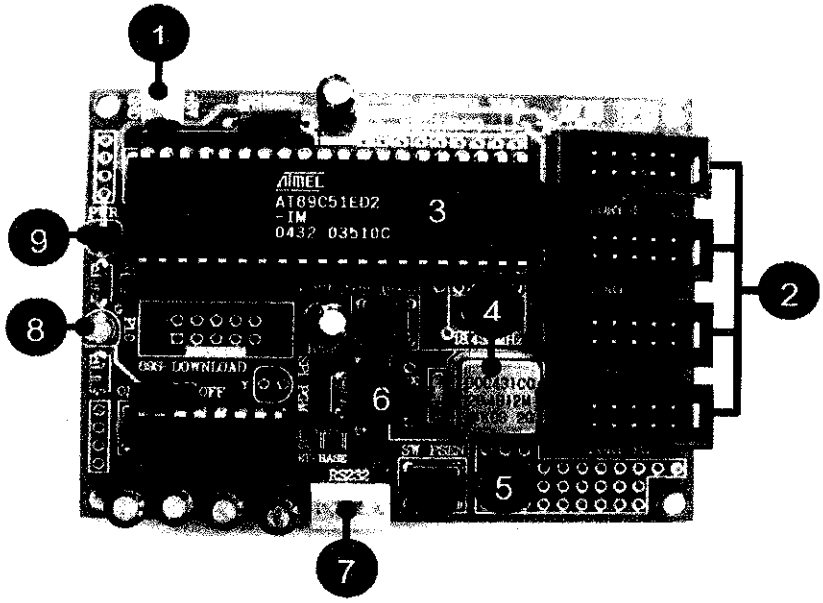
-มีขั้วต่อสัญญาณ I/O แบบ TTL แบบ Header ขนาด 2x5 จำนวน 4 ชุด (P0,P1,P2 และ P3)

- มี LED แสดงสถานะแหล่งจ่าย Power และ Self-Test สำหรับใช้ทดสอบการทำงานของบอร์ด

-ใช้แหล่งจ่ายไฟขนาด +5VDC

- ขนาด PCB Size เล็กเพียง 8 x 6 cm.

โครงสร้างบอร์ด ET-BASE51 V2.0 (AT89C51ED2)



• **หมายเลข 1** คือ ขั้วต่อแหล่งจ่ายไฟเลี้ยงวงจรของบอร์ด ใช้กับแหล่งจ่ายไฟตรง +5VDC

• **หมายเลข 2** คือ PORT-P2, PORT-P0, PORT-P1 และ PORT-P3 ตามลำดับ

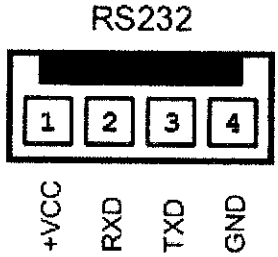
• **หมายเลข 3** คือ MCU เบอร์ AT89C51ED2 ซึ่งเป็น MCU ตระกูล MCS51 จาก ATMEL

• **หมายเลข 4** คือ Oscillator Module ค่า 29.4912 MHz

• **หมายเลข 5** คือ SW PSEN ใช้สำหรับกำหนดสถานะโลจิก "0" ให้ขา PSEN สำหรับใช้ในขั้นตอนของการ Download HEX File ให้กับหน่วยความจำ Flash ของ MCU ในบอร์ด

• **หมายเลข 6** คือ SW RESET ใช้สำหรับรีเซตการทำงานของ MCU ภายในบอร์ด

• **หมายเลข 7** คือ พอร์ต RS232 หรือ Serial Port สำหรับติดต่อกับอุปกรณ์มาตรฐาน RS232 และใช้เป็น ISP Download Connector สำหรับ Download HEX File ให้กับ MCU ของบอร์ด

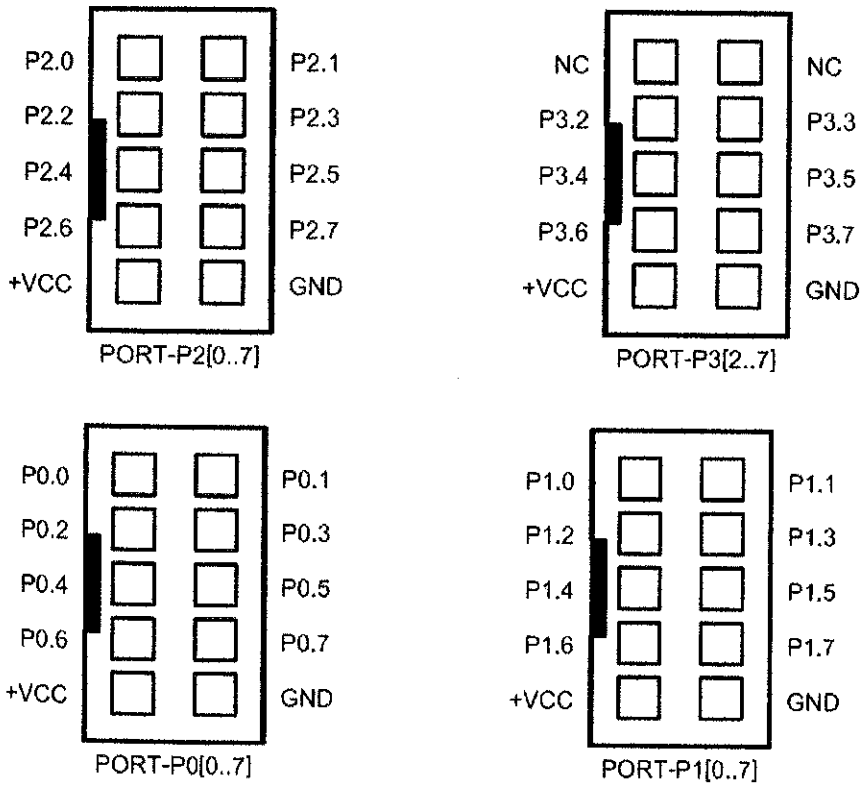


• **หมายเลข 8** คือ LED แสดงสถานะของ P1.0 ในกรณีที่เลือก Jumper ไว้ทางด้าน ON เพื่อ Test

• **หมายเลข 9 เป็น** LED Power สีแดง ใช้แสดงสถานะของแหล่งจ่ายไฟเลี้ยงวงจรของบอร์ด

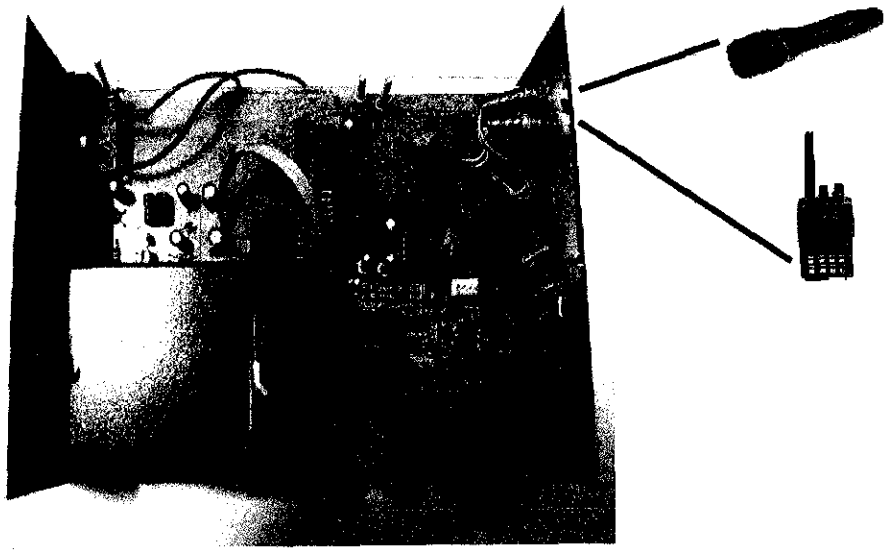
ขั้วต่อสัญญาณต่างๆ

สำหรับขั้วต่อสัญญาณของพอร์ต I/O จาก MCU นั้น จะถูกออกแบบและจัดเตรียมไว้ผ่านทาง **ขั้วต่อแบบ** IDE Header ขนาด 2x5 จำนวน 4 ชุด คือ PORT-P0, PORT-P1, PORT-P2 และ PORT-P3 **ตามลำดับ** โดยที่ขั้วต่อสัญญาณแต่ละชุด จะประกอบไปด้วยสัญญาณของ I/O ที่เชื่อมต่อมาจาก **ขาสัญญาณของ** MCU โดยตรงทั้งหมด โดยแต่ละพอร์ตจะมีสัญญาณพอร์ตละ 8 บิต ยกเว้น PORT-P3 **ซึ่งจะมีเพียง** 6 บิต คือ P3.2-P3.7 เท่านั้น ส่วน P3.0 และ P3.1 จะถูกสงวนไว้ใช้งานเป็นขาสัญญาณ **RXDและ** TXD สำหรับรับส่งข้อมูลของ RS232 ซึ่งสัญญาณทั้ง 2 เส้น (P3.0 และ P3.1) จะถูกเชื่อมต่อ **ผ่านวงจร**Line Driver (MAX232) สำหรับแปลงระดับสัญญาณจากระดับโลจิก TTL ของ MCU ให้เป็น **สัญญาณแรงดันตามมาตรฐานของ** RS232 โดยสัญญาณที่ได้รับการแปลงเป็นแบบ RS232 จะถูกเชื่อม **ต่อไปรอไว้ที่ขั้วต่อแบบ** CPA ขนาด 4 PIN (RS232) โดยการจัดเรียงสัญญาณของแต่ละชุด จะเป็นดังรูป **ที่** 3.11

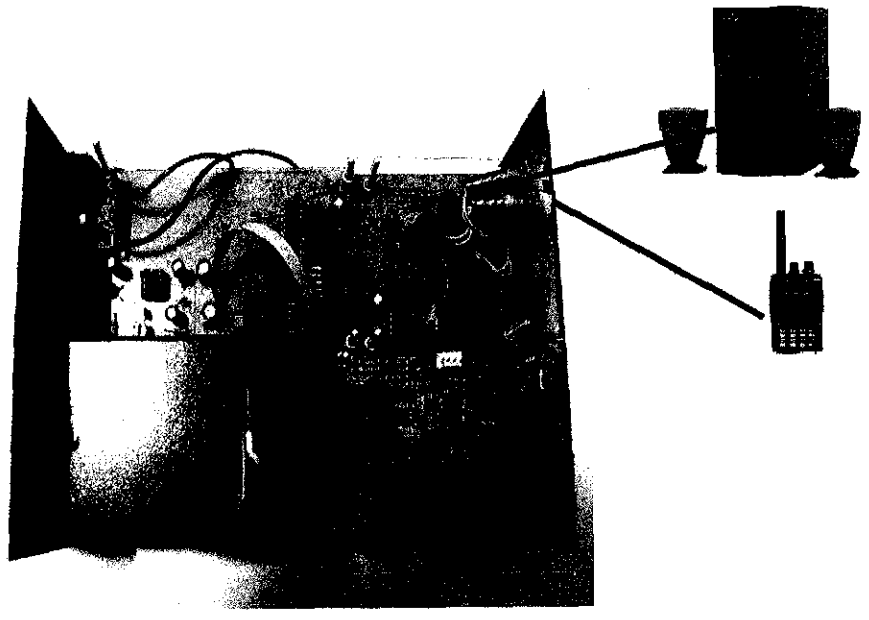


รูปที่ 3.11 แสดง การจัดเรียงสัญญาณของพอร์ต I/O ต่างๆของบอร์ด ET-BASE51 V2.0

3.5 รูปการต่อรวมของภาคส่ง



3.6 รูปการต่อรวมของภาครับ



3.7 สรุปผลการออกแบบ

การออกแบบวงจรทั้ง 2 ส่วนได้แก่ภาครับ และภาคส่งนั้นจะต้องใช้ความรู้และความเข้าใจในเรื่องของการแปลงสัญญาณ A/D และการแปลงสัญญาณ D/A ที่เรียนมาเป็นอย่างมากและยังต้องใช้ความชำนาญในการกัดลาย PCB และการบัดกรีตะกั่วและเข้าใจการในเรื่องการเลือกใช้ไอซีเพื่อควบคุมการทำงานให้สามารถเชื่อมต่อกันได้เป็นอย่างดี

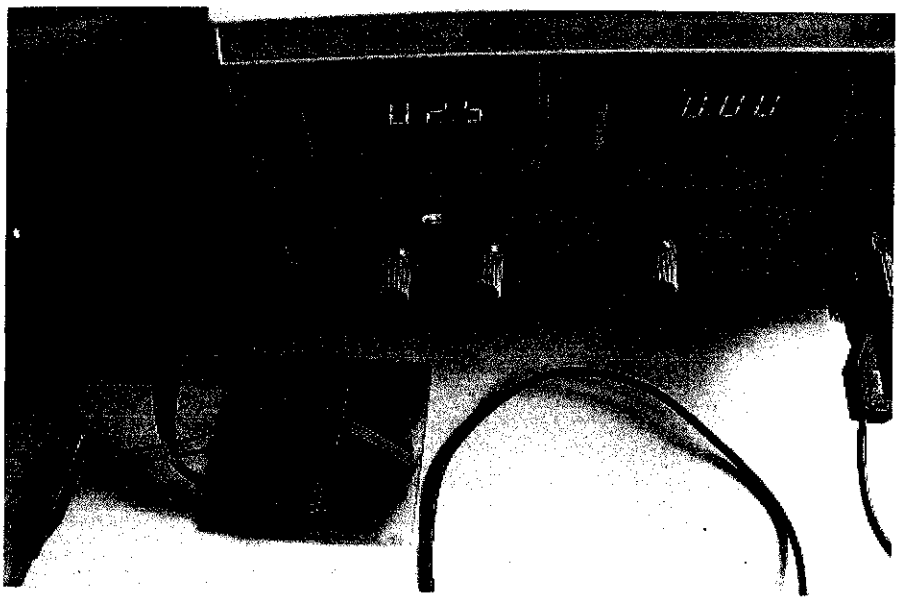
บทที่4
การทดสอบอุปกรณ์ป้องกันการดักฟังอุปกรณ์สื่อสารไร้สาย

4.1 การทดสอบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

เป็นการทดลองเพื่อตรวจสอบความถูกต้องของข้อมูลที่ได้ออกมาจากวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลทางด้านเอาท์พุตโดยมีขั้นตอนดังต่อไปนี้

4.1.1 การติดตั้งชุดวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

รูปที่ 4.1 แสดงถึงการจัดเรียงและติดตั้งอุปกรณ์เพื่อทำการทดสอบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล



รูปที่ 4.1 การติดตั้งชุดวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

4.1.2 การเขียนโปรแกรมทดสอบ

โดยใช้โปรแกรมภาษา assembly ในการเขียนโปรแกรมจากนั้นนำไปทดสอบโดยใช้ Hyper Terminal ในการแสดงผล

```
Data_in     EQU  P2
PortI_RDY   EQU  P3.2
PortI_RD    EQU  P3.3
PortI_INT   EQU  P3.4
PortI_CS    EQU  P3.5
;=============================================================
        ORG  0000H
        JMP  Start
        ORG  0100H
Start:
        MOV  SP,#2FH
        CALL Initial_Serial
        CALL DELAY_250M
;=============================================================
MAIN_LOOP:CLR    A
        CALL LOOP
        CALL DELAY_50M
        CALL SEND_2HEX
        CALL DELAY_1SEC
        JMP  MAIN_LOOP


LOOP:  CLR   PortI_CS
        MOV  A,#11110110B
        ANL  P3,A
        CLR  PortI_RD
```

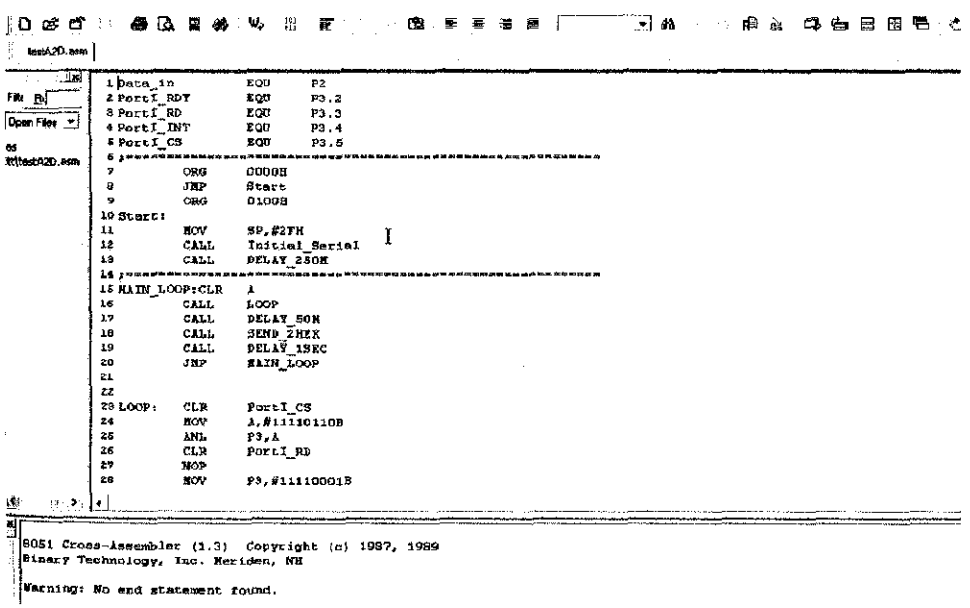
```
NOP
MOV   P3,#11110001B
MOV   A,Data_in
MOV   P3,#11111111B
RET

;=========================================================

$INCLUDE      "Serial.Sub"
```

รูปที่ 4.2 แสดงโปรแกรม

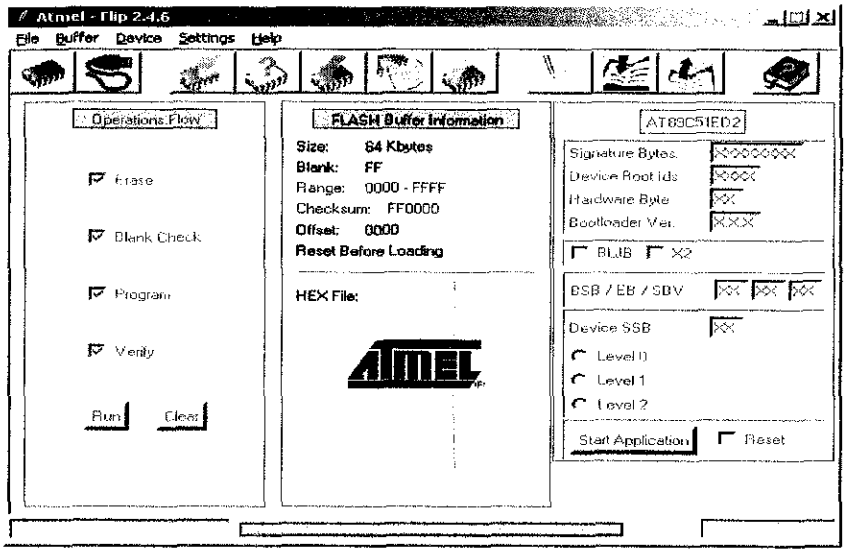
เมื่อทำการเขียนโปรแกรมเสร็จแล้วทำการคอมไพล์ (Compile) โดยกดปุ่ม Compile ถ้าสำเร็จโดยไม่เกิดความผิดพลาดของโปรแกรมที่เขียนจะได้หน้าต่างดังรูปที่ 4.3



รูปที่ 4.3 แสดงการคอมไพล์สมบูรณ์

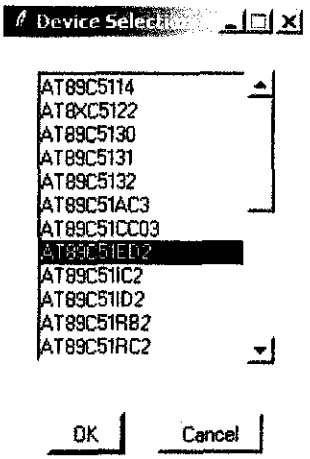
4.1.3 การโหลดโปรแกรมทดสอบ

เปิดโปรแกรม FLIP จะได้หน้าต่างดังรูปที่ 4.4 ใช้ในการโหลดโปรแกรมลงไมโครคอนโทรลเลอร์



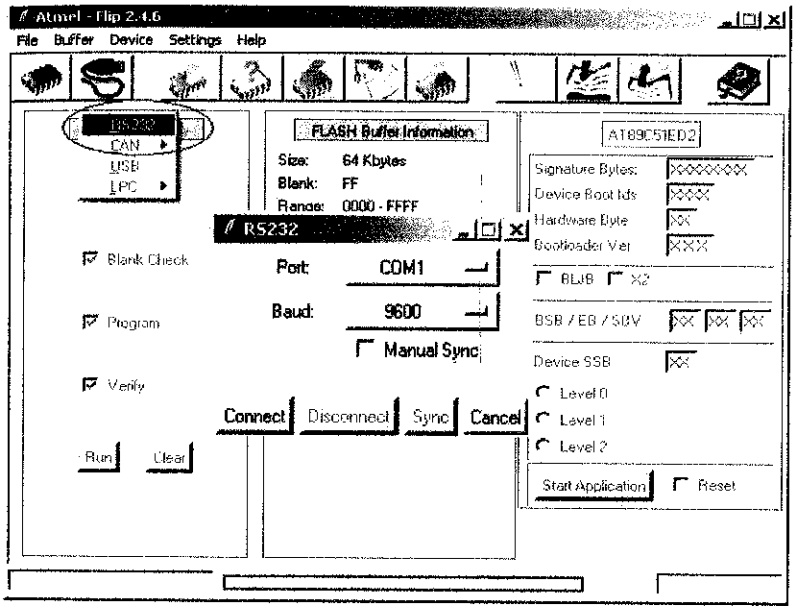
รูปที่ 4.4 หน้าต่างโปรแกรม FLIP

เลือกชนิดของไมโครคอนโทรเลอร์ AT89C51ED2 ที่ จะได้หน้าต่างดังรูปที่ 4.5



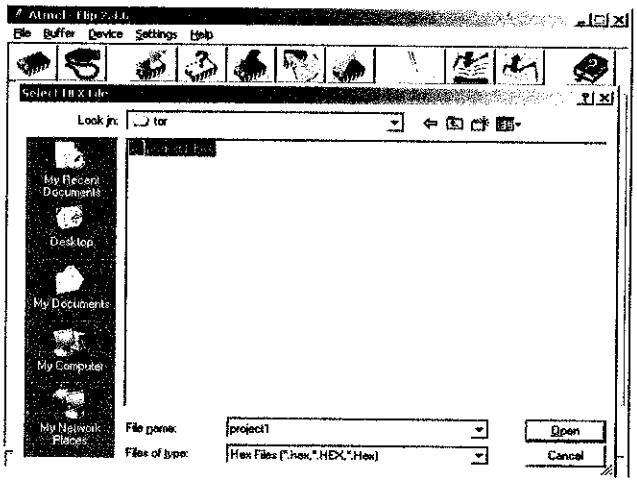
รูปที่ 4.5 หน้าต่างเลือกชนิดไมโครคอนโทรลเลอร์

ตั้งค่าการเชื่อมต่อระหว่างโปรแกรมกับไมโครคอนโทรลเลอร์ที่ แล้วทำการเลือกเป็นแบบ RS-232, เลือกพอร์ต COM และตั้งค่าอัตราการส่งข้อมูล (Baud Rate) แล้วกด Connect ดังรูปที่ 4.6



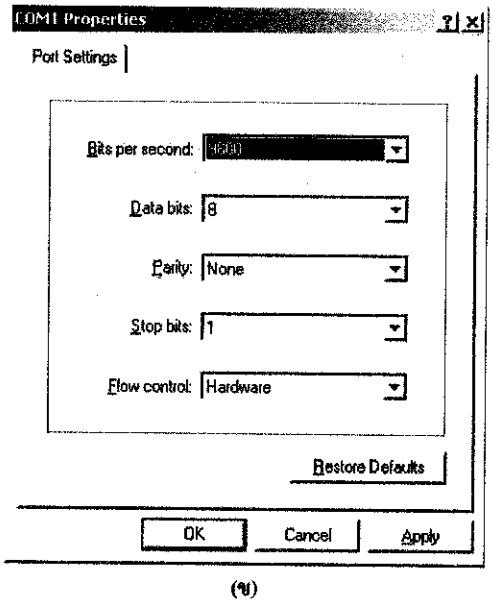
รูปที่ 4.6 ตั้งค่าการเชื่อมต่อ

เมื่อตั้งค่าการเชื่อมต่อเรียบร้อยแล้วนั้น ทำการโหลดไฟล์ .HEX ที่ได้จากการคอมไพล์ ในโปรแกรม Keil70 โดยเลือกที่ จะปรากฏหน้าต่างดังรูปที่ 4.7



รูปที่ 4.7 โหลดไฟล์ .HEX

เมื่อเลือกไฟล์ .HEX ลงเรียบร้อยแล้วให้กดปุ่ม Run โปรแกรมจะทำการ โหลดไฟล์ที่เลือกบอร์ดไมโครคอนโทรลเลอร์โดยอัตโนมัติ

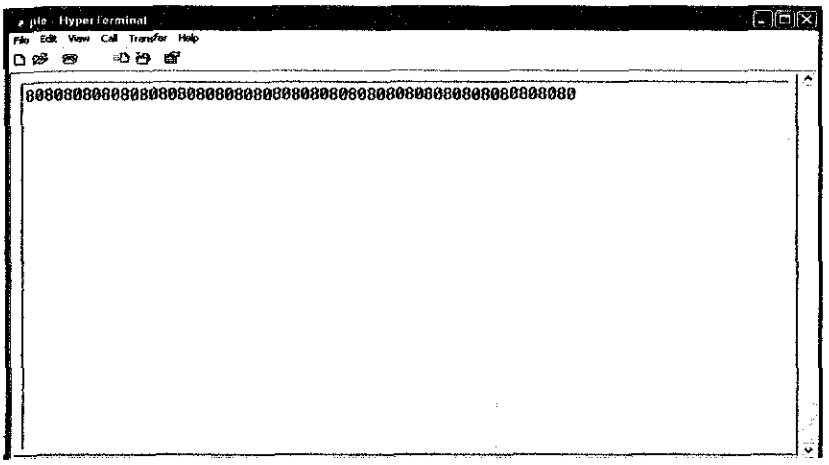


(ข)

รูปที่ 4.8 การตั้งค่าอัตราการส่งข้อมูล

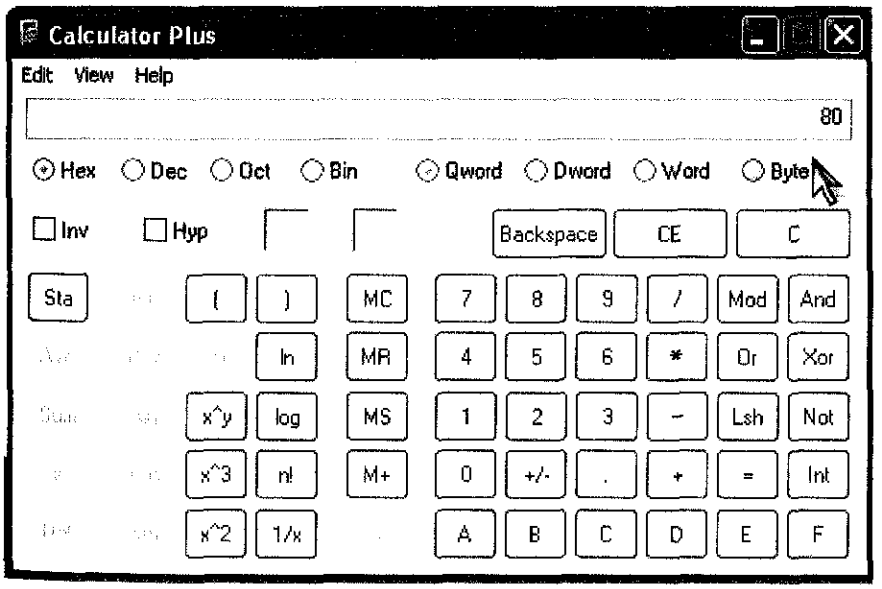
เมื่อทำการตั้งค่า Hyper Terminal เรียบร้อยแล้ว จึงทำการทดสอบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลโดยการป้อนแรงดัน 2.5 โวลต์, 3.0โวลต์ และ 5 โวลต์ ไปที่อนาล็อกอินพุต แสดงดังรูปที่ 4.9 (ก), รูปที่ 4.9 (ข) และ รูปที่ 4.9 (ค) ตามลำดับ ผลที่ได้คือ

รูปที่ 4.9 (ก)

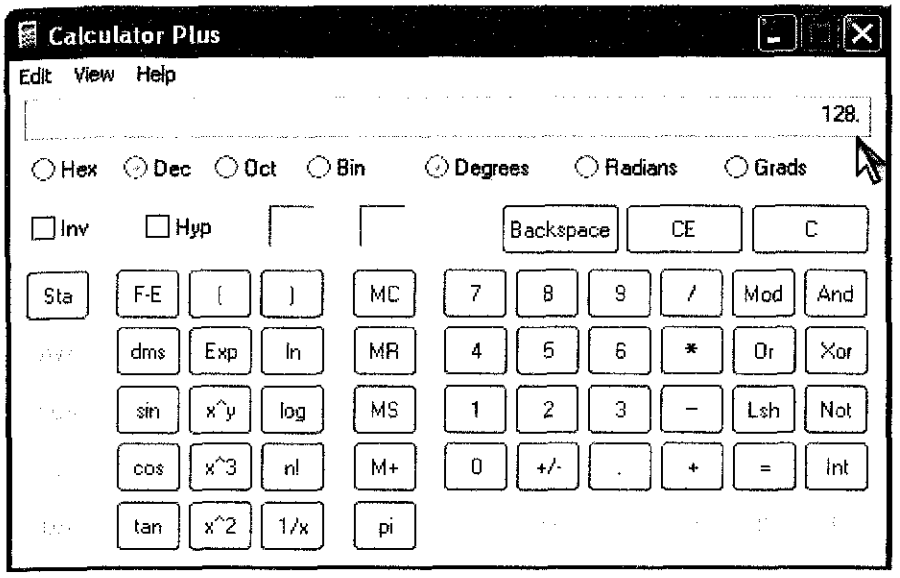


รูปที่ 4.9 (ก)

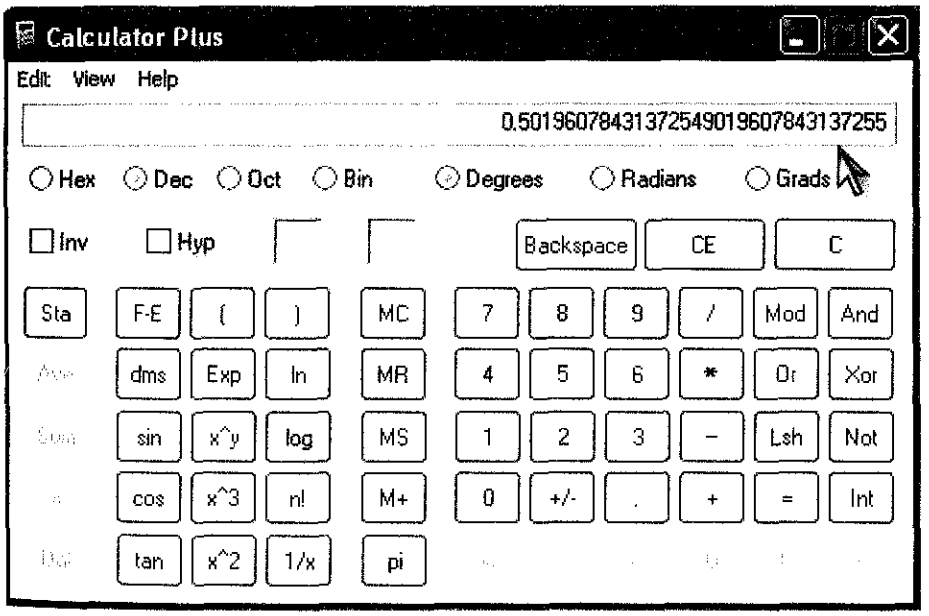
โดยจะทำการคำนวณดังนี้โดยไปคำนวณในCalculator plusโดยจะแสดงดังรูปดังต่อไปนี้



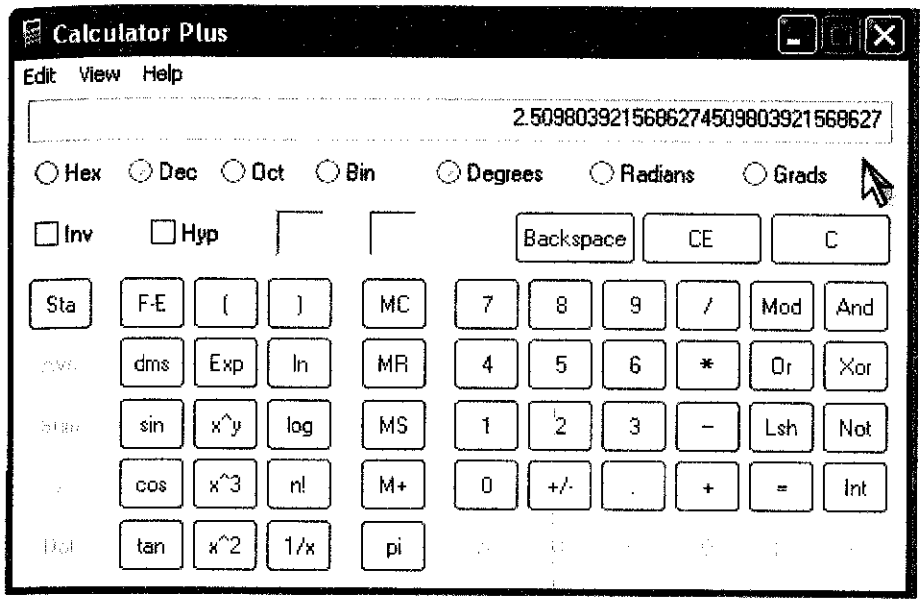
1.นำค่าที่ได้คือ 80 มาคำนวณใน Calculator plus ค่าที่ได้เป็นค่า Hex



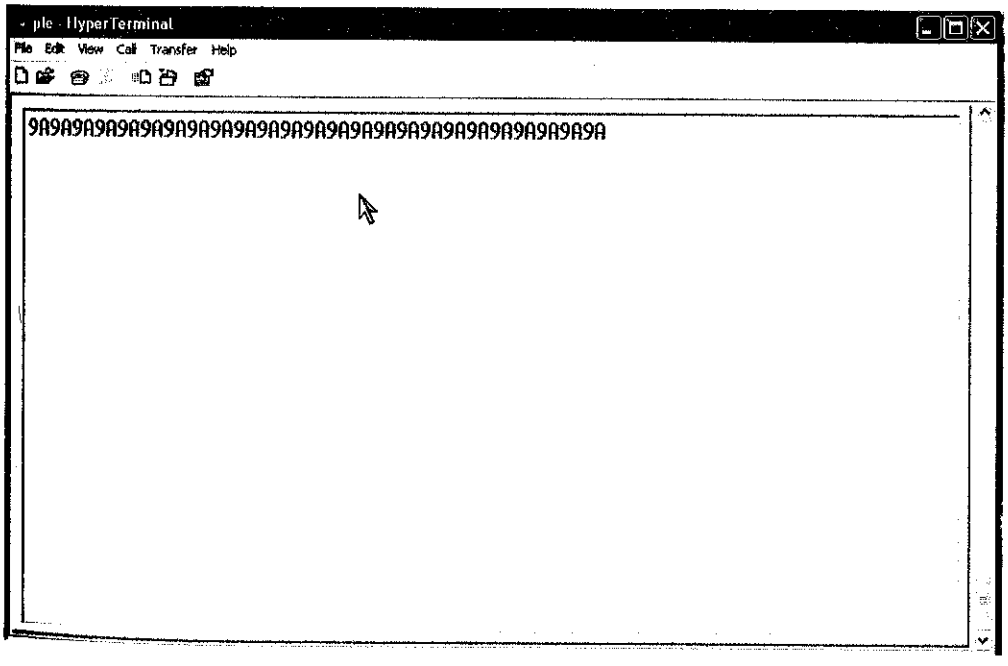
2. นำมาเปลี่ยนเป็นค่า Dec จะได้เท่ากับ 128



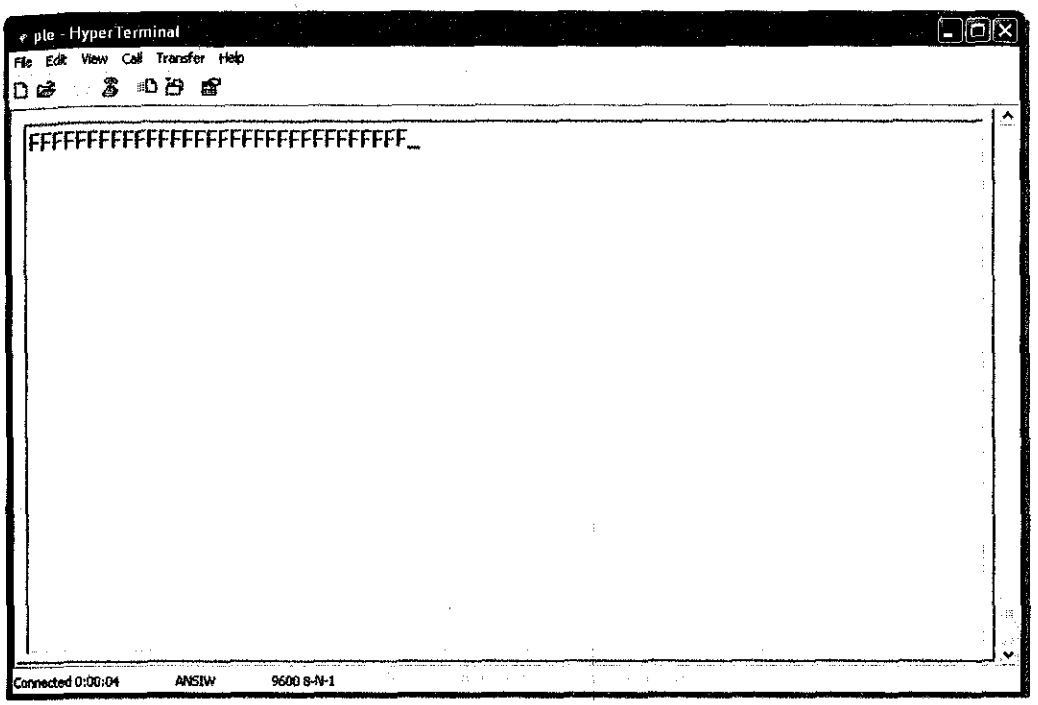
3. ต่อไปนำ 128/255 = 0.50196



4. จากนั้นนำมาคูณด้วย 5 จะเท่ากับ 2.5098



รูปที่ 4.9 (ข)



รูปที่ 4.9 (ค)

สรุปผลที่ได้

ผลการทดสอบวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลโดยการป้อนแรงดัน โวลต์, 3.0โวลต์ และ 5 โวลต์ ไปที่อนาล็อกอินพุต ผลที่ได้ก็มีค่าใกล้เคียงกับอินพุตที่ ป้ายเข้าไปคือ

ป้อนอินพุต 2.5 v ผลที่ได้คือ 2.509

ป้อนอินพุต 3 v ผลที่ได้คือ 3.019

ป้อนอินพุต 5 v ผลที่ได้คือ 5

ซึ่งแสดงได้ว่าวงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลสามารถใช้งานได้อย่างมี ประสิทธิภาพ

แบบจำลองการเข้ารหัสแต่ละวิธีโดยใช้ MATLAB

โดยจะทำการแสดงรูปสัญญาณหลักและรูปสัญญาณที่ผ่านการเข้ารหัส (Encoding) และรูป สัญญาณที่ถูกทำการถอดรหัส (decoding) เพื่อจะศึกษาว่าแบบการเข้ารหัสแบบใดมีประสิทธิภาพสูงสุด แล้วจึงนำมาทำการเข้ารหัสจริงกับอุปกรณ์ที่ได้ทำการเตรียมไว้

1.การเข้ารหัสแบบ Exclusive orค่าคงที่ดิจิตอลที่ได้ด้วยFF

เป็นการExclusive or ค่าดิจิตอลที่ได้ด้วยค่า FF (11111111) โดยแสดงดังภาพ

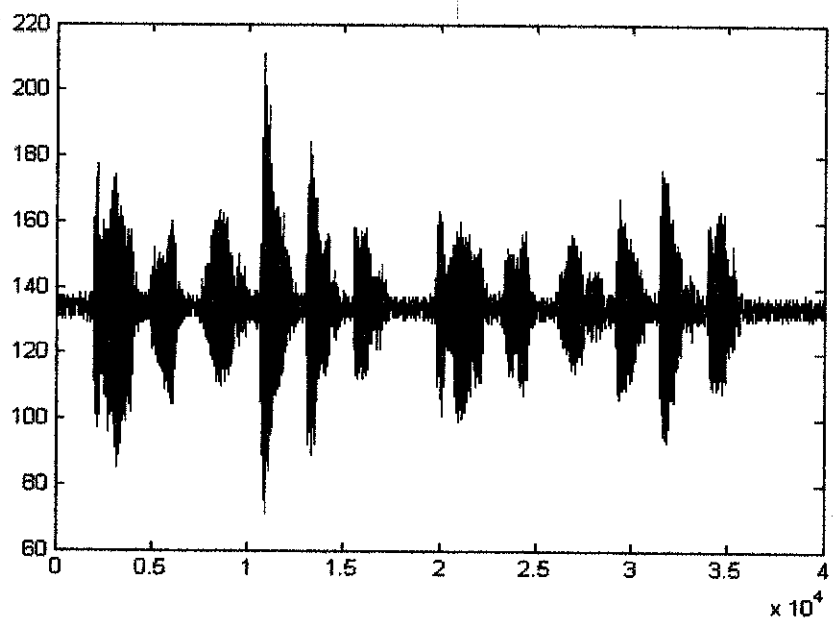
B8 B7 B6 B5 B4 B3 B2 B1

XOR

1 1 1 1 1 1 1 1

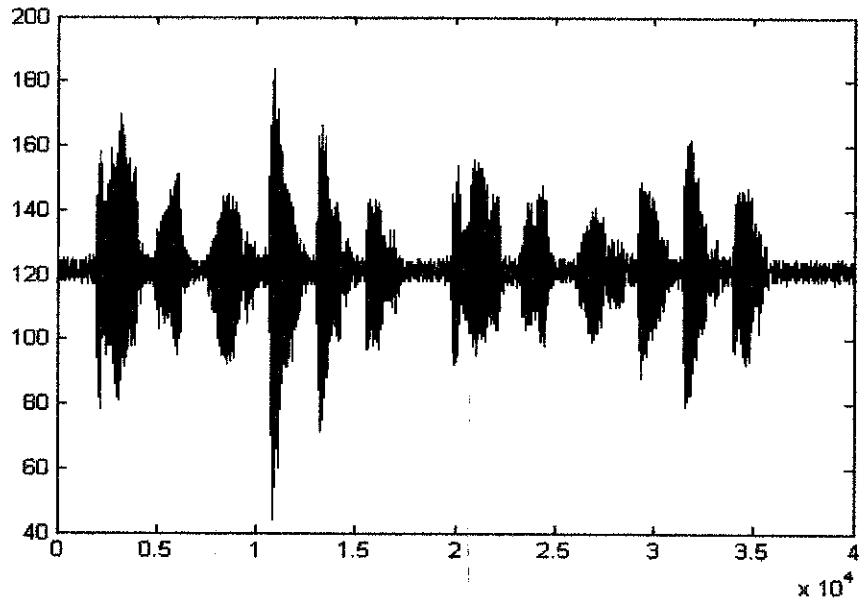
X	X	X	X	X	X	X	X

ซึ่งจะใช้โปรแกรม MATLAB ในการจำลองการเข้ารหัสโดยจะมีเสียงหลักมีซึ่งมีลักษณะเสียงดังรูปที่ 4.10



รูปที่ 4.10 รูปสัญญาณเสียงหลักก่อนการเข้ารหัสแบบ Exclusive or ค่าคงที่ดิจิตอลที่ได้ด้วยFF

หลังจากนั้นทำการเข้ารหัสโดยจะมีรูปสัญญาณดังรูปที่ 4.11



รูปที่ 4.11 รูปสัญญาณที่ผ่านการเข้ารหัสสัญญาณแบบ Exclusive orค่าคงที่ดิจิตอลที่ได้ด้วยFF

2.การเข้ารหัสแบบ Exclusive orค่าคงที่ดิจิตอลที่ได้ด้วย 7F

เป็นการExclusive or ค่าดิจิตอลที่ได้ด้วยค่า 7F (01111111) โดยแสดงดังภาพ

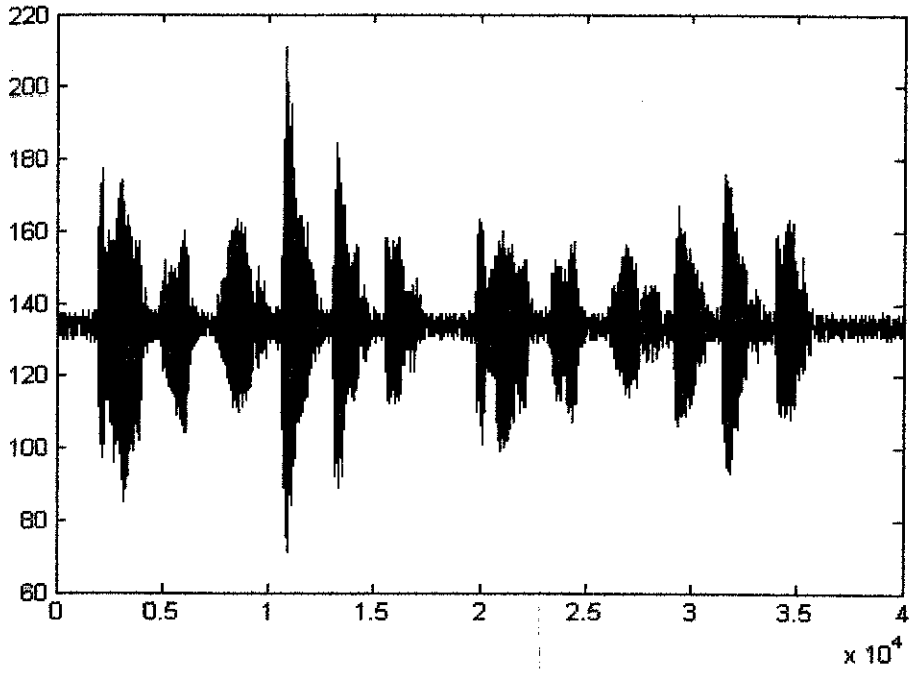
B8 B7 B6 B5 B4 B3 B2 B1

XOR

0 1 1 1 1 1 1 1

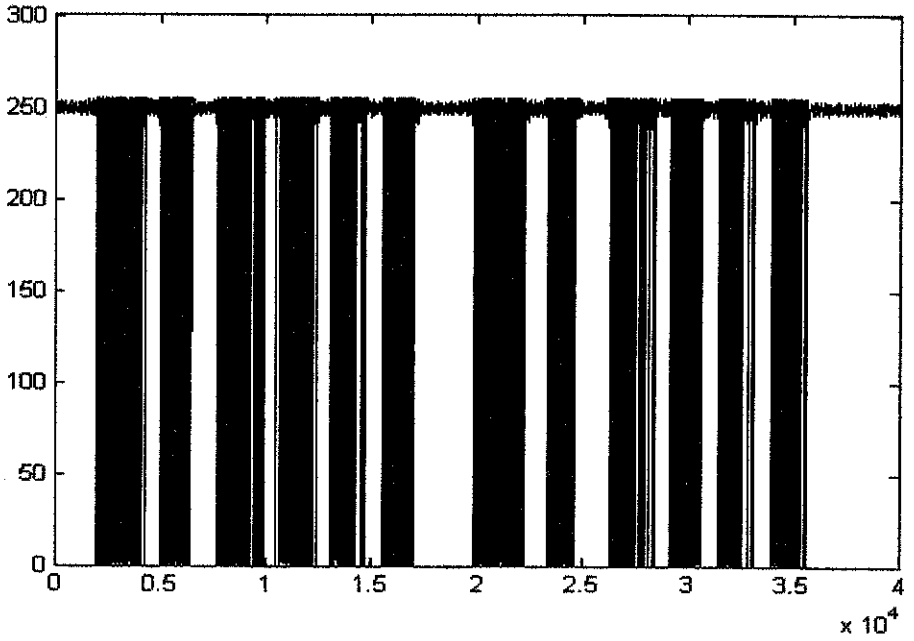
X	X	X	X	X	X	X	X

ซึ่งจะใช้โปรแกรมMATLABในการจำลองการเข้ารหัสโดยจะมีเสียงหลักมีซึ่งมีลักษณะเสียงดังรูปที่4.12



รูปที่ 4.12 รูปสัญญาณเสียงหลักก่อนการเข้ารหัสแบบ Exclusive orค่าคงที่ดิจิตอลที่ได้ด้วย 7F

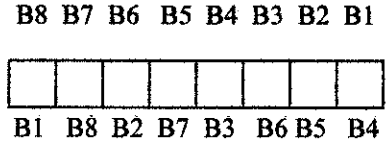
หลังจากนั้นทำการเข้ารหัสโดยจะมีรูปสัญญาณดังรูปที่ 4.13



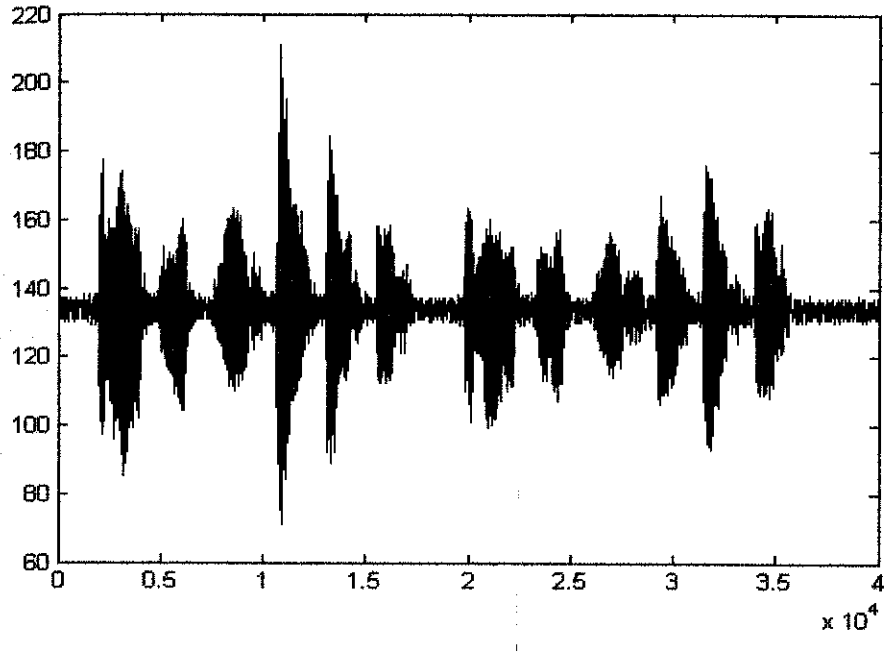
รูปที่ 4.13 รูปสัญญาณที่ผ่านการเข้ารหัสเสียงการเข้ารหัสแบบ Exclusive or ค่าคงที่ดิจิตอลที่ได้ด้วย 7F

3.การเข้ารหัสแบบสลับบิตทั้ง 8 บิต

เป็นการสลับทั้ง8บิตโดยการสลับค่าได้แสดงดังรูป

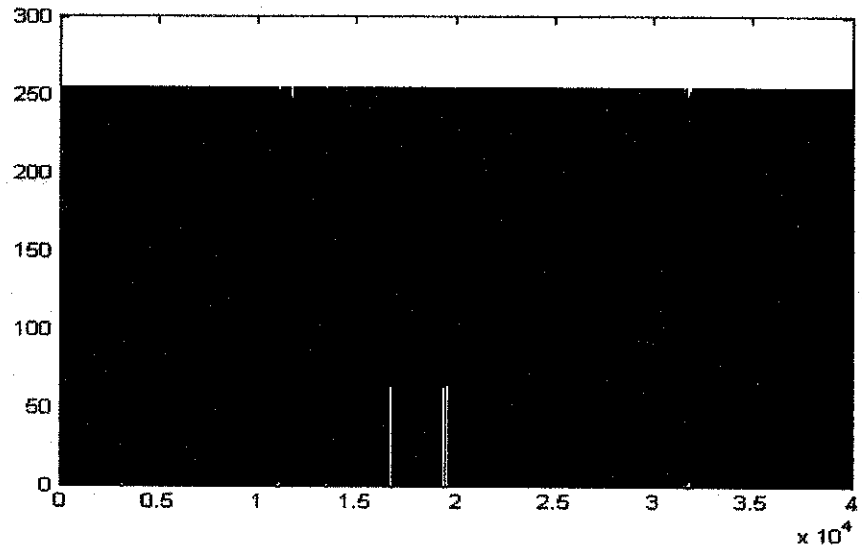


ซึ่งจะใช้โปรแกรมMATLABในการจำลองการเข้ารหัสโดยจะมีเสียงหลักมีซึ่งมีลักษณะเสียงดังรูปที่4.14



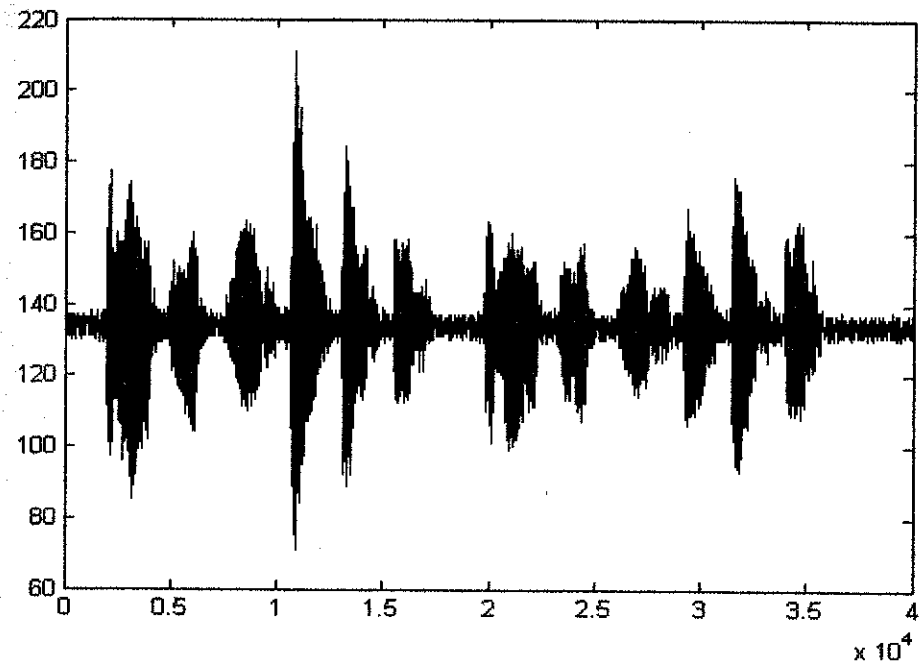
รูปที่ 4.14 รูปสัญญาณเสียงหลักก่อนการเข้ารหัส

หลังจากนั้นทำการเข้ารหัสโดยจะมีรูปสัญญาณดังรูปที่ 4.15



รูปที่ 4.15 รูปสัญญาณเสียงหลักก่อนการเข้ารหัสแบบการสลับทั้ง 8 บิต

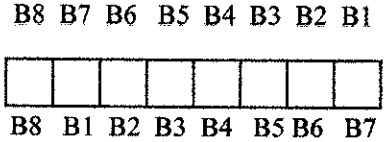
จากนั้นก็ทำการถอดรหัสสัญญาณเพื่อดูรูปแบบสัญญาณที่ถูกทำการถอดรหัสซึ่งจะได้รูปสัญญาณดังรูปที่ 4.16



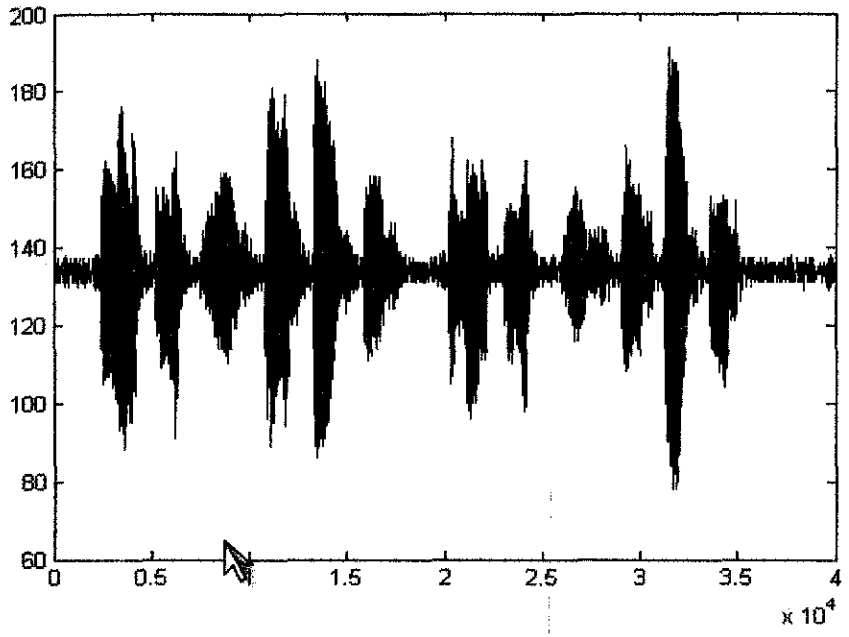
รูปที่ 4.16 รูปสัญญาณที่ถูกทำการถอดรหัส

การเข้ารหัสแบบบิต 8 คงที่

เป็นการคงที่บิตที่8ไว้และสลับตำแหน่งอื่นอีก 7 บิตที่เหลือโดยแสดงดังภาพ

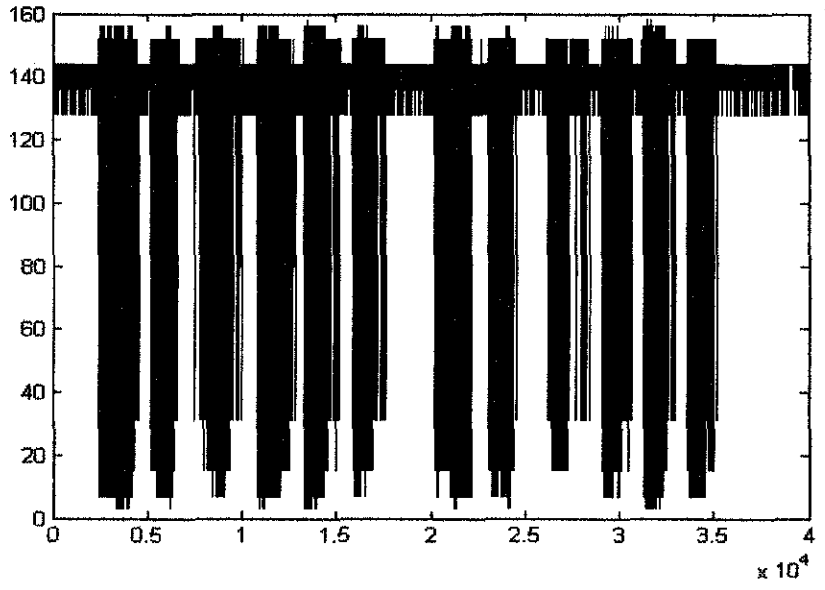


ซึ่งจะใช้โปรแกรม MATLAB ในการจำลองการเข้ารหัสโดยจะมีเสียงหลักมีซึ่งมีลักษณะเสียงดังรูปที่ 4.17



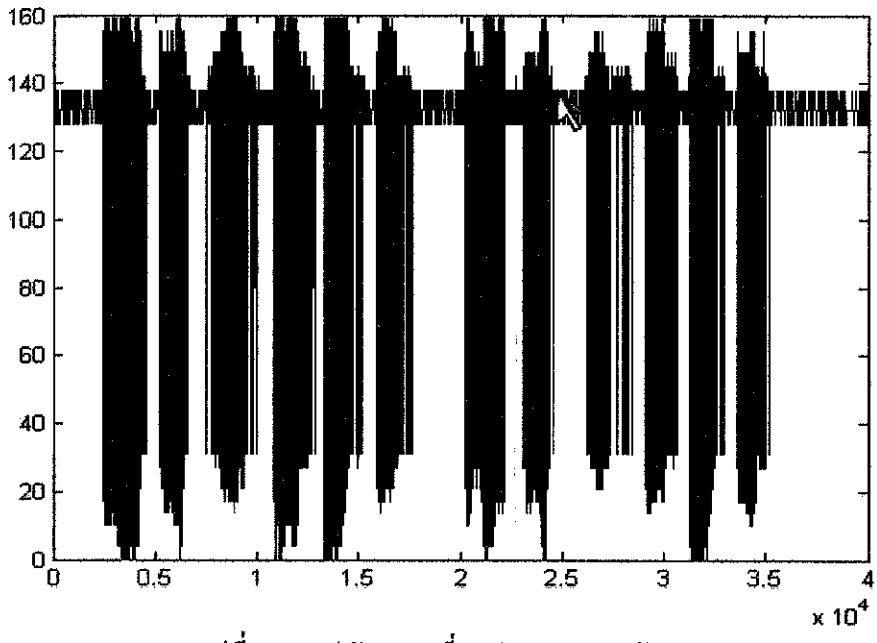
รูปที่ 4.17 รูปสัญญาณเสียงหลักก่อนการเข้ารหัสแบบคงที่บิต 8

หลังจากนั้นทำการเข้ารหัส 4 บิตโดยจะมีรูปสัญญาณดังรูปที่ 4.18



รูปที่ 4.18 รูปสัญญาณที่ผ่านการเข้ารหัสสัญญาณแบบคงที่บิต 8

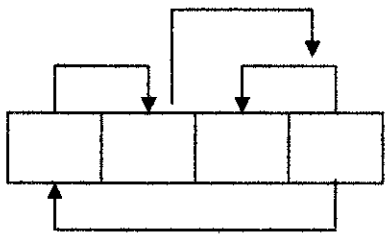
จากนั้นก็ทำการถอดรหัสสัญญาณเพื่อดูรูปแบบสัญญาณที่ถูกทำการถอดรหัสซึ่งจะได้รูปสัญญาณดังรูปที่ 4.19



รูปที่ 4.19 รูปสัญญาณที่ถูกทำการถอดรหัส

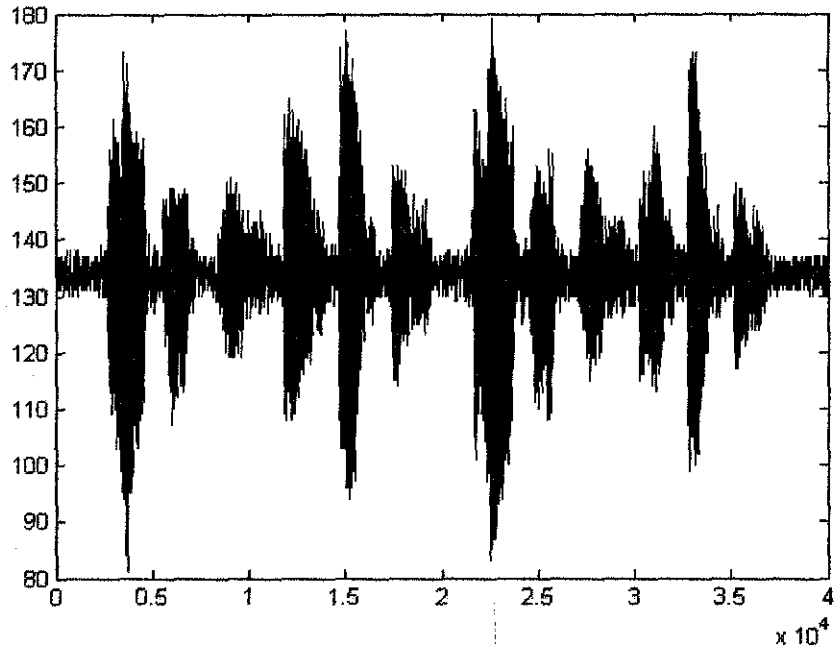
4.การเข้ารหัสแบบสลับ 2 บิต

เป็นการสลับทีละ2บิตโดยนำ B2B1 ไปไว้ที่ตำแหน่ง B8B7 และนำ B8B7 ไปไว้ที่จุดB6B5และนำ B6B5 ไปไว้ที่ตำแหน่ง B2B1 นำ B4B5 ไว้ที่เดิมแสดงดังตาราง



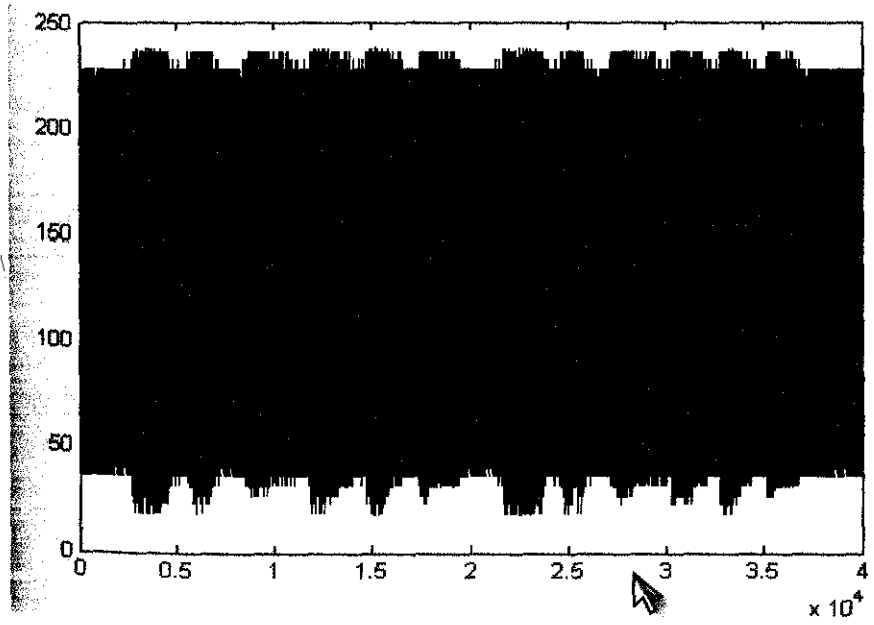
B2B1 B8B7 B4B3 B6B5

ซึ่งจะใช้โปรแกรมMATLABในการจำลองการเข้ารหัสโดยจะมีเสียงหลักมีซึ่งมีลักษณะเสียงดังรูปที่ 4.20



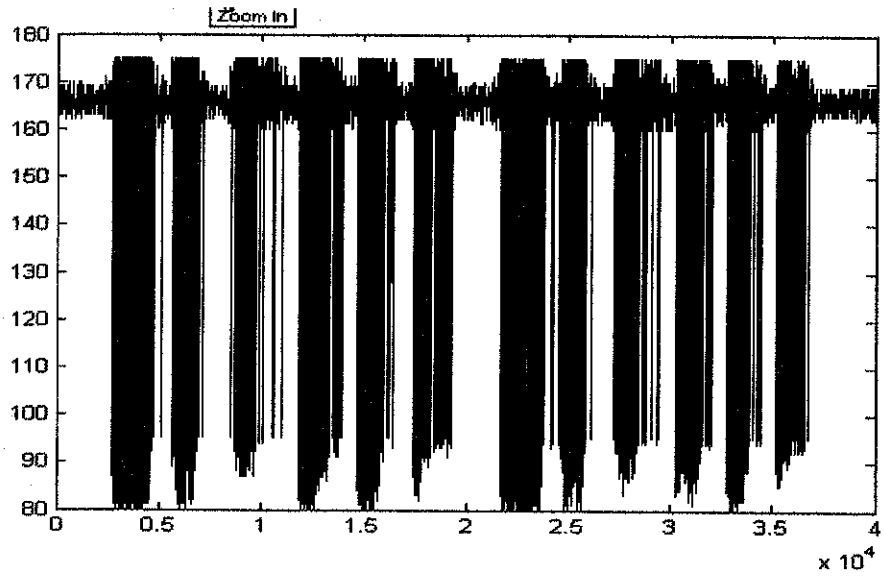
รูปที่ 4.20 รูปสัญญาณเสียงหลักก่อนการเข้ารหัสแบบสลับ2บิต

หลังจากนั้นทำการเข้ารหัส 4 บิตโดยจะมีรูปสัญญาณดังรูปที่ 4.21



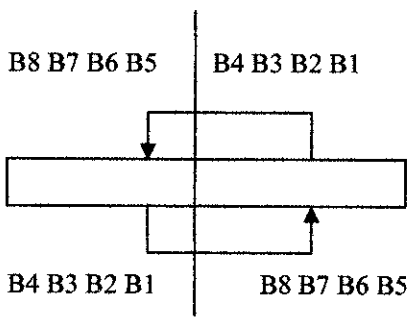
รูปที่ 4.21 รูปสัญญาณที่ผ่านการเข้ารหัสสัญญาณ 2บิต

จากนั้นก็ทำการถอดรหัสสัญญาณเพื่อดูรูปแบบสัญญาณที่ถูกทำการถอดรหัสซึ่งจะได้รูปสัญญาณดังรูปที่ 4.22

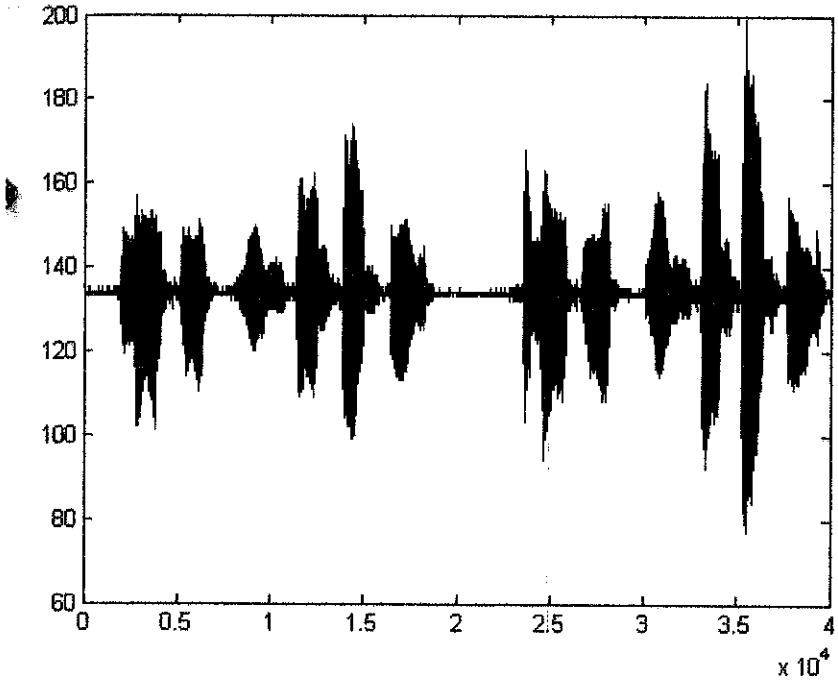


รูปที่ 4.22 รูปสัญญาณที่ถูกทำการถอดรหัส

3.แบบการสลับบิต4บิต

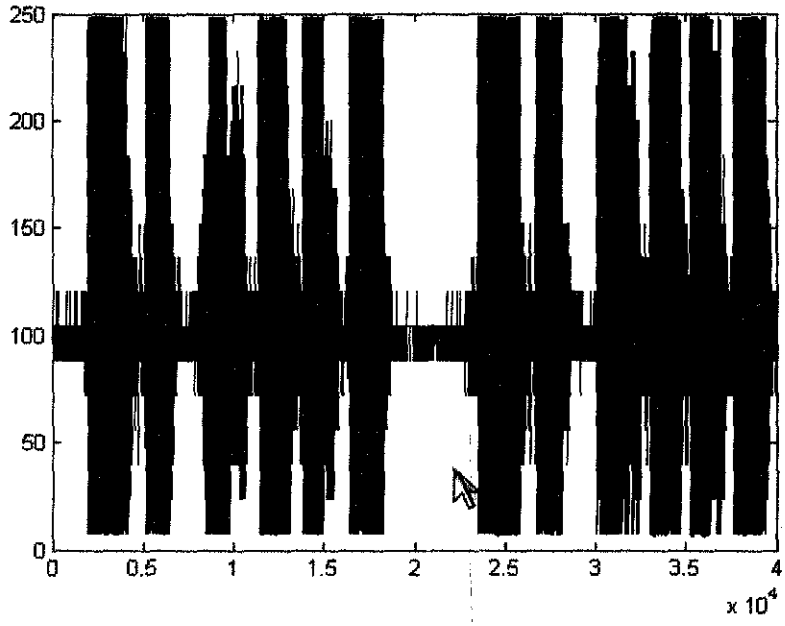


เป็นการสลับ4บิตแรก (B1-B4) กับ4บิตหลัง (B5-B8) ซึ่งจะใช้โปรแกรมMATLABในการทดองการเข้ารหัสโดยจะมีเสียงหลักมีซึ่งมีลักษณะเสียงดังรูปที่ 4.23



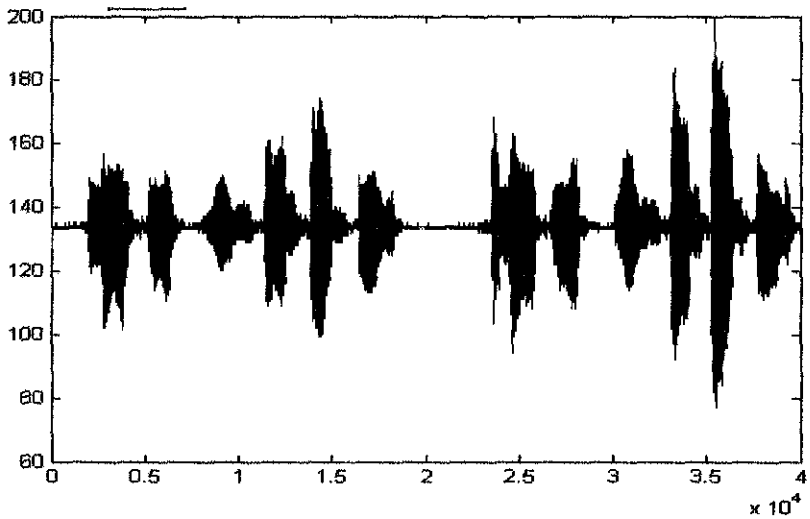
รูปที่ 4.23 รูปสัญญาณเสียงหลักก่อนการเข้ารหัส 4บิต

หลังจากนั้นทำการเข้ารหัส4บิตโดยจะมีรูปสัญญาณดังรูปที่ 4.24



รูปที่ 4.24 รูปสัญญาณที่ผ่านการเข้ารหัสสัญญาณ4บิต

จากนั้นก็ทำการถอดรหัสสัญญาณเพื่อดูรูปแบบสัญญาณที่ถูกทำการถอดรหัสซึ่งจะได้รูปสัญญาณดังรูปที่ 4.25



รูปที่ 4.25 รูปสัญญาณที่ถูกทำการถอดรหัส

สรุปผลการทดสอบอุปกรณ์ป้องกันการดักฟังอุปกรณ์สื่อสารไร้สาย

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

เมื่อทำการทดสอบวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลผลที่ได้ คือสามารถใช้งานได้ดีจากการทดสอบโดยการจ่ายไฟ DC เข้าที่ input ของ A/D แล้วให้ทำการแสดงค่าใน Hyper Terminal ในการแสดงผลซึ่งผลที่ได้ก็มีค่าตรงกับจากการจ่ายไฟ DC เข้าไป

การทดสอบวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

ได้ทำการทดสอบโดยการป้อนบิตดิจิตอลเป็นค่าคงที่เข้าที่Inputแล้วทำการเช็คค่าโวลต์ที่output ว่าผลที่ได้ตรงกันหรือไม่ซึ่งผลที่ได้ก็ได้ค่าที่ตรงกัน

4.2 สรุป แบบจำลองการเข้ารหัส

หลังจากการทดสอบในทุกวิธีที่กล่าวมาในข้างต้นโดยการทดสอบการเข้ารหัสและทำการทดสอบการถอดรหัสกับอุปกรณ์ที่ได้ทำการเตรียมไว้ ผลที่ได้จากการทดสอบการเข้ารหัสแบบสลับบิต 4บิตมีประสิทธิภาพสูงสุดกว่าทุกวิธีที่กล่าวมาในโครงงานนี้เลยเลือกใช้วิธีการเข้ารหัสแบบสลับ4บิต

บทที่5
สรุปและข้อเสนอแนะ

ในบทนี้จะกล่าวถึงการทำงานโดยรวมทั้งหมด โดยอธิบายส่วนประกอบของวงจรทั้งหมด และผลการทำงานโดยภาพรวม รวมทั้งปัญหาที่เกิดขึ้นและข้อจำกัดในการทดลอง

5.1 ส่วนประกอบของวงจรทั้งหมด

5.1.1 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

5.1.2 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

5.1.3 วงจร DUAL LOW –VOLTAGE POWER AMPLIFIER เบอร์ TDA2822M

5.1.4 วงจรปรับลดไฟ DC 0-12V

5.1.5 วงจร IC SUPER VOLTAGE CONVERTER เบอร์ ICL7660S

5.1.6 วงจรไมโครคอนโทรลเลอร์

5.2 ปัญหาที่พบในขั้นตอนการทำงาน

5.2.1 วงจรที่ได้ทำการเตรียมไว้มีความไม่คงที่

5.2.2 มีความรู้ในการเขียนโปรแกรมภาษา Assembly น้อย จึงต้องใช้เวลาในการศึกษาและทำความเข้าใจมาก ทำให้เสียเวลาในส่วนนี้มาก

5.2.3ใช้เวลานานในการศึกษาการใช้โปรแกรมร่วมกันระหว่างภาษา Assembly และอุปกรณ์อิเล็กทรอนิกส์

5.2.4มีความรู้ในการประกอบวงจรบนแผ่น PCB น้อย ทำให้วงจรมีความเสียหายบ่อย และใช้งานไม่ได้ ทำให้ต้องสร้างวงจรหลายครั้งจึงจะสามารถนำมาใช้งานได้

5.3 ข้อจำกัดของโครงงาน

5.3.1 ในโครงงานนี้ได้นำ Microcontroller มาใช้ซึ่งมีขีดจำกัดของการใช้งานอยู่

5.3.2เนื่องจากวงจรของเครื่องส่งและเครื่องรับมีขนาดเล็กและต้องการความสะดวกในการใช้งานทำให้ต้องใช้แหล่งจ่ายไฟเป็นถ่านขนาดเล็ก ซึ่งมีอายุการใช้งานสั้น ต้องเปลี่ยนบ่อยครั้ง

5.4 ผลที่ได้จากโครงงาน

5.4.1 ได้รับความรู้เกี่ยวกับการเข้ารหัส(Encode)และการถอดรหัส(Decode)เพื่อใช้ในการส่งข้อมูล

5.4.2 ได้รับความรู้ในการใช้งาน Microcontroller และนำไปใช้งานได้จริง

5.4.3 ได้รับความรู้ในการใช้งานโปรแกรม ภาษา Assembly

5.4.4 ได้รับความรู้ในการประกอบอุปกรณ์ต่างๆ และสามารถเลือกใช้อุปกรณ์ที่เหมาะสมในโครงงาน

5.4.5 ทำให้สามารถนำความรู้ที่ได้รับจากการเรียนทฤษฎีมาใช้ในการปฏิบัติจริง

5.4.6 ทำให้สามารถรู้จักแก้ปัญหาเฉพาะหน้าได้

5.4.7 ทำให้รู้จักการทำงานร่วมกับผู้อื่น

5.4.8 ทำให้รู้จักการแบ่งเวลาในการทำงานและสามารถปฏิบัติงานตามตารางเวลาได้

5.4.9 สามารถนำความรู้ที่ได้จากโครงงานมาประยุกต์ใช้งานได้

5.5 แนวทางการพัฒนาต่อ

โครงงานนี้เป็นโครงงานที่จัดทำขึ้นมาเพื่อทำการป้องกันการดักฟังอุปกรณ์สื่อสารไร้สาย ซึ่งสามารถพัฒนาเพื่อให้ใช้งานที่มีลักษณะเดียวกันกับโครงงานนี้ได้ดังข้อเสนอแนะต่อไปนี้

5.5.1 สามารถพัฒนาโดยทำการเพิ่มkeypad เพื่อช่วยในการเข้ารหัสได้

5.5.2 สามารถพัฒนาการเข้ารหัสโดยพัฒนาโปรแกรมให้มีความซับซ้อนมากกว่านี้ได้

บรรณานุกรม

[1]Adisak. **ไมโครคอนโทรลเลอร์ MCS-51**.Available from : URL:http://www.adisak51.com/

[2]*กระแปลงสัญญาณ A/Dและ* D/A. (2550). [ออนไลน์]. เข้าถึงได้จาก :
http:///www. Th. Wikipedia.org/
(วันที่ค้นข้อมูล : 17 กุมพาพันธ์ 2550).

[3]ธีรวัฒน์ ประกอบผล.การประยุกต์ใช้งานไมโครคอนโทรลเลอร์.สำนักพิมพ์ ส.ส.ท.
สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น).2545

[4]ธีรวัฒน์ ประกอบผล.ภาษาแอสเซมบลีสำหรับ MSC-51.สำนักพิมพ์ ส.ส.ท.
สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น).2545

[5]ลัญฉกร วุฒิสิทธิกลุกิจ.MATLAB การประยุกต์ใช้งานทางวิศวกรรมไฟฟ้า

ภาคผนวก ก

โปรแกรมควบคุม A/D และ D/A

```
Data_in     EQU   P2
PortI_RDY   EQU   P3.2
PortI_RD    EQU   P3.3
PortI_INT   EQU   P3.4
PortI_CS    EQU   P3.5
;-------------------------------------------------------
        ORG   0000H
        JMP   Start
        ORG   0100H
Start:
        MOV   SP,#2FH
        CALL  Initial_Serial
        CALL  DELAY_250M
;-------------------------------------------------------
Main_Loop:CALL      LOOP
        MOV   P1,A


        JMP   Main_Loop
LOOP:   CLR   PortI_CS
        MOV   A,#11110110B
        ANL   P3,A
        CLR   PortI_RD
        NOP
        MOV   P3,#11110001B
```

```
        MOV   A,Data_in
        MOV   P3,#11111111B

        RET

;=============================================================

        $INCLUDE      "Serial.Sub"
```

โปรแกรมการเข้ารหัสแบบสลับบิต4บิต

```
Data_in         EQU   P2
PortI_RDY       EQU   P3.2
PortI_RD        EQU   P3.3
PortI_INT       EQU   P3.4
PortI_CS        EQU   P3.5
;=============================================================
        ORG   0000H
        JMP   Start
        ORG   0100H
Start:
        MOV   SP,#2FH
        CALL  Initial_Serial
        CALL  DELAY_250M
;=============================================================
Main_Loop:CALL      LOOP
        RR    A
        RR    A
        RR    A
        RR    A
        MOV   P1,A
```

```
        JMP     Main_Loop
LOOP:   CLR     PortI_CS
        MOV     A,#11110110B
        ANL     P3,A
        CLR     PortI_RD
        NOP
        MOV     P3,#11110001B
        MOV     A,Data_in
        MOV     P3,#11111111B

        RET
;-------------------------------------------------------------------------
        $INCLUDE    "Serial.Sub"
```

โปรแกรมถอดรหัสแบบสลับบิต4บิต

```
Data_in         EQU     P2
PortI_RDY       EQU     P3.2
PortI_RD        EQU     P3.3
PortI_INT       EQU     P3.4
PortI_CS        EQU     P3.5
;-------------------------------------------------------------------------
        ORG     0000H
        JMP     Start
        ORG     0100H
Start:
        MOV     SP,#2FH
        CALL    Initial_Serial
```

```
        CALL  DELAY_250M
;=============================================================
Main_Loop:CALL      LOOP
        RL    A
        RL    A
        RL    A
        RL    A
        MOV   P1,A


        JMP   Main_Loop
LOOP:   CLR   PortI_CS
        MOV   A,#11110110B
        ANL   P3,A
        CLR   PortI_RD
        NOP
        MOV   P3,#11110001B
        MOV   A,Data_in
        MOV   P3,#11111111B

        RET
;=============================================================
        $INCLUDE    "Serial.Sub"

;"Serial.Sub"
;#############################################################
;*************************************************************
;   All Delay for XTAL 18.432MHz 12Clk/MC
```

```
;#*********************************************
DELAY_4SEC: PUSH   07H     ; Delay 80*50MilliSec
       MOV    R7,#80  ;  = 4000MilliSec
       JMP    _DELAY_50M

DELAY_2SEC: PUSH   07H     ; Delay 40*50MilliSec
       MOV    R7,#40  ;  = 2000MilliSec
       JMP    _DELAY_50M

DELAY_1SEC: PUSH   07H     ; Delay 20*50MilliSec
       MOV    R7,#20  ;  = 1000MilliSec
       JMP    _DELAY_50M

DELAY_500M: PUSH   07H     ; Delay 10*50MilliSec
       MOV    R7,#10  ;  = 500MilliSec
       JMP    _DELAY_50M

DELAY_250M: PUSH   07H     ; Delay 5*50 MilliSec
       MOV    R7,#5   ;  = 250 MilliSec
       JMP    _DELAY_50M

DELAY_150M: PUSH   07H     ; Delay 5*50 MilliSec
       MOV    R7,#3   ;  = 150 MilliSec
       JMP    _DELAY_50M

DELAY_100M: PUSH   07H     ; Delay 2*50 MilliSec
       MOV    R7,#2   ;  = 100 MilliSec
       JMP    _DELAY_50M
```

```
LAY_50M:  PUSH   07H     ; Delay 1*50 MilliSec
    MOV   R7,#1   ; = 50 MilliSec
    JMP   _DELAY_50M

ELAY_50M: PUSH   Acc
    PUSH  B
ELAY_050M:        MOV   B,#200 ; Delay 50 MilliSec
ELAY_250U:        MOV   A,#191 ; 1MC ,250 uSec
    DJNZ  Acc,$   ; 2MC ,(192-1)*0.651*2                    ;   = 250 uSec
    DJNZ  B,_DELAY_250U       ; 250*200=50mS
    DJNZ  B,_DELAY_250U       ; 50*5 =250mS
    DJNZ  R7,_DELAY_050M      ; 50*5 =250mS
    POP   B
    POP   Acc
    POP   07H
    RET


========== Initial Serial Port ==========
itial_Serial:  MOV   TMOD,#00100001B     ; T1M2 T0M1
    MOV   SCON,#01010000B      ; Serial Mode1
    MOV   TH1,#0FBH     ; 9600 FDH@11.0592MHz
    MOV   A,#00H                ; FBH@18.432MHz
    MOV   PCON,A                ; SMOD = 0
    CLR   EA              ; Disable All
    SETB  TR1             ; Start Timer1
    RET


========== Send Data to Serial Port ==========
```

```
SEND_2HEX:  PUSH   Acc
        SWAP  A
        CALL  SEND_1HEX
        POP   Acc
SEND_1HEX:  PUSH   DPH
        PUSH  DPL
        MOV   DPTR,#HEXASC_TAB
        ANL   A,#0FH
        MOVC  A,@A+DPTR
        POP   DPL
        POP   DPH
SEND_ASCII:  PUSH   IE
        CLR   ES
        CLR   TI
        MOV   SBUF,A
        JNB   TI,$
        CLR   TI
        POP   IE
        RET
HEXASC_TAB:          DB      '0123456789ABCDEF'


;=========  Send Line Feed  ========================
Send_LineFeed: MOV   A,#0DH
        CALL  Send_ASCII
        MOV   A,#0AH
        CALL  Send_ASCII
        RET
```

```
;========== Send Line Feed ==========
nd_ClrScr:    MOV    A,#0CH
      CALL   Send_ASCII
      RET


;= Send Data Table to Serial Start@DPTR to '00H' =
end_Table:    CLR    A
      MOVC  A,@A+DPTR
      JZ       _X_Send_Table
      CALL   SEND_ASCII
      INC     DPTR
      JMP     Send_Table
_X_Send_Table:RET
```

โปรแกรมMATLAB7(นำมาสร้างแบบจำลองการเข้ารหัสแบบต่างๆ)

1. xor ด้วย FF

```
%----------record voice
clear all
fs=8000;
y=wavrecord(5*fs,fs,'uint8');

%---------- encode
%-- 1
for i=1:40000
   yin1(i,1)=bitxor(y(i),uint8(255)); % xor with FF
end
```

DATASHEET

ADC0820

Rev 1; 7/96

MAXIM

CMOS High Speed 8-Bit A/D Converter with Track/Hold Function

General Description

ADC0820 is a high speed, microprocessor compatible 8 bit analog-to-digital converter which uses a half-flash technique to achieve a conversion time of 1.4µs. The converter has a 0V to +5V analog input range and uses a single +5V supply.

An internal track-and-hold function is included, eliminating the need for an external track-and-hold for input slew rates up to 100mV/µs.

The ADC0820 easily interfaces with microprocessors by appearing as a memory location or I/O port without the need for external interfacing logic. Data outputs feature latched, three-state buffer circuitry to allow direct connection to a microprocessor data bus or system clock. An over-flow output is also provided for cascading devices to achieve higher resolution.

This ADC0820 is pin-compatible with National Semiconductor's ADC0820 and provides improved specifications. It is packaged in 20-pin Small Outline, plastic and CERDIP packages.

Applications

Digital Signal Processing
High Speed Data Acquisition
Telecommunications
High Speed Servo Loops
Audio Systems

Features

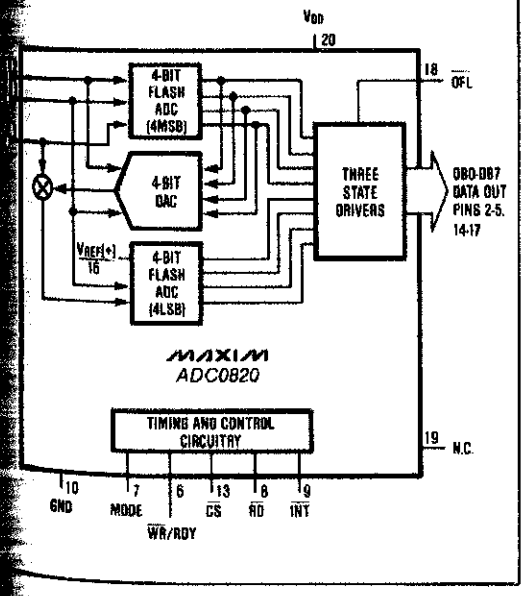
- ◆ **Fast Conversion Time: 1.4µs Max.**
- ◆ **Built-in Track-and-Hold Function**
- ◆ **No Missing Codes**
- ◆ **No User Adjustments Required**
- ◆ **Single +5V Supply**
- ◆ **No External Clock**
- ◆ **Easy Interface To Microprocessors**

Ordering Information

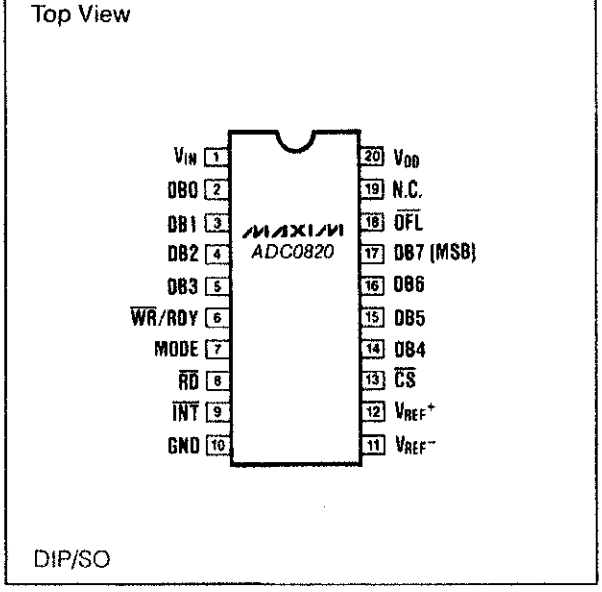
PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
ADC0820BCN	0° C to +70° C	20 Plastic DIP	±1/2
ADC0820CCN	0° C to +70° C	20 Plastic DIP	±1
ADC0820CC/D	0° C to +70° C	Dice*	±1
ADC0820BCM	0° C to +70° C	20 SO	±1/2
ADC0820CCM	0° C to +70° C	20 SO	±1/2
ADC0820BCJ	-40° C to +85° C	20 CERDIP	±1/2
ADC0820CCJ	-40° C to +85° C	20 CERDIP	±1
ADC0820BJ	-55° C to +125° C	20 CERDIP**	±1/2
ADC0820CJ	-55° C to +125° C	20 CERDIP**	±1

*Dice are specified at T_A = +25°C.
**Contact factory

Functional Block Diagram



Pin Configuration



For pricing, delivery, and ordering information, please contact Maxim/Dallas Direct! at 1-800-629-4642, or visit Maxim's website at www.maxim-ic.com.

μMOS High Speed 8-Bit A/D Converter with Track/Hold Function

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{DD} to GND ..... 0V, +10V
Voltage at any other pins
(Pins 1-9, 11-19) ..... GND - 0.3V, V_{DD} +0.3V
Output current (Pin 19) 30mA
Power Dissipation (Any Package) to +75°C 450mW
Derate Above +25°C by ..... 6mW/°C

Operating Temperature Ranges
ADC0820BC_/CC_ ..... 0°C to +70°C
ADC0820BCJ/CCJ ..... -40°C to +85°C
ADC08020BJ/CJ ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +160°C
Lead Temperature (soldering, 10sec) ..... +300°C

Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specification is not implied. Exposure to absolute maximum ratings conditions for extended periods may affect the device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V, V_{REF}^+ = +5V, V_{REF}^- = GND, RD-MODE, T_A = T_{MIN} to T_{MAX}, unless otherwise noted)

PARAMETER	SYMBOL	CONDITIONS	MIN.	TYP.	MAX.	UNITS
ACCURACY						
Resolution			8			bits
Total Unadjusted Error (Note 1)		ADC0820B ADC0820C			±1/2 ±1	LSB
No Missing Codes Resolution			8			bits
REFERENCE INPUT						
Reference Resistance		T_A = +25°C T_A = T_{MIN} to T_{MAX}	1.4 1.25	2.2	4.0 4.0	kΩ
V_{REF}^+ Input Voltage Range			V_{REF}^-		V_{DD} + 0.1	V
V_{REF}^- Input Voltage Range			GND - 0.1		V_{REF}^+	V
ANALOG INPUT						
Analog Input Voltage Range	V_{INR}		GND - 0.1		V_{DD} + 0.1	V
Analog Input Capacitance	C_{VIN}			45		pF
Analog Input Current	I_{VIN}	V_{IN} = 0V to +5V; T_A = +25°C, T_{MIN} to T_{MAX}			±0.3 ±3	μA
Slew Rate, Tracking (Note 2)	SR			0.2	0.1	V/μs
LOGIC INPUTS						
Input HIGH Voltage	V_{INH}	CS, WR, RD MODE	2.0 3.5			V
Input LOW Voltage	V_{INL}	CS, WR, RD MODE			0.8 1.5	V
Input High Current	I_{INH}	CS, RD; T_A = +25°C, T_{MIN} to T_{MAX}			0.1 1	μA
		WR; T_A = +25°C, T_{MIN} to T_{MAX}			0.3 3	
		MODE; T_A = +25°C, T_{MIN} to T_{MAX}		50	150 200	
Input Low Current	I_{INL}	CS, RD, WR, MODE; T_A = 25°C, T_{MIN} to T_{MAX}			-0.3 -1	μA
Input Capacitance (Note 3)	C_{IN}	CS, RD, WR, MODE		5	8	pF
LOGIC OUTPUTS						
Output HIGH Voltage	V_{OH}	DB0-DB7, OFL, INT V_{DD} = +4.75V, I_{OUT} = -360μA V_{DD} = +4.75V, I_{OUT} = -10μA	4.0 4.5			V
Output LOW Voltage	V_{OL}	DB0-DB7, OFL, INT, RDY V_{DD} = +4.75V, I_{OUT} = 1.6mA			0.4	V
Three-state Output Current		DB0-DB7, RDY; T_A = +25°C, T_{MIN} to T_{MAX}	-0.3 -3		+0.3 +3	μA
Output Capacitance (Note 3)	C_{OUT}	DB0-DB7, OFL, INT, RDY		5	8	pF
Output Source Current	I_{SRC}	DB0-DB7, OFL, INT; V_{OUT} = 0		-25	-10	mA
Output Sink Current	I_{SINK}	DB0-DB7, OFL, INT, RDY; V_{OUT} = V_{DD}		40	15	mA

CMOS High Speed A/D Converter with Track/Hold Function

RICAL CHARACTERISTICS (continued)

V, V_{REF}^+ = +5V, V_{REF}^- = GND, RD-MODE, T_A = T_{MIN} to T_{MAX}, unless otherwise noted)

PARAMETER	SYMBOL	CONDITIONS	MIN.	TYP.	MAX.	UNITS
UPPLY						
ltage	V_{DD}	±5% for Specified Performance		5		V
rrent	I_{DD}	$\overline{CS}$ = $\overline{WR}$ = $\overline{RD}$ = 0 T_A = +25°C T_{MIN} to T_{MAX}		5	10 15	mA
pation		$\overline{CS}$ = $\overline{WR}$ = $\overline{RD}$ = 0		25		mW
pply Sensitivity	PSS	V_{DD} = ±5%		±1/16	±1/4	LSB

CHARACTERISTICS

V, V_{REF}^+ = +5V, V_{REF}^- = GND, T_A = T_{MIN} to T_{MAX}, unless otherwise specified. See Note 2, 4.)

RAMETER	SYMBOL	CONDITIONS	T_A = +25°C			ADC0820BCX ADC0820CCX		ADC0820BJ ADC0820CJ		UNITS
			MIN.	TYP.	MAX.	MIN.	MAX.	MIN.	MAX.	
WR Setup Time	t_{CSS}		0			0		0		ns
WR Hold Time	t_{CSH}		0			0		0		ns
Delay	t_{RDY}	C_L = 50pF, R = 3kΩ		35	70		90		100	ns
Time (RD Mode)	t_{CRD}	(Note 7)		1.2	1.6		2.0		2.5	μs
Time (RD Mode) 1)	t_{ACC0}	(Note 5)		t_{CRD} + 10	t_{CRD} + 35		t_{CRD} + 50		t_{CRD} + 70	ns
Delay (RD Mode)	t_{INTH}	C_L = 50pF		60	125		175		225	ns
Time	t_{DH}	(Note 6)		40	90		120		150	ns
onversions	t_P		500			600		600		ns
Width	t_{WR}		600		50,000	600	50,000	600	50,000	ns
Time ode)	t_{CWR-RD}		1.4			1.56		1.62		μs
en Pulses	t_{RD}		600			700		700		ns
Time ode) 3)	t_{ACC1}	t_{RD} < t_{INTL}		110	220		280		350	ns
Delay	t_{RI}			100	200		260		320	ns
Delay	t_{INTL}			600	1000		1400		1700	ns
Time ode) 2)	t_{ACC2}	t_{RD} > t_{INTL}, (Note 6)		60	100		130		160	ns
Delay e)	t_{IHWR}	C_L = 50pF		70	100		130		150	ns
Time After $\overline{INT}$	t_{ID}			10	50		65		75	ns

unadjusted error includes offset, full-scale and linearity errors.
e tested at +25°C by Quality Assurance to ensure compliance.
nteed by design.
ut control signals are specified with t_R = t_F = 20ns (10% to 90% of +5V) and timed from a voltage level of 1.6V.
d as the time required for an output to cross 0.8V or 2.4 V.
d as the time required for the data lines to change 0.5V.
ster conversions use WR-RD Mode.

CMOS High Speed A/D Converter with Track/Hold Function

Pin Description

PIN	NAME	FUNCTION
1	V_{IN}	Analog input; range = GND < V_{IN} < V_{DD}.
2	DB0	Three-state data output, bit 0 (LSB).
3	DB1	Three-state data output, bit 1.
4	DB2	Three-state data output, bit 2.
5	DB3	Three-state data output, bit 3.
6	$\overline{WR}$/RDY	WRITE control input/READY status output. See Digital Interface section.
7	MODE	Mode selection input. This input is internally pulled low with a 50μA current source. RD Mode: MODE low/open. WR-RD Mode: MODE high.
8	$\overline{RD}$	READ input. $\overline{RD}$ must be low to access data. See Digital Interface section.
9	$\overline{INT}$	INTERRUPT output. $\overline{INT}$ going low indicates the completion of a conversion. See Digital Interface section.
10	GND	Ground.
11	V_{REF}^-	Lower limit of reference span. Sets the zero code voltage. Range: GND to V_{REF}^+.
12	V_{REF}^+	Upper limit of reference span. Sets the Full Scale input voltage. Range: V_{REF}^- to V_{DD}.
13	$\overline{CS}$	CHIP-SELECT input. $\overline{CS}$ must be low for the device to recognize $\overline{WR}$ or $\overline{RD}$ inputs
14	DB4	Three-state data output, bit 4.
15	DB5	Three-state data output, bit 5.
16	DB6	Three-state data output, bit 6.
17	DB7	Three-state data output, bit 7 (MSB).
18	$\overline{OFL}$	Overflow Output. If the analog input is greater than V_{REF}^+, $\overline{OFL}$ will be high at the end of the conversion. It can be used to cascade two or more devices to increase resolution.
19	N.C.	Test Pin. Do not connect.
20	V_{DD}	Power supply voltage, +5V.

Digital Interface

RD Mode (Pin 7 Low)

A conversion is started by taking $\overline{RD}$ low and keeping it low until output data appears (Figure 1). Pin 6 ($\overline{WR}$/RDY) is configured as a status output (RDY) in this mode, and is used with microprocessors which can be forced into a WAIT state. The processor starts a conversion, waits, and then reads data with a single READ instruction. RDY, an open collector output, goes low after the falling edge of $\overline{CS}$ and goes high impedance at the end of the conversion. $\overline{INT}$ goes low at the end of the conversion and returns high on the rising edge of $\overline{CS}$ or $\overline{RD}$.

WR-RD Mode (Pin 7 High)

In the WR-RD mode, pin 6 ($\overline{WR}$/RDY) is the WRITE input for the converter. With $\overline{CS}$ low, a conversion starts on the falling edge of $\overline{WR}$. There are several options for reading data:

Using the Internal Delay

The processor waits for $\overline{INT}$ to go low before reading data (Figure 2). $\overline{INT}$ typically goes low 600ns after the rising edge of $\overline{WR}$, indicating that the conversion is complete. With $\overline{CS}$ low, DB0-DB7 are read by pulling $\overline{RD}$ low. $\overline{INT}$ is then reset on the rising edge of $\overline{CS}$ or $\overline{RD}$.

Reading Before Delay

The conversion time is externally controlled with $\overline{RD}$ (Figure 3). The status of $\overline{INT}$ is ignored and $\overline{RD}$ is taken low as soon as 600ns after the rising edge of $\overline{WR}$. This completes the conversion and enables DB0-DB7. $\overline{INT}$ goes low after the falling edge of $\overline{RD}$ and is reset on the rising edge of $\overline{RD}$ or $\overline{CS}$.

Pipelined Operation

"Pipelined" operation is achieved by tying $\overline{WR}$ and $\overline{RD}$ together (Figure 4). With $\overline{CS}$ low, taking $\overline{WR}$ and $\overline{RD}$ low starts a new conversion and, at the same time, reads the result of the previous conversion.

Stand-Alone Operation

In stand-alone operation, $\overline{CS}$ and $\overline{RD}$ are tied low and a conversion is initiated by pulling $\overline{WR}$ low (Figure 5). Output data is valid approximately 600ns after the rising edge of $\overline{WR}$.

Analog Considerations

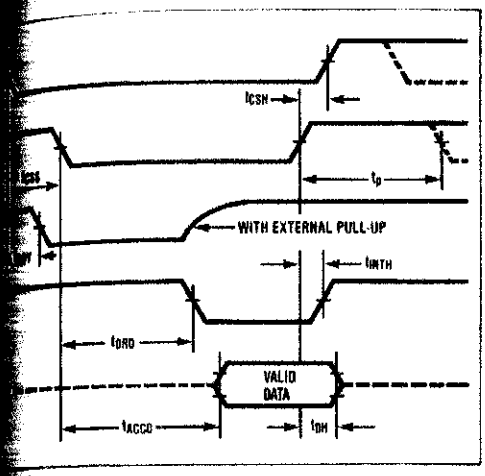
Reference Input

The $V_{REF}(+)$ and $V_{REF}(-)$ inputs of the converter set the full-scale and zero input voltages. The voltage at $V_{REF}(-)$ defines the input level which produces an output code of all zeroes, and the voltage at $V_{REF}(+)$ defines the input which produces an output code of all ones (see Figure 6). Figure 7 shows some reference configurations.

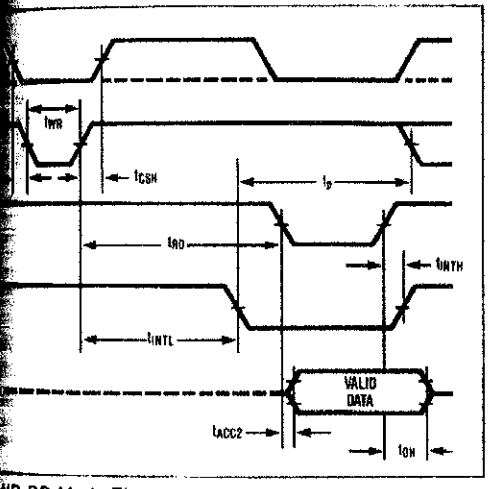
Bypassing

A 47μF electrolytic and 0.1μF ceramic capacitor should be used to bypass the V_{DD} pin to GND. The lead length of these capacitors should be as short as possible. If the reference inputs (pins 11, 12) are driven by long lines, they also should be bypassed to GND with 0.1 μF capacitors at the reference input pins.

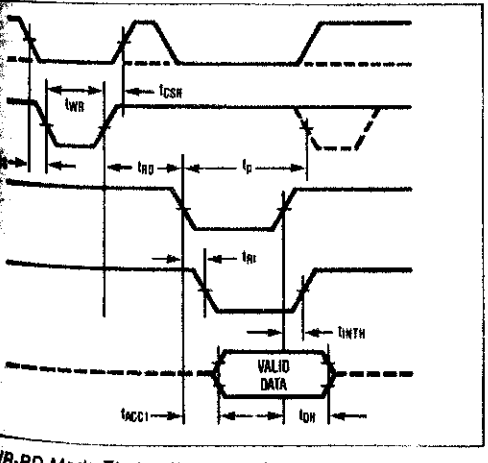
CMOS High Speed A/D Converter with Track/Hold Function



Mode Timing



WR-RD Mode Timing ($t_{RD} > t_{INTL}$)



WR-RD Mode Timing ($t_{RD} < t_{INTL}$)

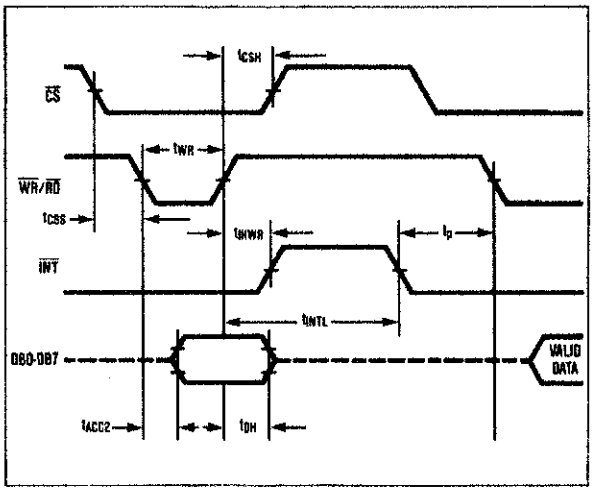


Figure 4. WR-RD Mode Pipe-Lined Timing, $\overline{WR} = \overline{RD}$

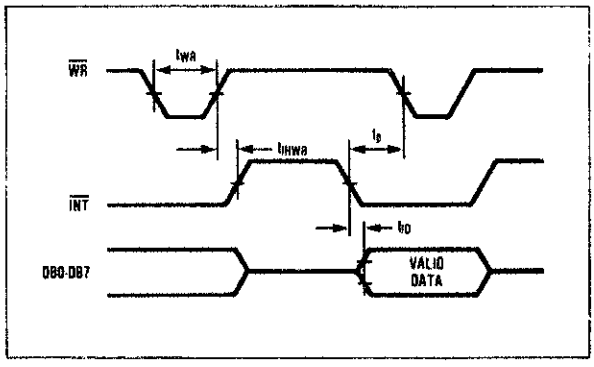


Figure 5. WR-RD Mode Stand-Alone Timing, $\overline{CS} = \overline{RD} = 0$

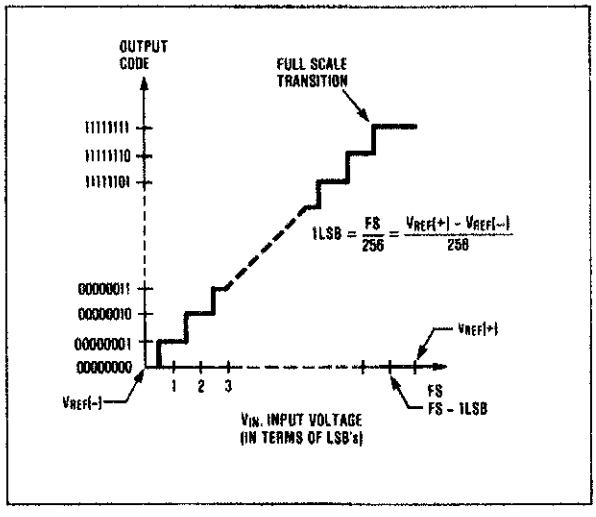


Figure 6. Transfer Function

CMOS High Speed A/D Converter with Track/Hold Function

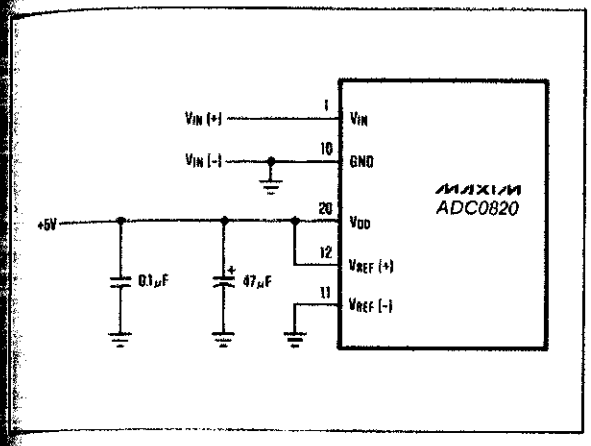


Figure 7a. Power Supply as Reference

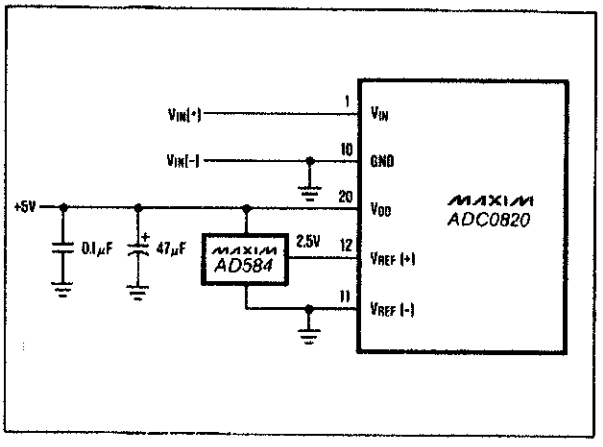


Figure 7b. External Reference 2.5V Full Scale

Input Current

The ADC0820 analog input behaves somewhat differently from conventional A/D converters. The ADC0820 takes varying amounts of current from the input depending on the operating cycle of the A/D.

During the input sampling phase ($\overline{WR}$ = LOW in the WR-RD Mode) input capacitors must be charged to the input voltage through the resistance of internal analog switches (about 2kΩ to 5kΩ). In addition, about 12pF of stray capacitance (C_S) must be charged. An equivalent RC model of the input is shown in Figure 8. The 45pF input capacitance allows source resistances (R_S) of up to 1kΩ to be used without increased settling time. For larger resistances, the width of the $\overline{WR}$ pulse must be increased from 600ns. In the RD mode, where the sample time is fixed, R_S greater than 1kΩ may cause settling errors. In this case, use the WR-RD mode and greater than 600ns $\overline{RD}$ time, or use a buffer to drive the analog input.

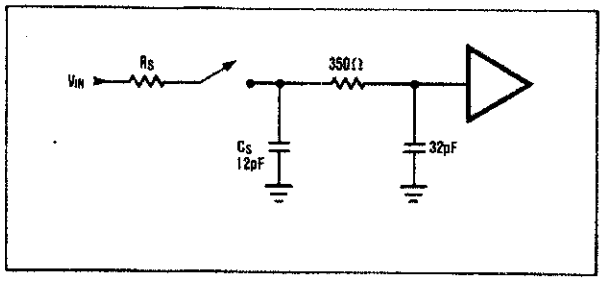


Figure 8. Equivalent Input Model

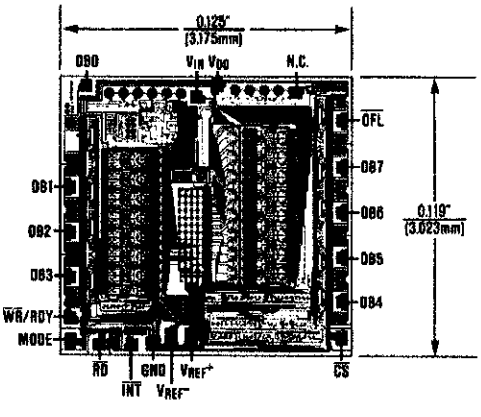
Input Filtering

The ADC0820's sampled data comparators generate input transients at V_{IN}. This does not degrade performance since the A/D only "looks" at the input after these transients occur. It is not necessary to filter these transients with an external capacitor at the V_{IN} terminal.

Inherent Track-and-Hold

The ADC0820 can measure a variety of high speed input signals without the help of an external sample-and-hold. The input is tracked from the time $\overline{WR}$ goes low (in the WR-RD mode) to approximately 100ns after it returns high. Input signals with slew rates typically up to 200mV/μs can be converted without error.

Chip Topography



Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600

©1996 Maxim Integrated Products Printed USA MAXIM is a registered trademark of Maxim Integrated Products.

DATASHEET

DAC0800LCN

June 1999

National Semiconductor

AC0800/DAC0802
Bit Digital-to-Analog Converters

eneral Description

e DAC0800 series are monolithic 8-bit high-speed rent-output digital-to-analog converters (DAC) featuring ical settling times of 100 ns. When used as a multiplying C, monotonic performance over a 40 to 1 reference cur- t range is possible. The DAC0800 series also features h compliance complementary current outputs to allow erential output voltages of 20 Vp-p with simple resistor de as shown in *Figure 1*. The reference-to-full-scale cur- t matching of better than ±1 LSB eliminates the need for scale trims in most applications while the nonlinearities better than ±0.1% over temperature minimizes system r accumulations.

e noise immune inputs of the DAC0800 series will accept L levels with the logic threshold pin, V_{LC}, grounded. anging the V_{LC} potential will allow direct interface to other o families. The performance and characteristics of the vice are essentially unchanged over the full ±4.5V to 8V power supply range; power dissipation is only 33 mW h ±5V supplies and is independent of the logic input es.

The DAC0800, DAC0802, DAC0800C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, and DAC-08H, respectively.

Features

- Fast settling output current: 100 ns
- Full scale error: ±1 LSB
- Nonlinearity over temperature: ±0.1%
- Full scale current drift: ±10 ppm/°C
- High output compliance: −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range: ±4.5V to ±18V
- Low power consumption: 33 mW at ±5V
- Low cost

ypical Applications

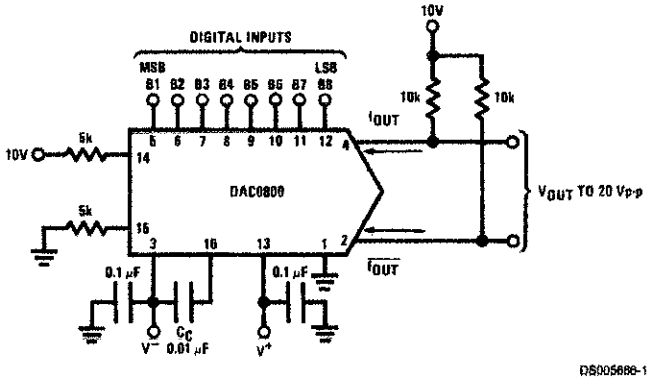


FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 5)

rdering Information

n-Linearity	Temperature Range	Order Numbers				
		J Package (J16A) (Note 1)		N Package (N16E) (Note 1)		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM

1: Devices may be ordered by using either order number.

1 National Semiconductor Corporation

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 3)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs (V_S = −15V)	4.25 mA
ESD Susceptibility (Note 4)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 2)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			Units
			Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", T_A=25°C		100	135				ns
		DAC0800L					100	135	ns
		DAC0800LC					100	150	ns
tPLH, tPHL	Propagation Delay	T_A=25°C							
	Each Bit			35	60		35	60	ns
	All Bits Switched			35	60		35	60	ns
TC_{IFS}	Full Scale Tempco			±10	±50		±10	±50	ppm/°C
V_{OC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, R_{OUT}>20 MΩ Typ	−10		18	−10		18	V
I_{FS4}	Full Scale Current	V_{REF}=10.000V, R14=5.000 kΩ R15=5.000 kΩ, T_A=25°C	1.984	1.992	2.000	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4}-I_{FS2}$		±0.5	±4.0		±1	±8.0	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0	µA
I_{FSR}	Output Current Range	V^-=−5V	0	2.0	2.1	0	2.0	2.1	mA
		V^-=−8V to −18V	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels								
V_{IL}	Logic "0"	V_{LC}=0V			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			V
	Logic Input Current	V_{LC}=0V							
I_{IL}	Logic "0"	−10V≤V_{IN}≤+0.8V		−2.0	−10		−2.0	−10	µA
I_{IH}	Logic "1"	2V≤V_{IN}≤+18V		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	V^-=−15V	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	V_S=±15V	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0	µA
dI/dt	Reference Input Slew Rate	(*Figure 11*)	4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS+}$	Power Supply Sensitivity	4.5V≤V^+≤18V		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		−4.5V≤V^-≤18V		0.0001	0.01		0.0001	0.01	%/%
		I_{REF}=1mA							

...ical Characteristics (Continued)

...wing specifications apply for V_S = ±15V, I_{REF} = 2 mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output char... refer to both I_{OUT} and $\overline{I_{OUT}}$.

Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Current	V_S=±5V, I_{REF}=1 mA							
			2.3	3.8		2.3	3.8	mA
			−4.3	−5.8		−4.3	−5.8	mA
	V_S=5V, −15V, I_{REF}=2 mA							
			2.4	3.8		2.4	3.8	mA
			−6.4	−7.8		−6.4	−7.8	mA
	V_S=±15V, I_{REF}=2 mA							
			2.5	3.8		2.5	3.8	mA
			−6.5	−7.8		−6.5	−7.8	mA
Power Dissipation	±5V, I_{REF}=1 mA		33	48		33	48	mW
	5V,−15V, I_{REF}=2 mA		108	136		108	136	mW
	±15V, I_{REF}=2 mA		135	174		135	174	mW

...olute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating ...beyond its specified operating conditions.

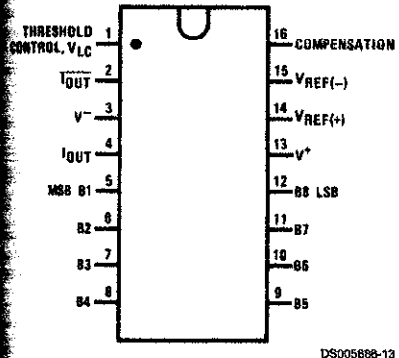
...e maximum junction temperature of the DAC0800 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package ...ated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline

...man body model, 100 pF discharged through a 1.5 kΩ resistor.

...-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

...ection Diagrams

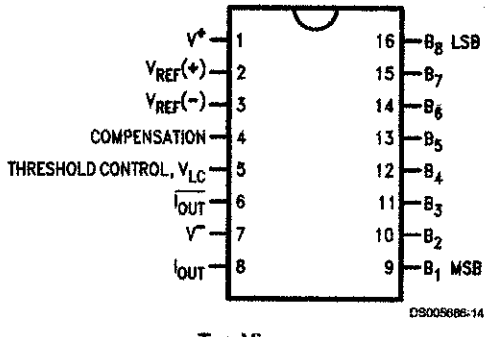
Dual-In-Line Package



DS005688-13

Top View

Small Outline Package

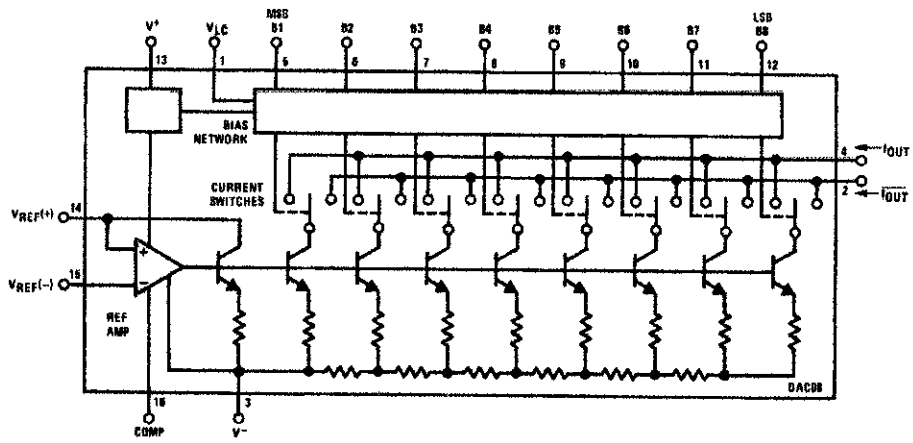


DS005688-14

Top View

See Ordering Information

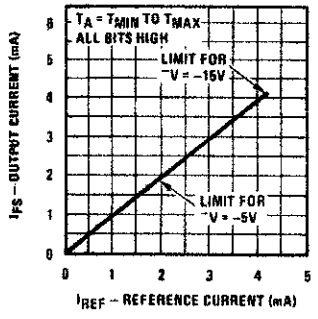
Block Diagram (Note 5)



DS005686-2

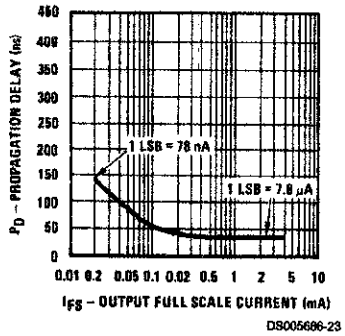
Typical Performance Characteristics

Full Scale Current vs Reference Current



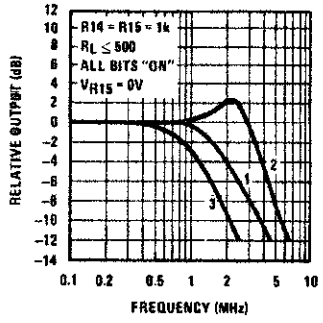
DS005686-22

LSB Propagation Delay vs I_{FS}



DS005686-23

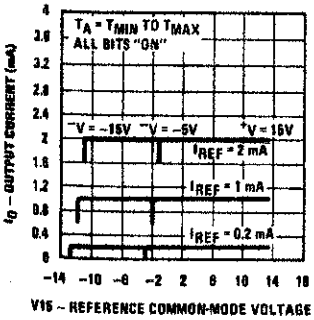
Reference Input Frequency Response



DS005686-24

Curve 1: C_C=15 pF, V_{IN}=2 Vp-p centered at 1V.
Curve 2: C_C=15 pF, V_{IN}=50 mVp-p centered at 200 mV.
Curve 3: C_C=0 pF, V_{IN}=100 mVp-p centered at 0V and applied through 50Ω connected to pin 14.2V applied to R14.

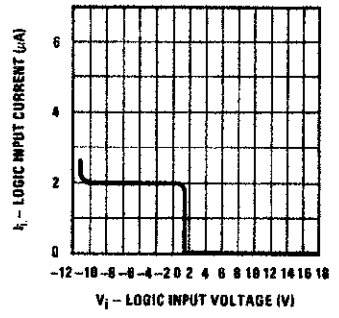
Reference Amp Common-Mode Range



DS005686-25

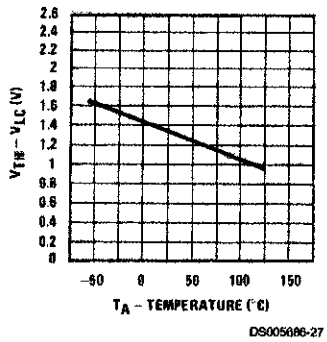
Note. Positive common-mode range is always (V+) − 1.5V.

Logic Input Current vs Input Voltage



DS005686-26

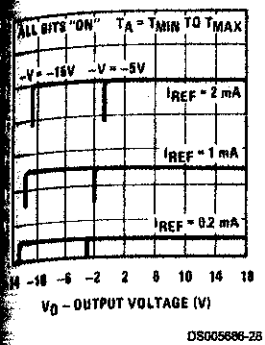
V_{TH} — V_{LC} vs Temperature



DS005686-27

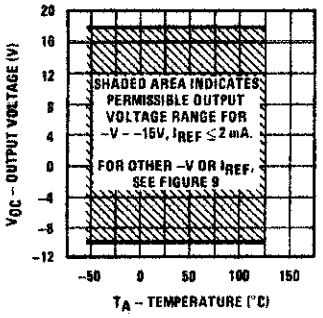
...l Performance Characteristics (Continued)

...urrent vs Output (Output Voltage ...ce)



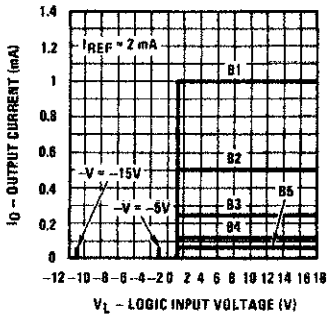
DS005686-28

Output Voltage Compliance vs Temperature



DS005686-29

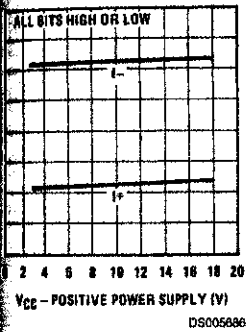
Bit Transfer Characteristics



DS005686-30

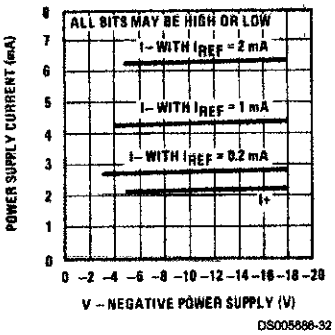
Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ±100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

...upply Current



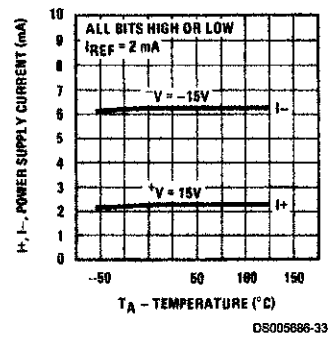
DS005686-31

Power Supply Current vs -V



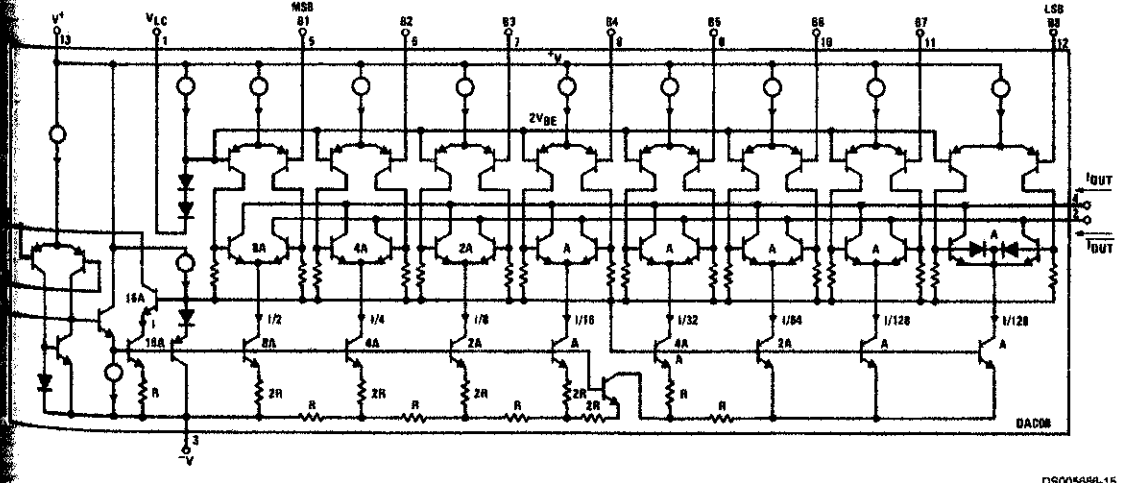
DS005686-32

Power Supply Current vs Temperature



DS005686-33

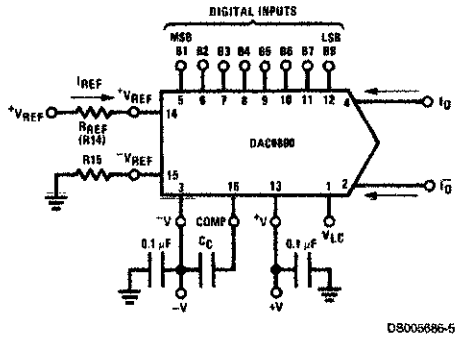
...valent Circuit



DS005686-15

FIGURE 2.

Typical Applications



$$I_{FS} \approx \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I}_O = I_{FS}$ for all logic states
For fixed reference, TTL operation, typical values are:
V_{REF} = 10.000V
R_{REF} = 5.000k
R15 ≈ R_{REF}
C_C = 0.01 µF
V_{LC} = 0V (Ground)

FIGURE 3. Basic Positive Reference Operation (Note 5)

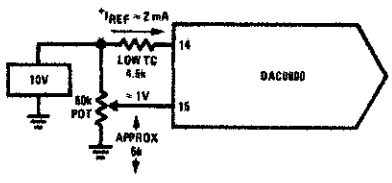
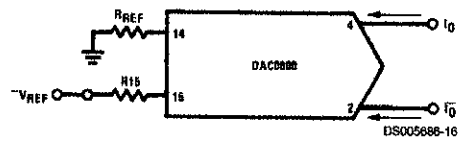


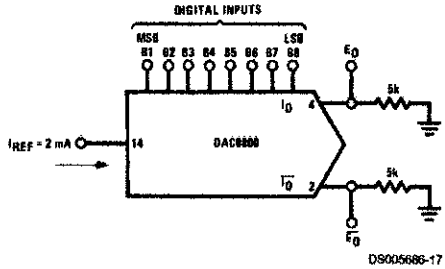
FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 5)



$$I_{FS} \approx \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; R15 is for bias current cancellation

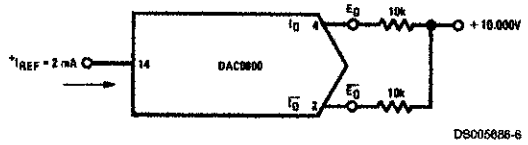
FIGURE 5. Basic Negative Reference Operation (Note 5)



	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I}_O$mA	E_O	$\overline{E}_O$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

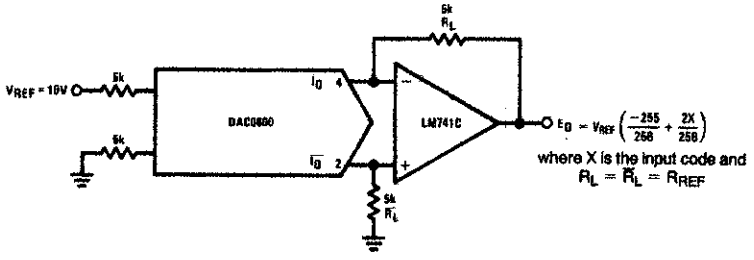
FIGURE 6. Basic Unipolar Negative Operation (Note 5)

Applications (Continued)



	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E}_O$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

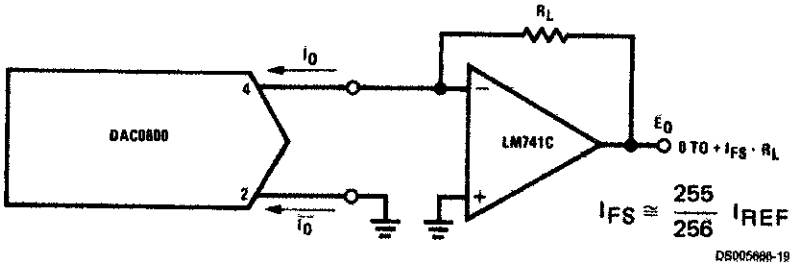
FIGURE 7. Basic Bipolar Output Operation (Note 5)



I_O within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

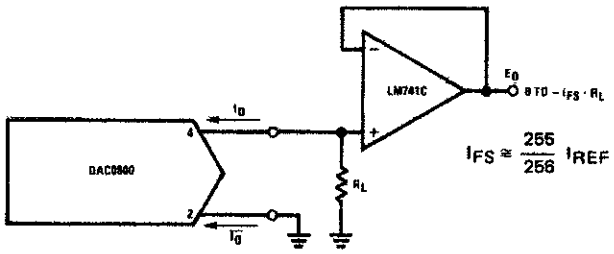
FIGURE 8. Symmetrical Offset Binary Operation (Note 5)



complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I}_O$ (pin 2), connect I_O (pin 4) to ground.

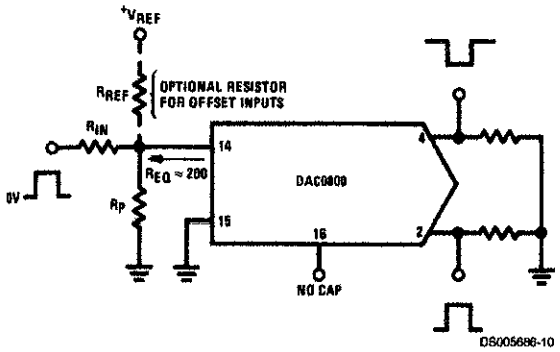
FIGURE 9. Positive Low Impedance Output Operation (Note 5)

Typical Applications (Continued)



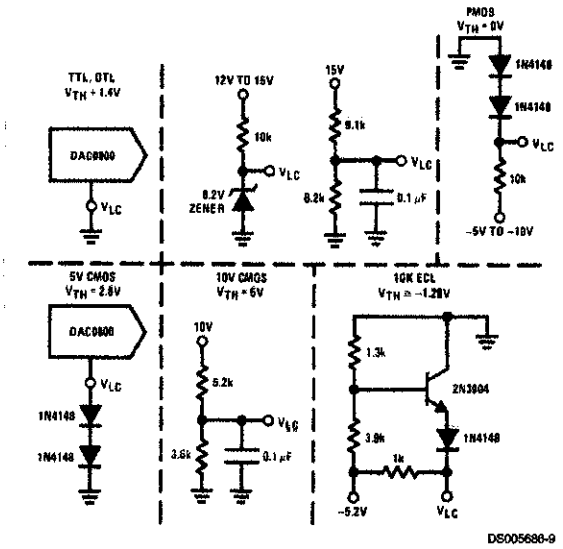
For complementary output (operation as a negative logic DAC) connect non-inverting input of op am to $\bar{I}_O$ (pin 2); connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 5)



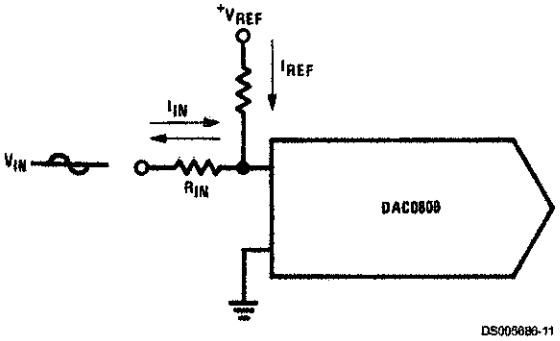
Typical values: R_{IN}=5k,+V_{IN}=10V

FIGURE 11. Pulsed Reference Operation (Note 5)

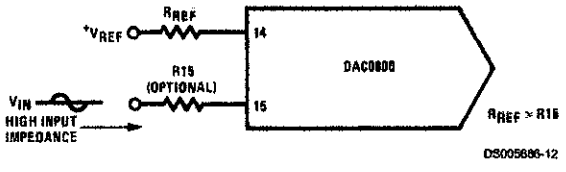


$V_{TH} = V_{LC} + 1.4V$
15V CMOS, HTL, HNIL
V_{TH} = 7.6V
Note. Do not exceed negative logic input range of DAC.

FIGURE 12. Interfacing with Various Logic Families



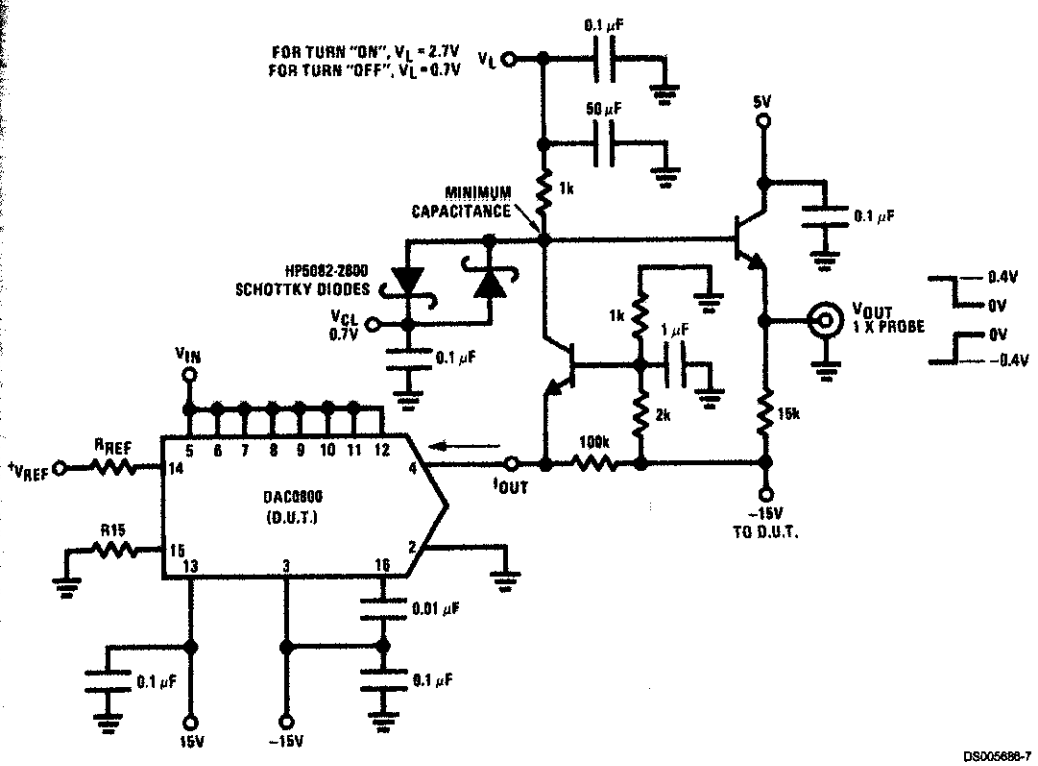
(a) $I_{REF} \geq$ peak negative swing of I_{IN}



(b) $+V_{REF}$ must be above peak positive swing of V_{IN}

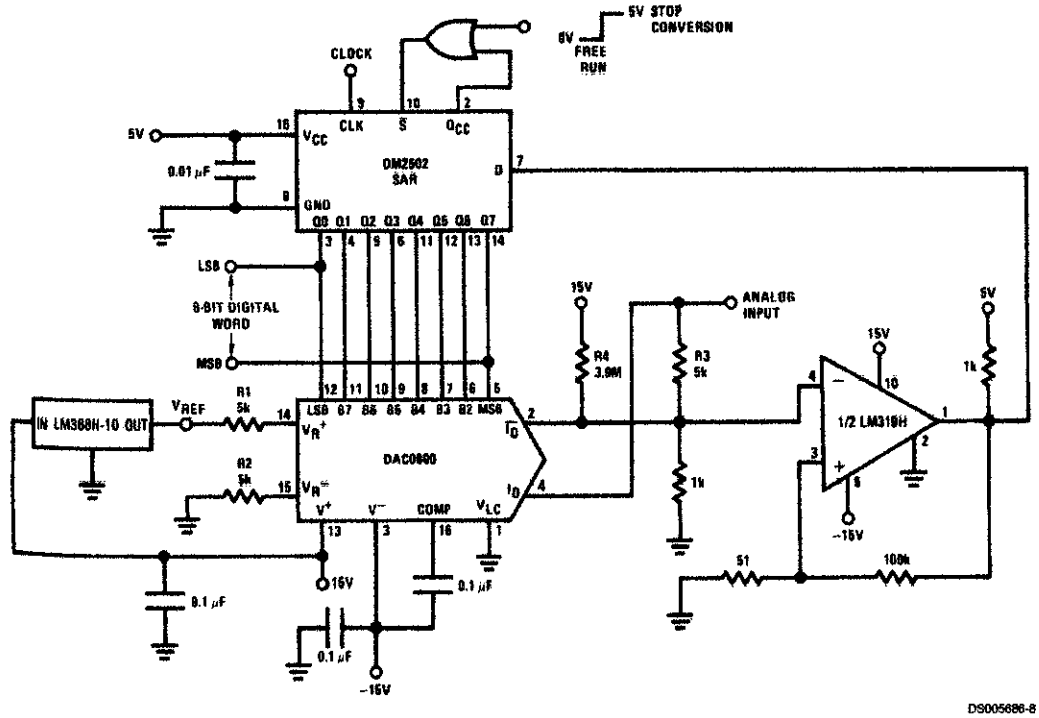
FIGURE 13. Accommodating Bipolar References (Note 5)

cal Applications (Continued)



DS005686-7

FIGURE 14. Settling Time Measurement (Note 5)

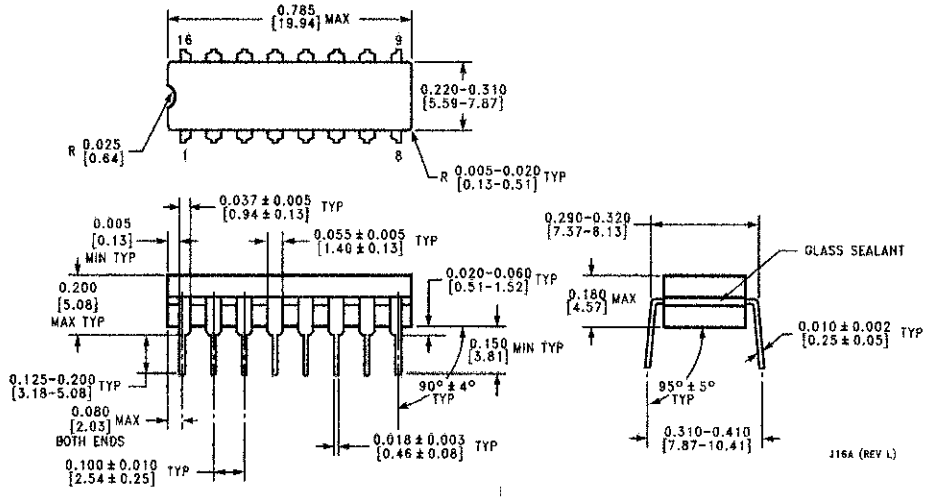


DS005686-8

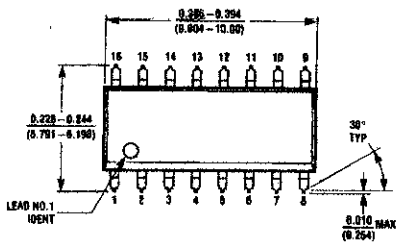
For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by ng R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

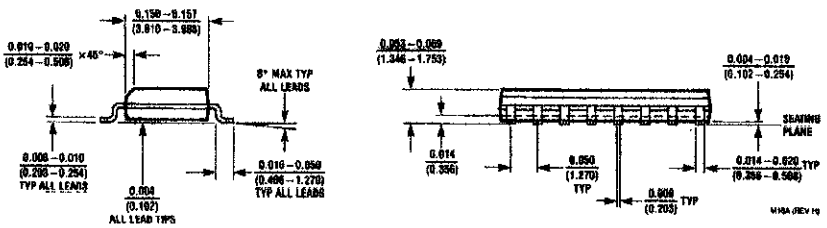
FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 5)

Physical Dimensions inches (millimeters) unless otherwise noted



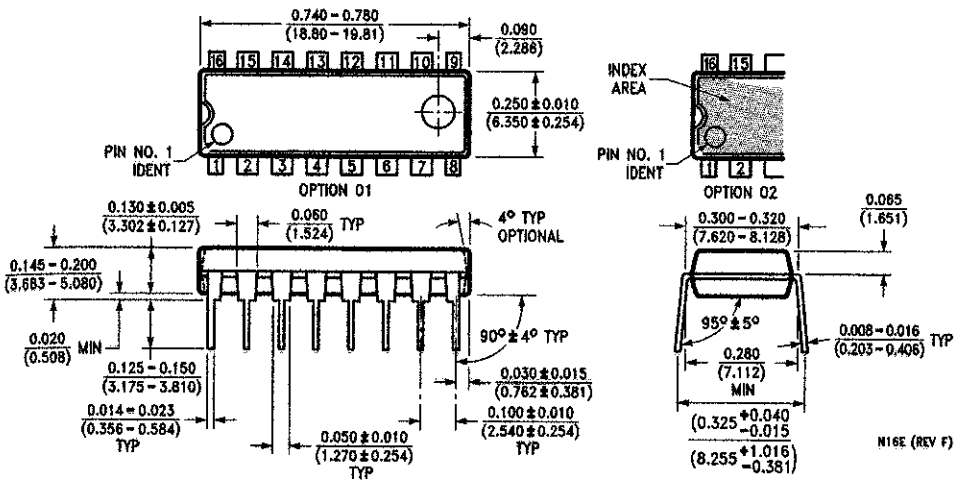
Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
or DAC0802LCM
NS Package Number M16A





Molded Small Outline Package (SO)
Order Numbers DAC0800LCM,
or DAC0802LCM
NS Package Number M16A

sical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package
Order Numbers DAC0800, DAC0802
NS Package Number N16E

UPPORT POLICY

NAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT ES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL SEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

support devices or systems are devices or ems which, (a) are intended for surgical implant the body, or (b) support or sustain life, and e failure to perform when properly used in rdance with instructions for use provided in the ling, can be reasonably expected to result in a ificant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

onal Semiconductor
poration
rices
il: support@nsc.com

M.com

National Semiconductor
Europe
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor
Asia Pacific Customer
Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor
Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

DATASHEET

ICL7660S

...r Voltage Converter

...L7660S Super Voltage Converter is a monolithic ...voltage conversion IC that guarantees significant ...mance advantages over other similar devices. It is a ...eplacement for the industry standard ICL7660 offering ...nded operating supply voltage range up to 12V, with ...supply current. **No external diode** is needed for the ...0S. In addition, a **Frequency Boost pin** has been ...rated to enable the user to achieve lower output ...nce despite using smaller capacitors. All ...ements are highlighted in the "Electrical Specifications" ...on page 3. **Critical parameters are guaranteed over ...ire commercial, industrial and military temperature ...**

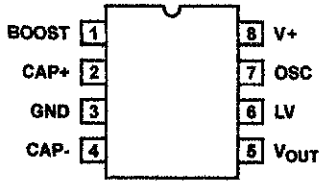
...L7660S performs supply voltage conversion from ...e to negative for an input range of 1.5V to 12V, ...ng in complementary output voltages of -1.5V to -12V. ...non-critical external capacitors are needed for the ...pump and charge reservoir functions. The ICL7660S ...connected to function as a voltage doubler and will ...le up to 22.8V with a 12V input. It can also be used as ...ge multiplier or voltage divider.

...ip contains a series DC power supply regulator, RC ...or, voltage level translator, and four output power ...witches. The oscillator, when unloaded, oscillates at a ...l frequency of 10kHz for an input supply voltage of ...This frequency can be lowered by the addition of an ...al capacitor to the "OSC" terminal, or the oscillator ...e over-driven by an external clock.

...LV" terminal may be tied to GND to bypass the internal ...regulator and improve low voltage (LV) operation. At ...n to high voltages (3.5V to 12V), the LV pin is left ...g to prevent device latchup.

...ut

ICL7660S
(8 LD PDIP, SOIC)
TOP VIEW



Features

- Guaranteed Lower Max Supply Current for All Temperature Ranges
- Wide Operating Voltage Range 1.5V to 12V
- 100% Tested at 3V
- No External Diode Over Full Temperature and Voltage Range
- Boost Pin (Pin 1) for Higher Switching Frequency
- Guaranteed Minimum Power Efficiency of 96%
- Improved Minimum Open Circuit Voltage Conversion Efficiency of 99%
- Improved SCR Latchup Protection
- Simple Conversion of +5V Logic Supply to ±5V Supplies
- Simple Voltage Multiplication $V_{OUT} = (-)nV_{IN}$
- Easy to Use - Requires Only 2 External Non-Critical Passive Components
- Improved Direct Replacement for Industry Standard ICL7660 and Other Second Source Devices
- Pb-Free Available (RoHS Compliant)

Applications

- Simple Conversion of +5V to ±5V Supplies
- Voltage Multiplication $V_{OUT} = \pm nV_{IN}$
- Negative Supplies for Data Acquisition Systems and Instrumentation
- RS232 Power Supplies
- Supply Splitter, $V_{OUT} = \pm V_S/2$

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
1-888-INTERSIL or1-888-468-3774 | Intersil (and design) is a registered trademark of Intersil Americas Inc.
Copyright © Intersil Americas Inc. 2004, 2005, 2008. All Rights Reserved
All other trademarks mentioned are the property of their respective owners.

ering Information

PART NUMBER	PART MARKING	TEMP. RANGE (°C)	PACKAGE	PKG. DWG. #
60SCBA	7660 SCBA	0 to +70	8 Ld SOIC	M8.15
60SCBA-T 3)	7660 SCBA	0 to +70	8 Ld SOIC Tape and Reel	M8.15
60SCBAZ 1)	7660 SCBAZ	0 to +70	8 Ld SOIC (Pb-free)	M8.15
60SCBAZ-T 1, 3)	7660 SCBAZ	0 to +70	8 Ld SOIC Tape and Reel (Pb-free)	M8.15
60SCPA	7660S CPA	0 to +70	8 Ld PDIP	E8.3
60SCPAZ 1)	7660S CPAZ	0 to +70	8 Ld PDIP* (Pb-free)	E8.3
60SIBA	7660 SIBA	-40 to +85	8 Ld SOIC	M8.15
60SIBAT 3)	7660 SIBA	-40 to +85	8 Ld SOIC Tape and Reel	M8.15
60SIBAZ 1)	7660 SIBAZ	-40 to +85	8 Ld SOIC (Pb-free)	M8.15
60SIBAZT 1, 3)	7660 SIBAZ	-40 to +85	8 Ld SOIC Tape and Reel (Pb-free)	M8.15
60SIPA	7660 SIPA	-40 to +85	8 Ld PDIP	E8.3
60SIPAZ 1)	7660S IPAZ	-40 to +85	8 Ld PDIP* (Pb-free)	E8.3

e PDIPs can be used for through hole wave solder processing only. They are not intended for use in Reflow solder processing applications.

ese Intersil Pb-free plastic packaged products employ special Pb-free material sets; molding compounds/die attach materials and 100% tte tin plate PLUS ANNEAL - e3 termination finish, which is RoHS compliant and compatible with both SnPb and Pb-free soldering erations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of C/JEDEC J STD-020.

d /883B to part number if 883B processing is required.

ase refer to TB347 for details on reel specifications.

ute Maximum Ratings

oltage . . . . . +13.0V
OSC Input Voltage (Note 4)
5.5V . . . . . -0.3V to V+ + 0.3V
5.5V . . . . . V+ -5.5V to V+ +0.3V
Into LV (Note 4)
5.5V 20µA
Short Duration
PLY ≤ 5.5V . . . . . Continuous
Temperature Range . . . . . -65°C to +150°C

ting Conditions

ture Range
660SI . . . . . -40°C to +85°C
660SC . . . . . 0°C to +70°C

N: Do not operate at or near the maximum ratings listed for extended periods of time. Exposure to such conditions may adversely impact product reliability and failures not covered by warranty.

necting any terminal to voltages greater than V+ or less than GND may cause destructive latchup. It is recommended that no inputs from rces operating from external supplies be applied prior to "power up" of ICL7660S.

is measured with the component mounted on an evaluation PC board in free air.

Thermal Information

Thermal Resistance (Typical, Note 5)	θ_{JA} (°C/W)
8 Ld PDIP*	110
8 Ld Plastic SOIC	160

Pb-free reflow profile . . . . . see link below
http://www.intersil.com/pbfree/Pb-FreeReflow.asp

*Pb-free PDIPs can be used for through hole wave solder processing only. They are not intended for use in Reflow solder processing. applications.

ical Specifications

V+ = 5V, T_A = +25°C, OSC = Free running, Test Circuit Figure 12, Unless Otherwise Specified.

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Current (Note 8)	I+	R_L = ∞, +25°C	-	80	160	µA
		0°C < T_A < +70°C	-	-	180	µA
		-40°C < T_A < +85°C	-	-	180	µA
		-55°C < T_A < +125°C	-	-	200	µA
Voltage Range - High (9)	$V+_H$	R_L = 10k, LV Open, T_{MIN} < T_A < T_{MAX}	3.0	-	12	V
Voltage Range - Low	$V+_L$	R_L = 10k, LV to GND, T_{MIN} < T_A < T_{MAX}	1.5	-	3.5	V
Source Resistance	R_{OUT}	I_{OUT} = 20mA	-	60	100	Ω
		I_{OUT} = 20mA, 0°C < T_A < +70°C	-	-	120	Ω
		I_{OUT} = 20mA, -25°C < T_A < +85°C	-	-	120	Ω
		I_{OUT} = 20mA, -55°C < T_A < +125°C	-	-	150	Ω
		I_{OUT} = 3mA, V+ = 2V, LV = GND, 0°C < T_A < +70°C	-	-	250	Ω
		I_{OUT} = 3mA, V+ = 2V, LV = GND, -40°C < T_A < +85°C	-	-	300	Ω
		I_{OUT} = 3mA, V+ = 2V, LV = GND, -55°C < T_A < +125°C	-	-	400	Ω
tor Frequency (Note 7)	f_{OSC}	C_{OSC} = 0, Pin 1 Open or GND	5	10	-	kHz
		C_{OSC} = 0, Pin 1 = V+	-	35	-	kHz
Efficiency	P_{EFF}	R_L = 5kΩ	96	98	-	%
		T_{MIN} < T_A < T_{MAX} R_L = 5kΩ	95	97	-	-
e Conversion Efficiency	$V_{OUT}EFF$	R_L = ∞	99	99.9	-	%

ical Specifications V+ = 5V, T_A = +25°C, OSC = Free running, Test Circuit Figure 12, Unless Otherwise Specified. **(Continued)**

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
or Impedance	Z_{OSC}	V+ = 2V	-	1	-	MΩ
		V+ = 5V	-	100	-	kΩ

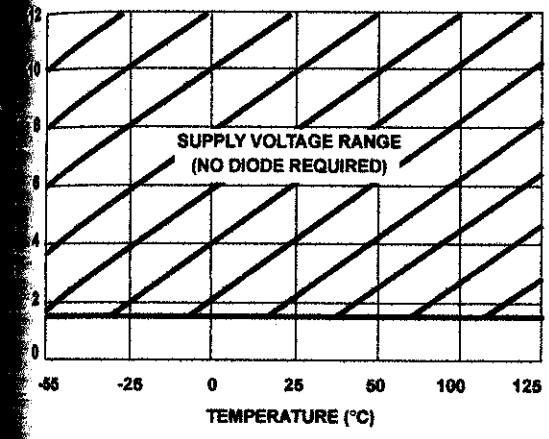
ate linearly above +50°C by 5.5mW/°C

he test circuit, there is no external capacitor applied to pin 7. However, when the device is plugged into a test socket, there is usually a very all but finite stray capacitance present, of the order of 5pF.

Intersil ICL7660S can operate without an external diode over the full temperature and voltage range. This device will function in existing igns which incorporate an external diode with no degradation in overall circuit performance.

significant improvements over the industry standard ICL7660 are highlighted.

ical Performance Curves (Test Circuit Figure 12)



URE 1. OPERATING VOLTAGE AS A FUNCTION OF TEMPERATURE

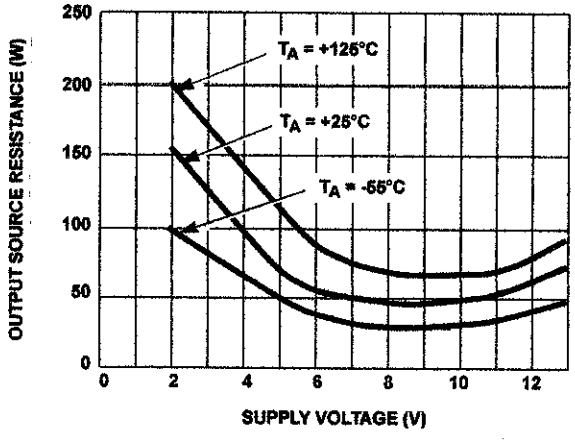
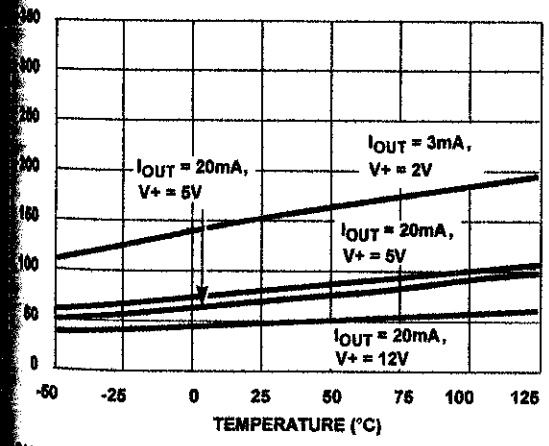


FIGURE 2. OUTPUT SOURCE RESISTANCE AS A FUNCTION OF SUPPLY VOLTAGE



URE 3. OUTPUT SOURCE RESISTANCE AS A FUNCTION OF TEMPERATURE

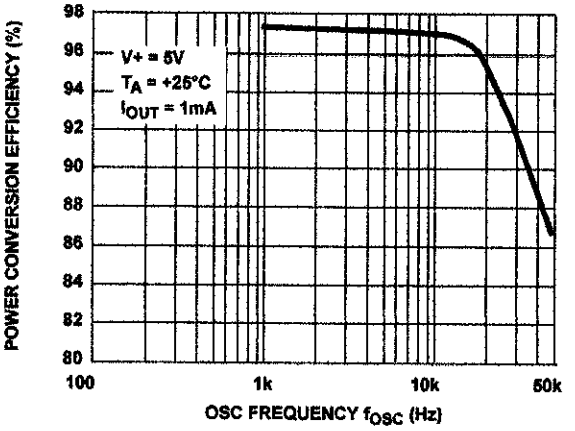
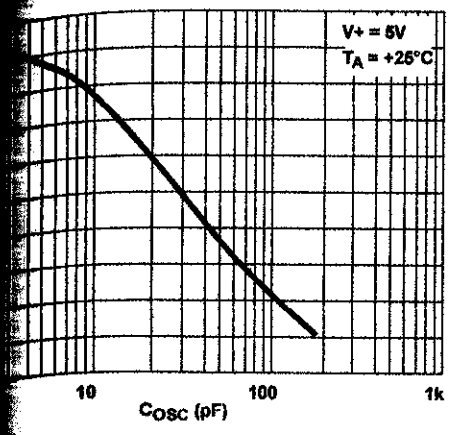


FIGURE 4. POWER CONVERSION EFFICIENCY AS A FUNCTION OF OSCILLATOR FREQUENCY

ormance Curves (Test Circuit Figure 12) (Continued)



QUENCY OF OSCILLATION AS A FUNCTION EXTERNAL OSCILLATOR CAPACITANCE

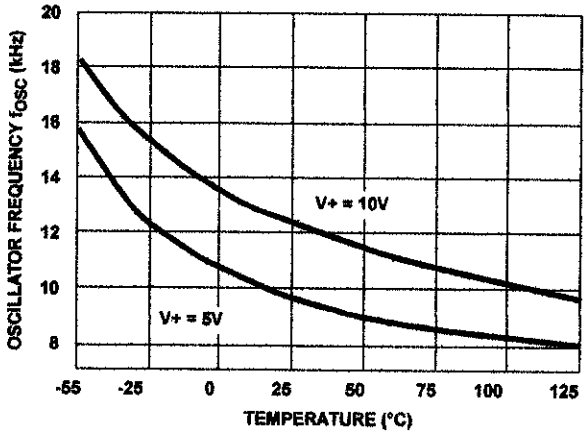
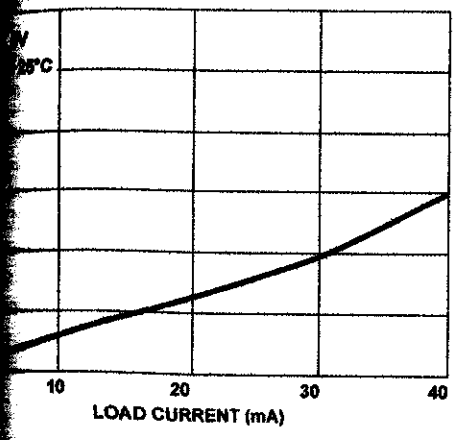


FIGURE 6. UNLOADED OSCILLATOR FREQUENCY AS A FUNCTION OF TEMPERATURE



UTPUT VOLTAGE AS A FUNCTION F OUTPUT CURRENT

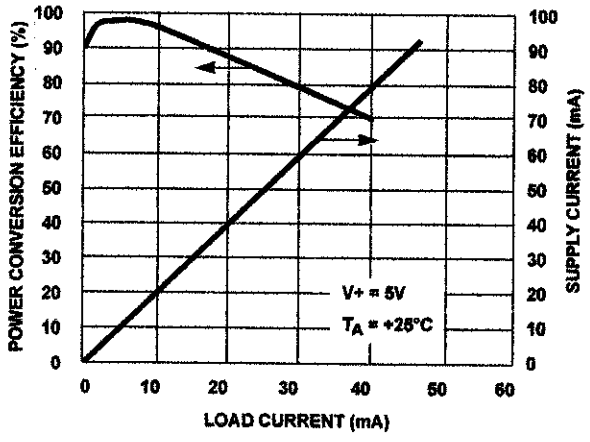
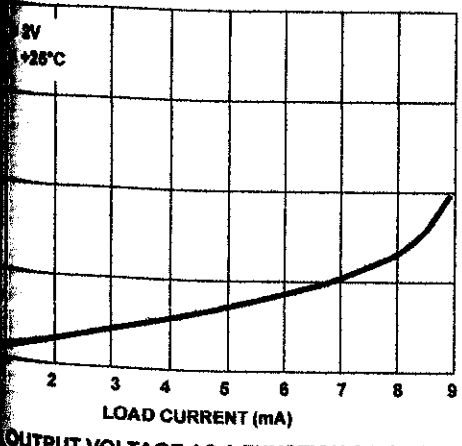


FIGURE 8. SUPPLY CURRENT AND POWER CONVERSION EFFICIENCY AS A FUNCTION OF LOAD CURRENT



UTPUT VOLTAGE AS A FUNCTION OF OUTPUT URRENT

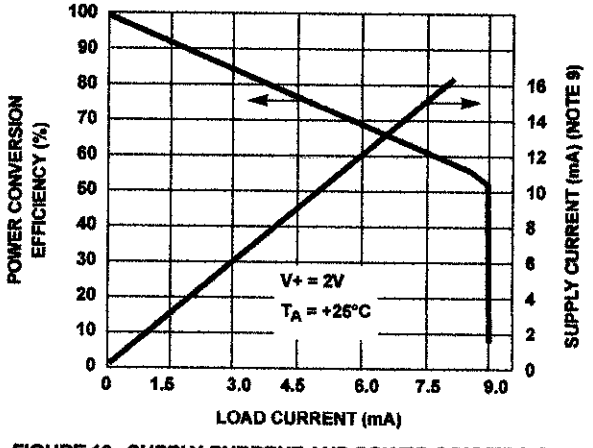


FIGURE 10. SUPPLY CURRENT AND POWER CONVERSION EFFICIENCY AS A FUNCTION OF LOAD CURRENT

ical Performance Curves (Test Circuit Figure 12) (Continued)

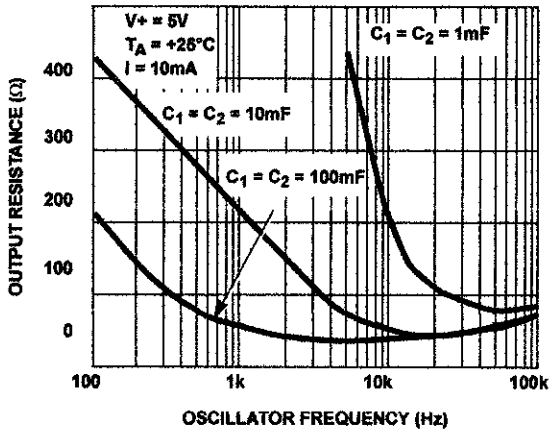
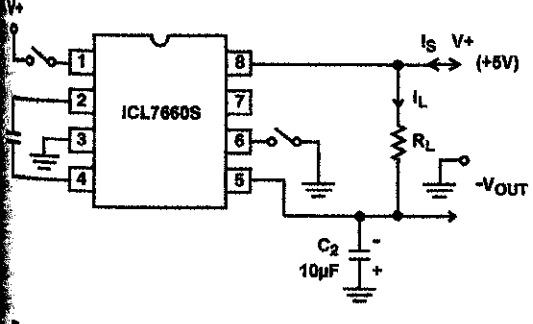


FIGURE 11. OUTPUT SOURCE RESISTANCE AS A FUNCTION OF OSCILLATOR FREQUENCY

ese curves include in the supply current that current fed directly into the load R_L from the V+ (See Figure 12). Thus, approximately half the pply current goes directly to the positive side of the load, and the other half, through the ICL7660S, to the negative side of the load. Ideally, $V_{OUT} \simeq 2V_{IN}$, $I_S \simeq 2I_L$, so $V_{IN} \times I_S \simeq V_{OUT} \times I_L$.

illed Description

L7660S contains all the necessary circuitry to ete a negative voltage converter, with the exception of nal capacitors which may be inexpensive 10µF ed electrolytic types. The mode of operation of the may be best understood by considering Figure 12, shows an idealized negative voltage converter. itor C_1 is charged to a voltage, V+, for the half cycle witches S_1 and S_3 are closed. (Note: Switches S_2 are open during this half cycle). During the second cle of operation, switches S_2 and S_4 are closed, with S_3 open, thereby shifting capacitor C_1 to C_2 such e voltage on C_2 is exactly V+, assuming ideal switches load on C_2. The ICL7660S approaches this ideal n more closely than existing non-mechanical circuits.



For large values of C_{OSC} (>1000pF) the values of C_1 and C_2 be increased to 100µF.

FIGURE 12. ICL7660S TEST CIRCUIT

ICL7660S, the 4 switches of Figure 13 are MOS witches; S_1 is a P-Channel devices and S_2, S_3 and N-Channel devices. The main difficulty with this approach is that in integrating the switches, the substrates of S_3 and S_4 must always remain reverse biased with respect to their sources, but not so much as to degrade their "ON" resistances. In addition, at circuit start-up, and under output short circuit conditions (V_{OUT} = V+), the output voltage must be sensed and the substrate bias adjusted accordingly. Failure to accomplish this would result in high power losses and probable device latch-up.

This problem is eliminated in the ICL7660S by a logic network which senses the output voltage (V_{OUT}) together with the level translators, and switches the substrates of S_3 and S_4 to the correct level to maintain necessary reverse bias.

The voltage regulator portion of the ICL7660S is an integral part of the anti-latchup circuitry, however its inherent voltage drop can degrade operation at low voltages. Therefore, to improve low voltage operation "LV" pin should be connected to GND, disabling the regulator. For supply voltages greater than 3.5V the LV terminal must be left open to insure latchup proof operation, and prevent device damage.

Theoretical Power Efficiency Considerations

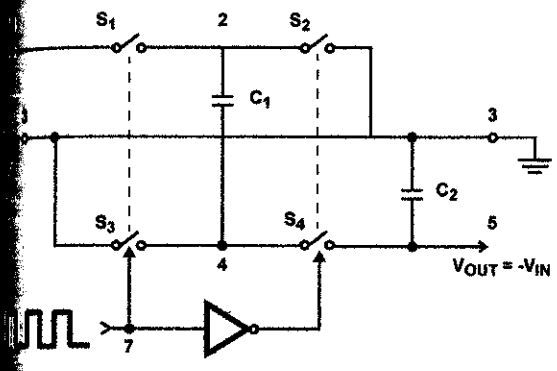
In theory, a voltage converter can approach 100% efficiency if certain conditions are met:

1. The drive circuitry consumes minimal power.
2. The output switches have extremely low ON resistance and virtually no offset.
3. The impedance of the pump and reservoir capacitors are negligible at the pump frequency.

L7660S approaches these conditions for negative conversion if large values of C_1 and C_2 are used. **OY IS LOST ONLY IN THE TRANSFER OF CHARGE EEN CAPACITORS IF A CHANGE IN VOLTAGE RS.** The energy lost is defined by:

$$C_1(V_1^2 - V_2^2) \quad \text{(EQ. 1)}$$

V_1 and V_2 are the voltages on C_1 during the pump nsfer cycles. If the impedances of C_1 and C_2 are ly high at the pump frequency (refer to Figure 13) red to the value of R_L, there will be substantial nce in the voltages V_1 and V_2. Therefore it is not only ble to make C_2 as large as possible to eliminate output ripple, but also to employ a correspondingly large for C_1 in order to achieve maximum efficiency of ion.



URE 13. IDEALIZED NEGATIVE VOLTAGE CONVERTER

and Don'ts

Do not exceed maximum supply voltages.

Do not connect LV terminal to GND for supply voltage greater than 3.5V.

Do not short circuit the output to V^+ supply for supply voltages above 5.5V for extended periods, however, transient conditions including start-up are okay.

When using polarized capacitors, the + terminal of C_1 must be connected to pin 2 of the ICL7660S and the + terminal of C_2 must be connected to GND.

If the voltage supply driving the ICL7660S has a large source impedance (25Ω to 30Ω), then a 2.2µF capacitor from pin 8 to ground may be required to limit rate of rise of input voltage to less than 2V/µs.

User should insure that the output (pin 5) does not go more positive than GND (pin 3). Device latch up will occur under these conditions. A 1N914 or similar diode placed in parallel with C_2 will prevent the device from latching up under these conditions. (Anode pin 5, Cathode pin 3).

Typical Applications

Simple Negative Voltage Converter

The majority of applications will undoubtedly utilize the ICL7660S for generation of negative supply voltages. Figure 14 shows typical connections to provide a negative supply where a positive supply of +1.5V to +12V is available. Keep in mind that pin 6 (LV) is tied to the supply negative (GND) for supply voltage below 3.5V.

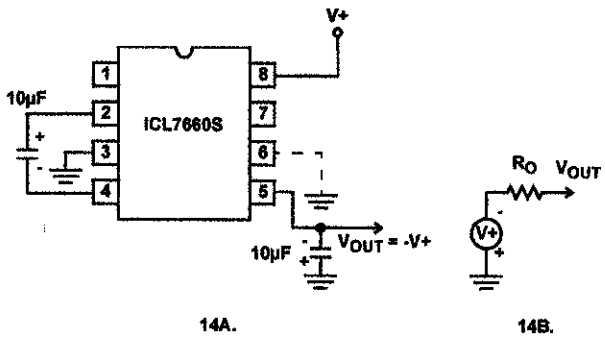


FIGURE 14. SIMPLE NEGATIVE CONVERTER AND ITS OUTPUT EQUIVALENT

The output characteristics of the circuit in Figure 14 can be approximated by an ideal voltage source in series with a resistance as shown in Figure 14B. The voltage source has a value of -(V+). The output impedance (R_O) is a function of the ON resistance of the internal MOS switches (shown in Figure 13), the switching frequency, the value of C_1 and C_2, and the ESR (equivalent series resistance) of C_1 and C_2. A good first order approximation for R_O is:

$$R_0 \cong 2((R_{SW1} + R_{SW3} + ESR_{C1}) + 2(R_{SW2} + R_{SW4} + ESR_{C1}) + \frac{1}{f_{PUMP} \times C_1} + ESR_{C2}$$

$$f_{PUMP} = \frac{f_{OSC}}{2} \quad (R_{SWX} = \text{MOSFET Switch Resistance})$$

(EQ. 2)

Combining the four R_{SWX} terms as R_{SW}, we see that:

$$R_0 \cong 2xR_{SW} + \frac{1}{f_{PUMP} \times C_1} + 4xESR_{C1} + ESR_{C2} \quad \text{(EQ. 3)}$$

R_{SW}, the total switch resistance, is a function of supply voltage and temperature (See the Output Source Resistance graphs), typically 23Ω at +25°C and 5V. Careful selection of C_1 and C_2 will reduce the remaining terms, minimizing the output impedance. High value capacitors will reduce the $1/(f_{PUMP} \times C_1)$ component, and low ESR capacitors will lower the ESR term. Increasing the oscillator frequency will reduce the $1/(f_{PUMP} \times C_1)$ term, but may have the side effect of a net increase in output impedance when C_1 > 10µF and is not long enough to fully charge the capacitors every cycle. In a typical application where f_{OSC} = 10kHz and $C = C_1 = C_2$ = 10µF:

$$2x23 + \frac{1}{5 \times 10^{3} \times 10 \times 10^{-6}} + 4x\mathrm{ESR}_{C1} + \mathrm{ESR}_{C2} \quad \text{(EQ. 4)}$$

$$46 + 20 + 5 \times \mathrm{ESR}_{C}$$

the ESRs of the capacitors are reflected in the output dance multiplied by a factor of 5, a high value could itially swamp out a low $1/f_{PUMP} \times C_1$) term, rendering crease in switching frequency or filter capacitance ctive. Typical electrolytic capacitors may have ESRs as as 10Ω.

ut Ripple

also affects the ripple voltage seen at the output. The ipple is determined by 2 voltages, A and B, as shown in e 15. Segment A is the voltage drop across the ESR of the instant it goes from being charged by C_1 (current g into C_2) to being discharged through the load nt flowing out of C_2). The magnitude of this current ge is 2 x I_{OUT}, hence the total drop is 2 x I_{OUT} x $_{C2}$V. Segment B is the voltage change across C_2 during $_2$, the half of the cycle when C_2 supplies current the The drop at B is $I_{OUT} \times t_2/C_2$V. The peak-to-peak ripple e is the sum of these voltage drops:

$$\mathrm{PLE} \cong \left(\frac{1}{2 \times f_{PUMP} \times C_2} + 2\mathrm{ESR}_{C2} \times I_{OUT}\right) \quad \text{(EQ. 5)}$$

, a low ESR capacitor will result in a higher mance output.

leling Devices

umber of ICL7660S voltage converters may be eled to reduce output resistance. The reservoir itor, C_2, serves all devices while each device requires pump capacitor, C_1. The resultant output resistance be approximately:

$$R_{OUT} = \frac{R_{OUT(\text{of ICL7660S})}}{n(\text{number of devices})} \quad \text{(EQ. 6)}$$

ading Devices

CL7660S may be cascaded as shown to produce larger ve multiplication of the initial supply voltage. However, the finite efficiency of each device, the practical limit is vices for light loads. The output voltage is defined by:

$$V_{OUT} = -n(V_{IN}) \quad \text{(EQ. 7)}$$

n is an integer representing the number of devices ded. The resulting output resistance would be imately the weighted sum of the individual ICL7660S values.

Changing the ICL7660S Oscillator Frequency

It may be desirable in some applications, due to noise or other considerations, to alter the oscillator frequency. This can be achieved simply by one of several methods described in the following.

By connecting the Boost Pin (Pin 1) to V+, the oscillator charge and discharge current is increased and, hence, the oscillator frequency is increased by approximately $3^1/_2$ times. The result is a decrease in the output impedance and ripple. This is of major importance for surface mount applications where capacitor size and cost are critical. Smaller capacitors, e.g. 0.1µF, can be used in conjunction with the Boost Pin in order to achieve similar output currents compared to the device free running with $C_1 = C_2 = 10\mu F$ or 100µF. (Refer to graph of Output Source Resistance as a Function of Oscillator Frequency).

Increasing the oscillator frequency can also be achieved by overdriving the oscillator from an external clock, as shown in Figure 18. In order to prevent device latchup, a 1kΩ resistor must be used in series with the clock output. In a situation where the designer has generated the external clock frequency using TTL logic, the addition of a 10kΩ pull-up resistor to V+ supply is required. Note that the pump frequency with external clocking, as with internal clocking, will be $^1/_2$ of the clock frequency. Output transitions occur on the positive going edge of the clock.

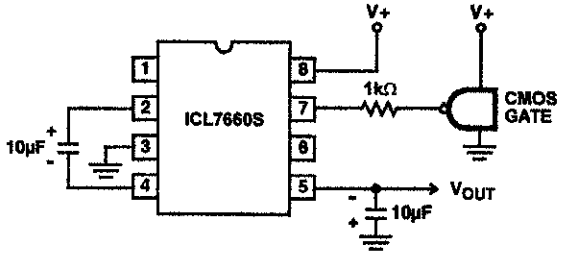


FIGURE 15. EXTERNAL CLOCKING

It is also possible to increase the conversion efficiency of the ICL7660S at low load levels by lowering the oscillator frequency. This reduces the switching losses, and is shown in Figure 19. However, lowering the oscillator frequency will cause an undesirable increase in the impedance of the pump (C_1) and reservoir (C_2) capacitors; this is overcome by increasing the values of C_1 and C_2 by the same factor that the frequency has been reduced. For example, the addition of a 100pF capacitor between pin 7 (OSC and V+ will lower the oscillator frequency to 1kHz from its nominal frequency of 10kHz (a multiple of 10), and thereby necessitate corresponding increase in the value of C_1 and C_2 (from 10µF to 100µF).

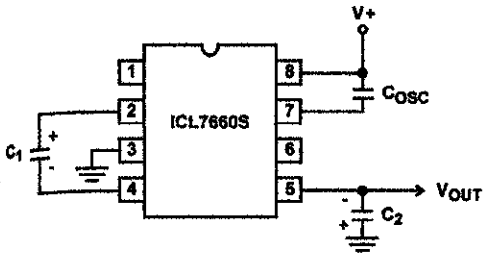
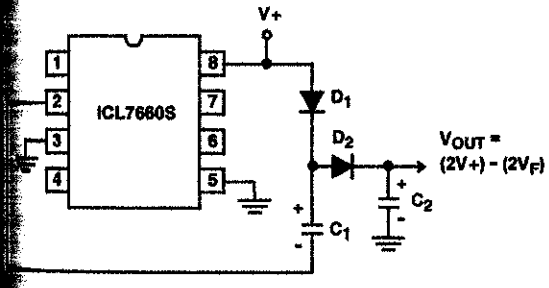


FIGURE 16. LOWERING OSCILLATOR FREQUENCY

...itive Voltage Doubling

...ICL7660S may be employed to achieve positive voltage ...bling using the circuit shown in Figure 20. In this ...cation, the pump inverter switches of the ICL7660S are ...d to charge C_1 to a voltage level of V+ -V_F (where V+ is ...supply voltage and V_F is the forward voltage on C_1 plus ...supply voltage (V+) is applied through diode D_2 to ...citor C_2. The voltage thus created on C_2 becomes ...)-($2V_F$) or twice the supply voltage minus the ...bined forward voltage drops of diodes D_1 and D_2.

...source impedance of the output (V_{OUT}) will depend on ...utput current, but for V+ = 5V and an output current of ...A it will be approximately 60Ω.



...E: D_1 and D_2 can be any suitable diode.

FIGURE 17. POSITIVE VOLTAGE DOUBLER

...bined Negative Voltage Conversion and ...itive Supply Doubling

...e 21 combines the functions shown in Figure 14 and ...e 20 to provide negative voltage conversion and ...ve voltage doubling simultaneously. This approach ...d be, for example, suitable for generating +9V and -5V ...an existing +5V supply. In this instance capacitors C_1 ...C_3 perform the pump and reservoir functions ...ctively for the generation of the negative voltage, while ...citors C_2 and C_4 are pump and reservoir respectively ...e doubled positive voltage. There is a penalty in this ...guration which combines both functions, however, in ...he source impedances of the generated supplies will be ...what higher due to the finite impedance of the common ...e pump driver at pin 2 of the device.

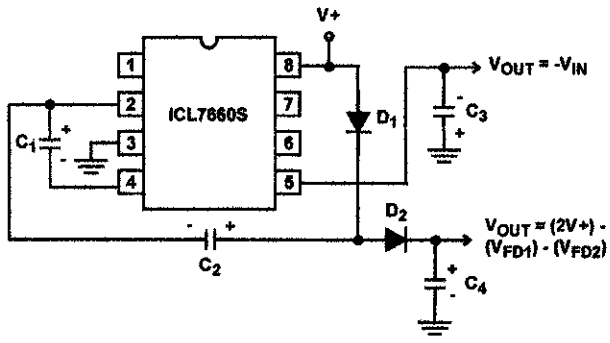


FIGURE 18. COMBINED NEGATIVE VOLTAGE CONVERTER AND POSITIVE DOUBLER

Voltage Splitting

The bidirectional characteristics can also be used to split a high supply in half, as shown in Figure 22. The combined load will be evenly shared between the two sides, and a high value resistor to the LV pin ensures start-up. Because the switches share the load in parallel, the output impedance is much lower than in the standard circuits, and higher currents can be drawn from the device. By using this circuit, and then the circuit of Figure 17, +15V can be converted (via +7.5, and -7.5 to a nominal -15V, although with rather high series output resistance (~250Ω).

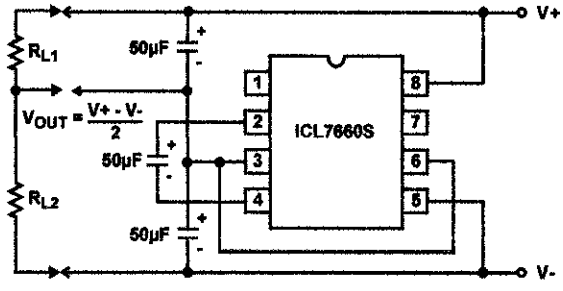


FIGURE 19. SPLITTING A SUPPLY IN HALF

Regulated Negative Voltage Supply

In some cases, the output impedance of the ICL7660S can be a problem, particularly if the load current varies substantially. The circuit of Figure 23 can be used to overcome this by controlling the input voltage, via an ICL7611 low-power CMOS op amp, in such a way as to maintain a nearly constant output voltage. Direct feedback is inadvisable, since the ICL7660S's output does not respond instantaneously to change in input, but only after the switching delay. The circuit shown supplies enough delay to accommodate the ICL7660S, while maintaining adequate feedback. An increase in pump and storage capacitors is desirable, and the values shown provides an output impedance of less than 5Ω to a load of 10mA.

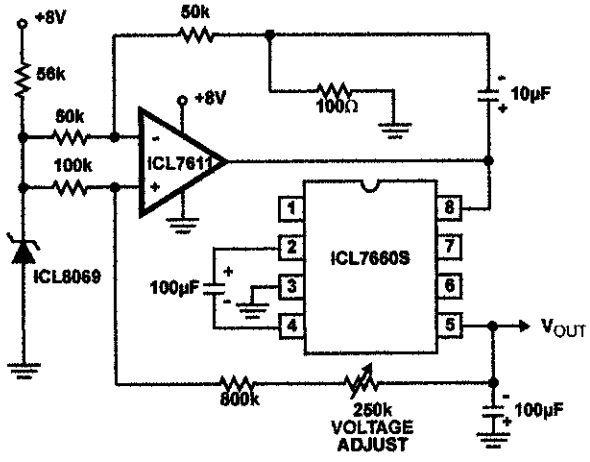


FIGURE 20. REGULATING THE OUTPUT VOLTAGE

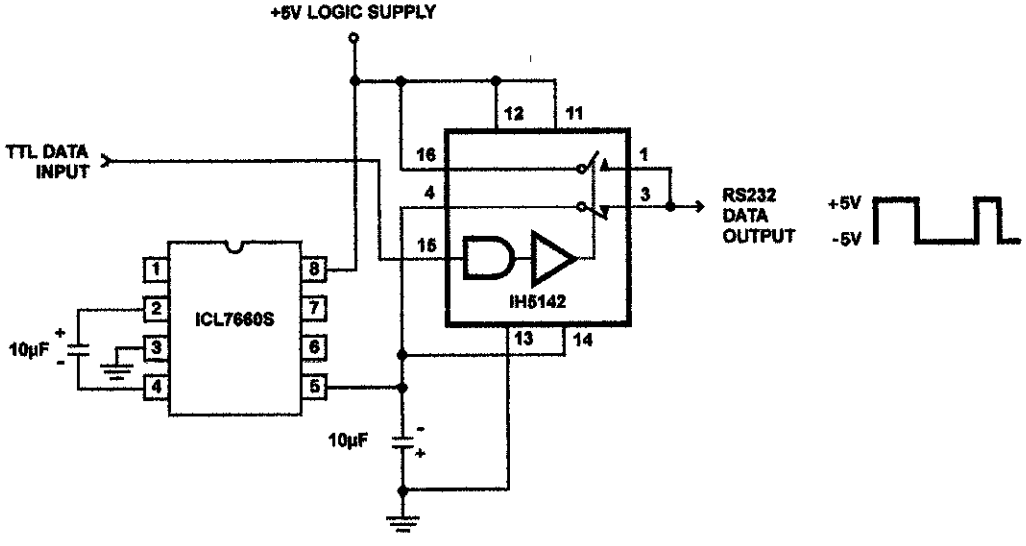
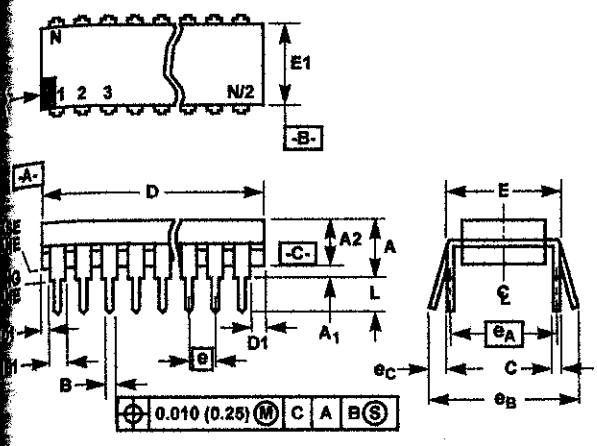


FIGURE 21. RS232 LEVELS FROM A SINGLE 5V SUPPLY

...er Applications

...er information on the operation and use of the ...660S may be found in AN051 "Principles and ...cations of the ICL7660 CMOS Voltage Converter".

...-In-Line Plastic Packages (PDIP)



...S:

...ntrolling Dimensions: INCH. In case of conflict between ...glish and Metric dimensions, the inch dimensions control.

...mensioning and tolerancing per ANSI Y14.5M-1982.

...mbols are defined in the "MO Series Symbol List" in Section ...2 of Publication No. 95.

...mensions A, A1 and L are measured with the package seated ...JEDEC seating plane gauge GS-3.

...D1, and E1 dimensions do not include mold flash or protru...ons. Mold flash or protrusions shall not exceed 0.010 inch ...25mm).

...nd e_A are measured with the leads constrained to be per...ndicular to datum -C-.

... and e_C are measured at the lead tips with the leads uncon...ained. e_C must be zero or greater.

... maximum dimensions do not include dambar protrusions. ...mbar protrusions shall not exceed 0.010 inch (0.25mm).

...s the maximum number of terminal positions.

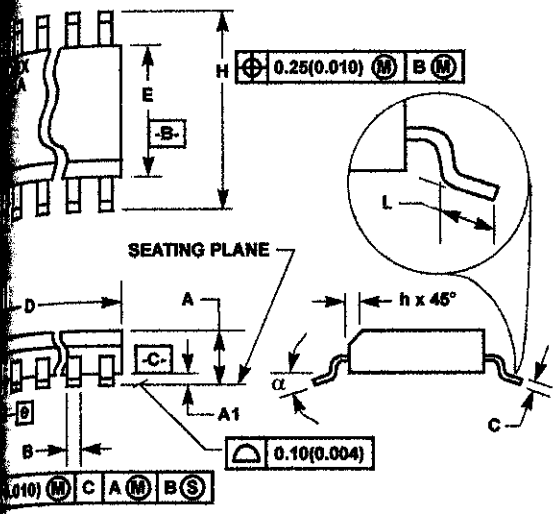
...mer leads (1, N, N/2 and N/2 + 1) for E8.3, E16.3, E18.3, ...28.3, E42.6 will have a B1 dimension of 0.030 - 0.045 inch ...76 - 1.14mm).

E8.3 (JEDEC MS-001-BA ISSUE D)
8 LEAD DUAL-IN-LINE PLASTIC PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.210	-	5.33	4
A1	0.015	-	0.39	-	4
A2	0.115	0.195	2.93	4.95	-
B	0.014	0.022	0.356	0.558	-
B1	0.045	0.070	1.15	1.77	8, 10
C	0.008	0.014	0.204	0.355	-
D	0.355	0.400	9.01	10.16	5
D1	0.005	-	0.13	-	5
E	0.300	0.325	7.62	8.25	6
E1	0.240	0.280	6.10	7.11	5
e	0.100 BSC		2.54 BSC		-
e_A	0.300 BSC		7.62 BSC		6
e_B	-	0.430	-	10.92	7
L	0.115	0.150	2.93	3.81	4
N	8		8		9

Rev. 0 12/93

...ll Outline Plastic Packages (SOIC)



M8.15 (JEDEC MS-012-AA ISSUE C)
8 LEAD NARROW BODY SMALL OUTLINE PLASTIC PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.0532	0.0688	1.35	1.75	-
A1	0.0040	0.0098	0.10	0.25	-
B	0.013	0.020	0.33	0.51	9
C	0.0075	0.0098	0.19	0.25	-
D	0.1890	0.1968	4.80	5.00	3
E	0.1497	0.1574	3.80	4.00	4
e	0.050 BSC		1.27 BSC		-
H	0.2284	0.2440	5.80	6.20	-
h	0.0099	0.0196	0.25	0.50	5
L	0.016	0.050	0.40	1.27	6
N	8		8		7
α	0°	8°	0°	8°	-

Rev. 1 6/05

...bols are defined in the "MO Series Symbol List" in Section 2.2 of ...ication Number 95.

...ensioning and tolerancing per ANSI Y14.5M-1982.

...ension "D" does not include mold flash, protrusions or gate burrs. ...flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 ...) per side.

...ension "E" does not include interlead flash or protrusions. Inter- ...flash and protrusions shall not exceed 0.25mm (0.010 inch) per ...

...chamfer on the body is optional. If it is not present, a visual index ...ure must be located within the crosshatched area.

...s the length of terminal for soldering to a substrate.

...s the number of terminal positions.

...minal numbers are shown for reference only.

...lead width "B", as measured 0.36mm (0.014 inch) or greater ...ve the seating plane, shall not exceed a maximum value of ...mm (0.024 inch).

...trolling dimension: MILLIMETER. Converted inch dimensions ...not necessarily exact.

All Intersil U.S. products are manufactured, assembled and tested utilizing ISO9000 quality systems.
Intersil Corporation's quality certifications can be viewed at www.intersil.com/design/quality

...ll products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design, software and/or specifications at any time without ...e. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and ...ble. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result ...its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see www.intersil.com

DATASHEET

TDA2822M

SGS-THOMSON MICROELECTRONICS

TDA2822M

DUAL LOW-VOLTAGE POWER AMPLIFIER

- SUPPLY VOLTAGE DOWN TO 1.8V
- LOW CROSSOVER DISTORSION
- LOW QUIESCENT CURRENT
- BRIDGE OR STEREO CONFIGURATION

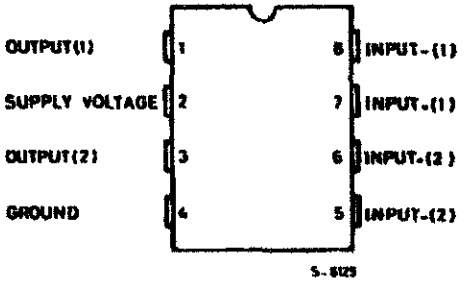
MINIDIP

ORDERING NUMBER : TDA2822M

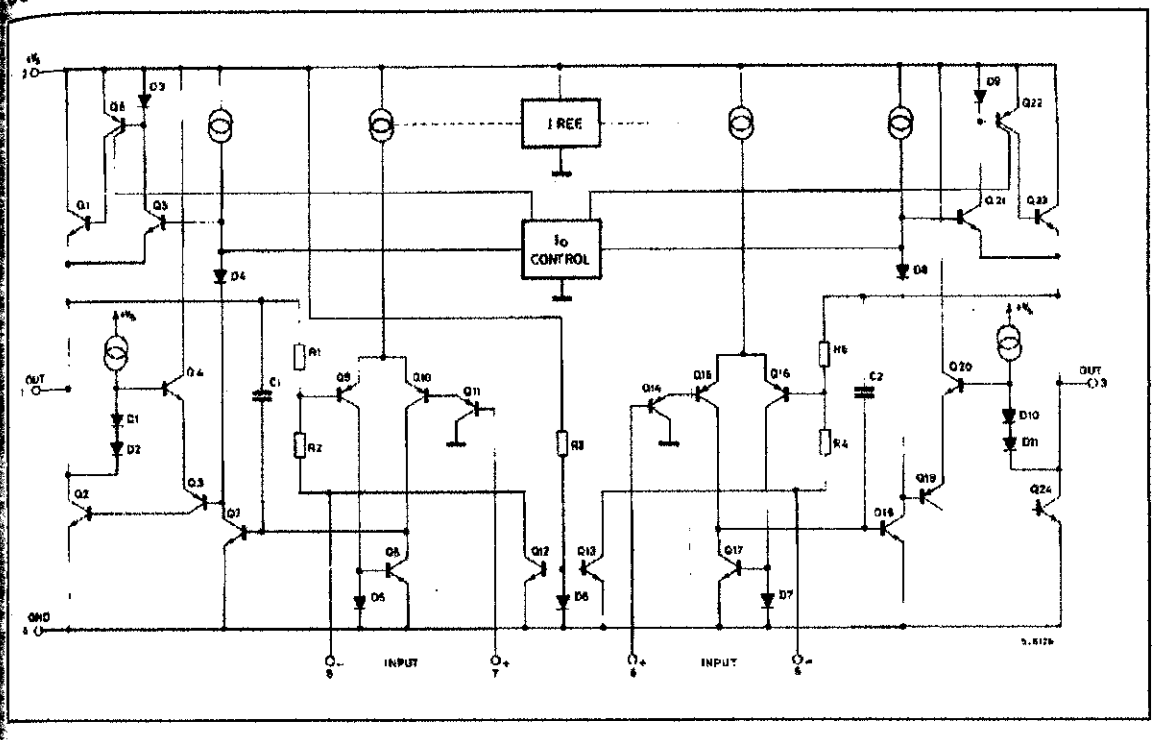
DESCRIPTION

The TDA2822M is a monolithic integrated circuit in 8 lead Minidip package. It is intended for use as dual audio power amplifier in portable cassette players and radios.

PIN CONNECTION (Top view)



SCHEMATIC DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_s	Supply Voltage	15	V
I_o	Peak Output Current	1	A
P_{tot}	Total Power Dissipation at T_{amb} = 50 °C at T_{case} = 50 °C	1 1.4	W W
T_{stg}, T_j	Storage and Junction Temperature	– 40, + 150	°C

THERMAL DATA

Symbol	Parameter		Value	Unit
$R_{th\ j\text{-}amb}$	Thermal Resistance Junction-ambient	Max.	100	°C/W
$R_{th\ j\text{-}case}$	Thermal Resistance Junction-pin (4)	Max.	70	°C/W

ELECTRICAL CHARACTERISTICS (V_S = 6V, T_{amb} = 25°C, unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
STEREO (test circuit of Figure 1)						
V_S	Supply Voltage		1.8		15	V
V_o	Quiescent Output Voltage	V_S = 3V		2.7 1.2		V V
I_d	Quiescent Drain Current			6	9	mA
I_b	Input Bias Current			100		nA
P_o	Output Power (each channel) (f = 1kHz, d = 10%)	R_L = 32Ω V_S = 9V V_S = 6V V_S = 4.5V V_S = 3V V_S = 2V R_L = 16Ω V_S = 6V R_L = 8Ω V_S = 9V V_S = 6V R_L = 4Ω V_S = 6V V_S = 4.5V V_S = 3V	 90 15 170 300 450 	300 120 60 20 5 220 1000 380 650 320 110		mW
d	Distortion (f = 1kHz)	R_L = 32Ω P_o = 40mW R_L = 16Ω P_o = 75mW R_L = 8Ω P_o = 150mW		0.2 0.2 0.2		% % %
G_v	Closed Loop Voltage Gain	f = 1kHz	36	39	41	dB
ΔG_v	Channel Balance				± 1	dB
R_i	Input Resistance	f = 1kHz	100			kΩ
e_N	Total Input Noise	R_s = 10kΩ B = Curve A B = 22Hz to 22kHz		2 2.5		μV μV
SVR	Supply Voltage Rejection	f = 100Hz, C1 = C2 = 100μF	24	30		dB
C_s	Channel Separation	f = 1kHz		50		dB
BRIDGE (test circuit of Figure 2)						
V_s	Supply Voltage		1.8		15	V
I_d	Quiescent Drain Current	R_L = ∞		6	9	mA
V_{os}	Output Offset Voltage (between the outputs)	R_L = 8Ω			± 50	mV
I_b	Input Bias Current			100		nA
P_o	Output Power (f = 1kHz, d = 10%)	R_L = 32Ω V_S = 9V V_S = 6V V_S = 4.5V V_S = 3V V_S = 2V R_L = 16Ω V_S = 9V V_S = 6V V_S = 3V R_L = 8Ω V_S = 6V V_S = 4.5V V_S = 3V R_L = 4Ω V_S = 4.5V V_S = 3V V_S = 2V	 320 50 900 200 	1000 400 200 65 8 2000 800 120 1350 700 220 1000 350 80		mW
d	Distortion	P_o = 0.5W, R_L = 8Ω, f = 1kHz		0.2		%
G_v	Closed Loop Voltage Gain	f = 1kHz		39		dB
R_i	Input Resistance	f = 1kHz	100			kΩ
e_N	Total Input Noise	R_s = 10kΩ B = Curve A B = 22Hz to 22kHz		2.5 3		μV μV
SVR	Supply Voltage Rejection	f = 100Hz		40		dB
B	Power Bandwidth (–3dB)	R_L = 8Ω, P_o = 1W		120		kHz

Figure 1 : Test Circuit (Stereo)

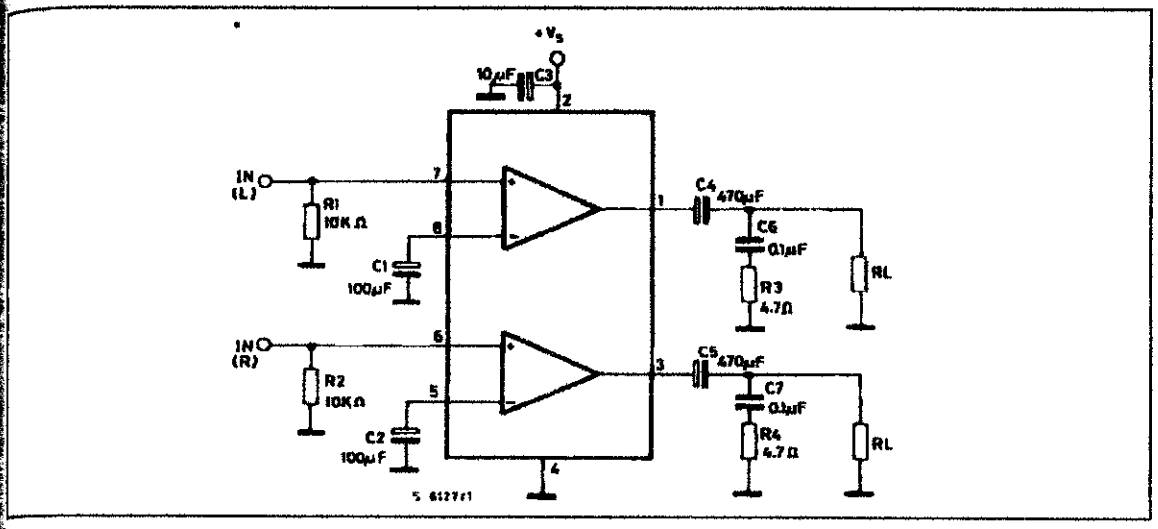


Figure 2 : Test Circuit (Bridge)

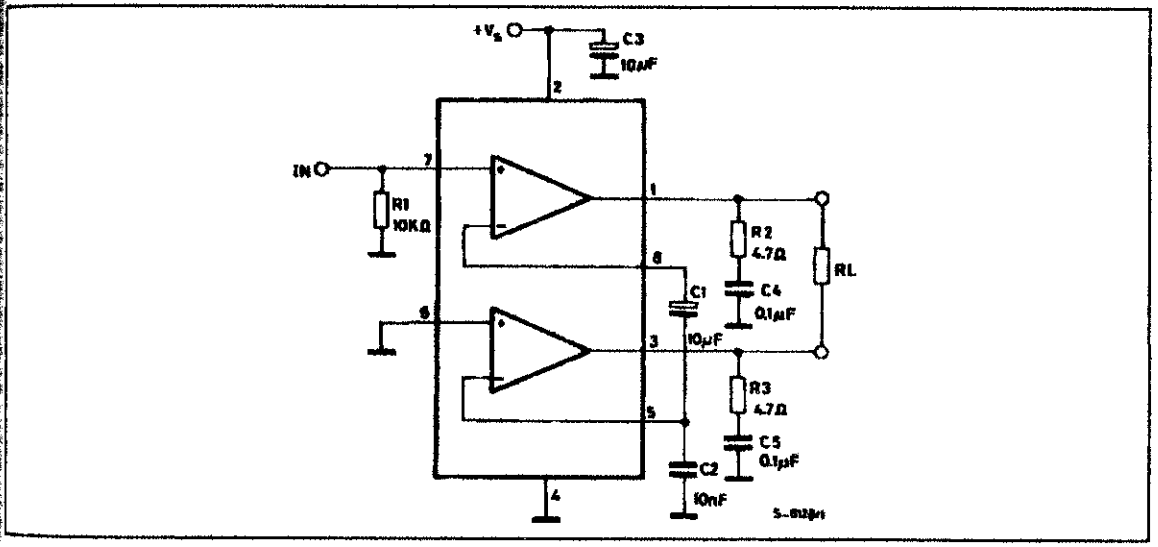


Figure 3 : P.C. Board and Components Layout of the Circuit of Figure 1

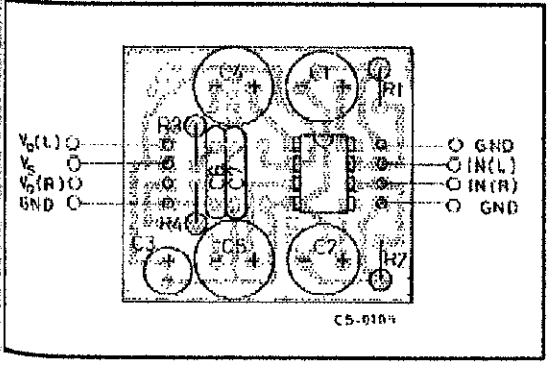


Figure 4 : P.C. Board and Components Layout of the Circuit of Figure 2

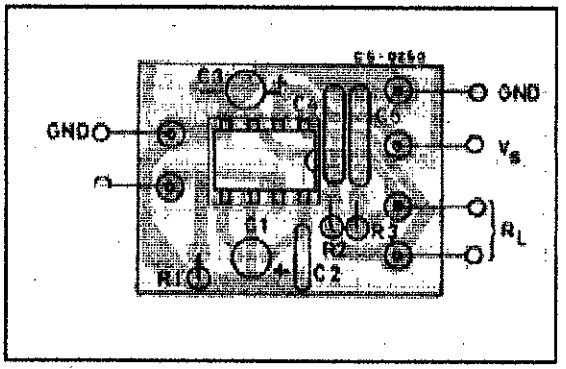


Figure 5 : Quiescent Current versus Supply Voltage

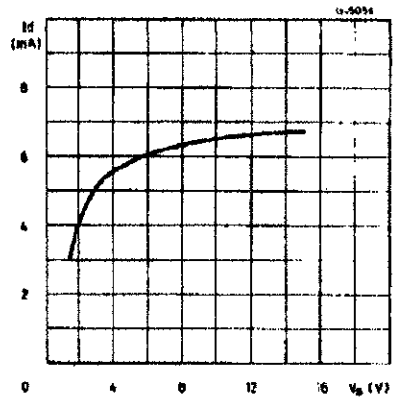


Figure 6 : Supply Voltage Rejection versus Frequency

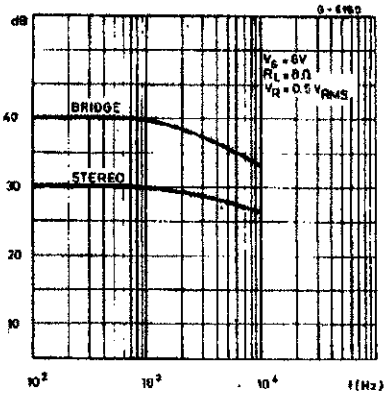


Figure 7 : Output Power versus Supply Voltage (THD = 10%, f = 1kHz Stereo)

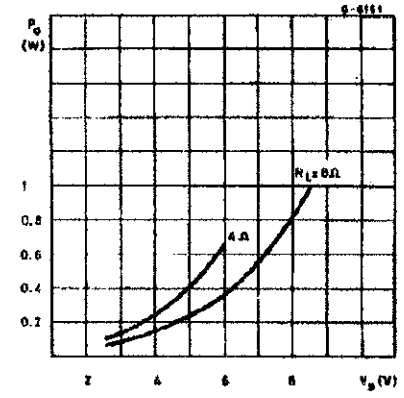


Figure 8 : Distorsion versus Output Power (Stereo)

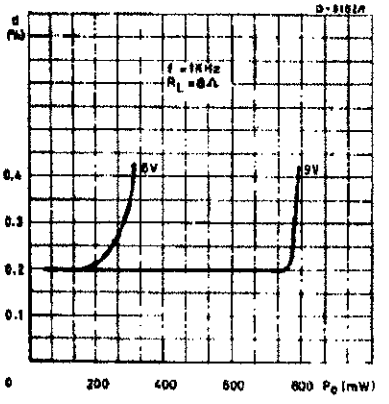


Figure 9 : Distorsion versus Output Power (Stereo)

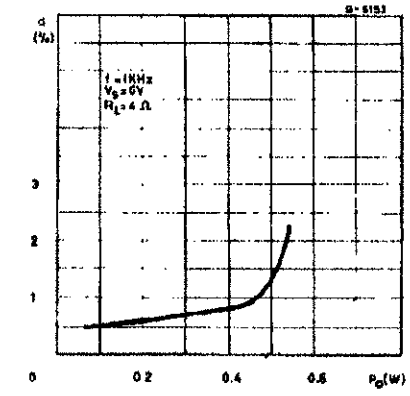


Figure 10 : Output Power versus Supply Voltage (Bridge)

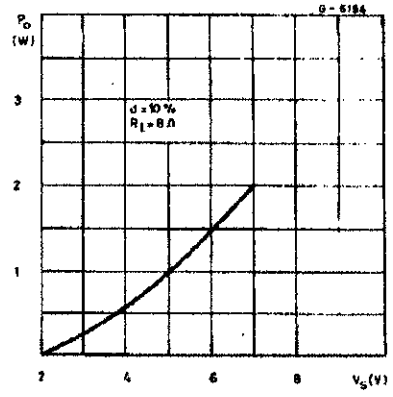


Figure 11 : Distorsion versus Output Power (Bridge)

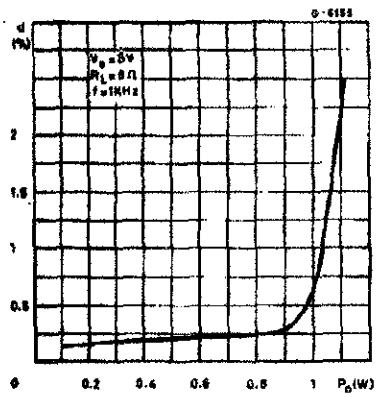


Figure 12 : Total Power Dissipation versus Output Power (Bridge)

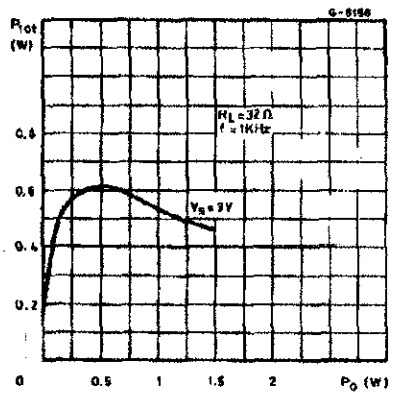


Figure 13 : Total Power Dissipation versus Output Power (Bridge)

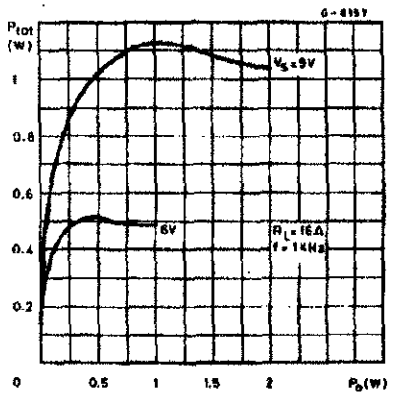


Figure 14 : Total Power Dissipation versus Output Power (Bridge)

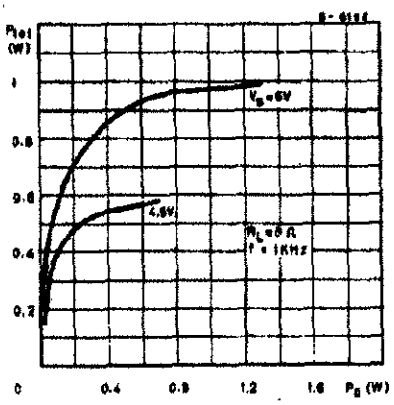


Figure 15 : Total Power Dissipation versus Output Power (Bridge)

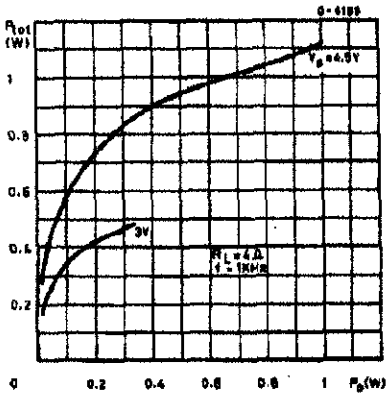


Figure 16 : Typical Application in Portable Players

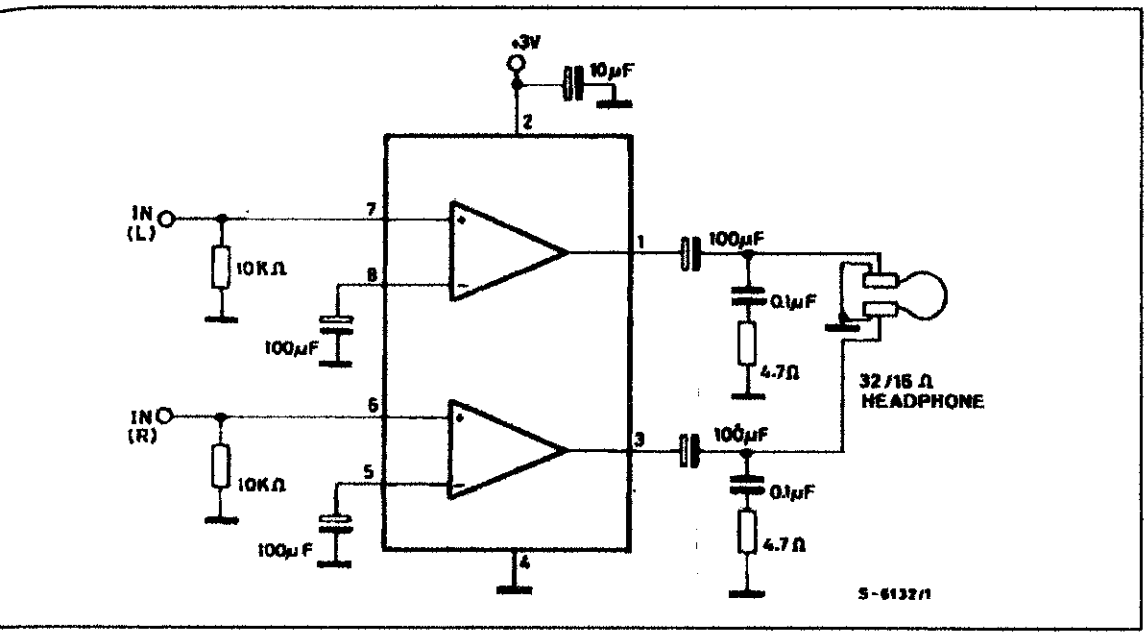


Figure 17 : Application in Portable Radio Receivers

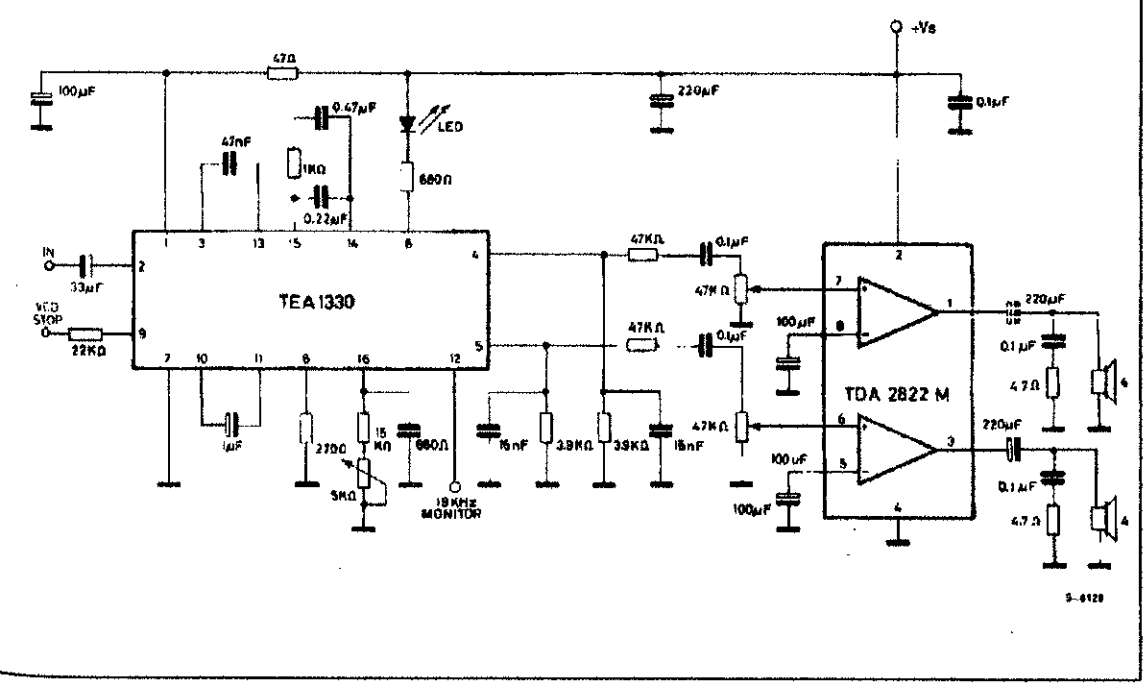
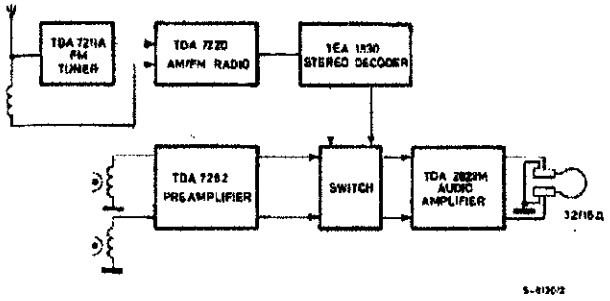
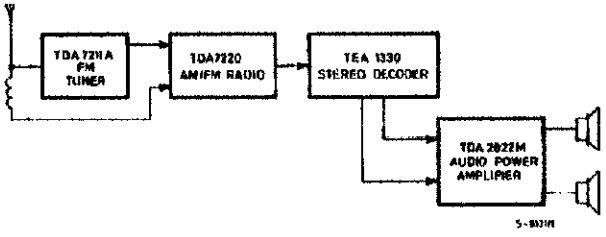


Figure 18 : Portable Radio Cassette Players



Type	Supply Voltage
TDA 7220	1.5 V to 6 V
TDA 7211A	1.2 V to 6 V
TEA 1330	3 V to 15 V
TDA 7282	1.5 V to 6 V
TDA 2822M	1.8 V to 15 V

Figure 19 : Portable Stereo Radios



Type	Supply Voltage
TDA 7220	1.5 V to 6 V
TDA 7211A	1.2 V to 6 V
TEA 1330	3 V to 15 V
TDA 2822M	1.8 V to 15 V

Figure 20 : Low Cost Application in Portable Players (using only one 100µF output capacitor)

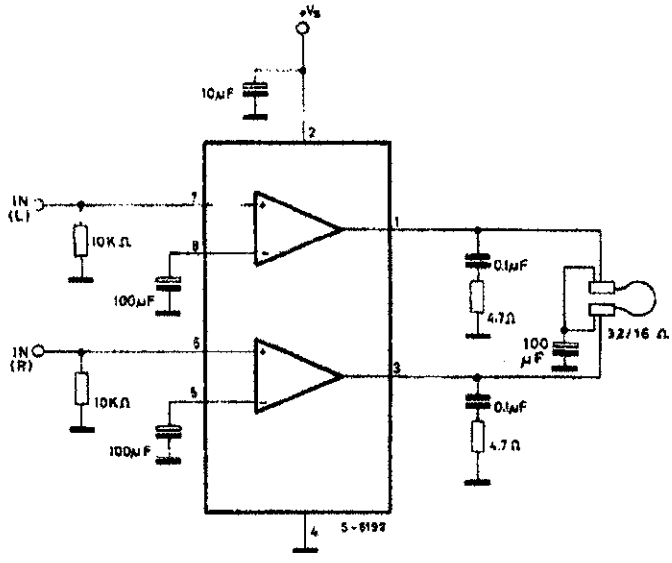
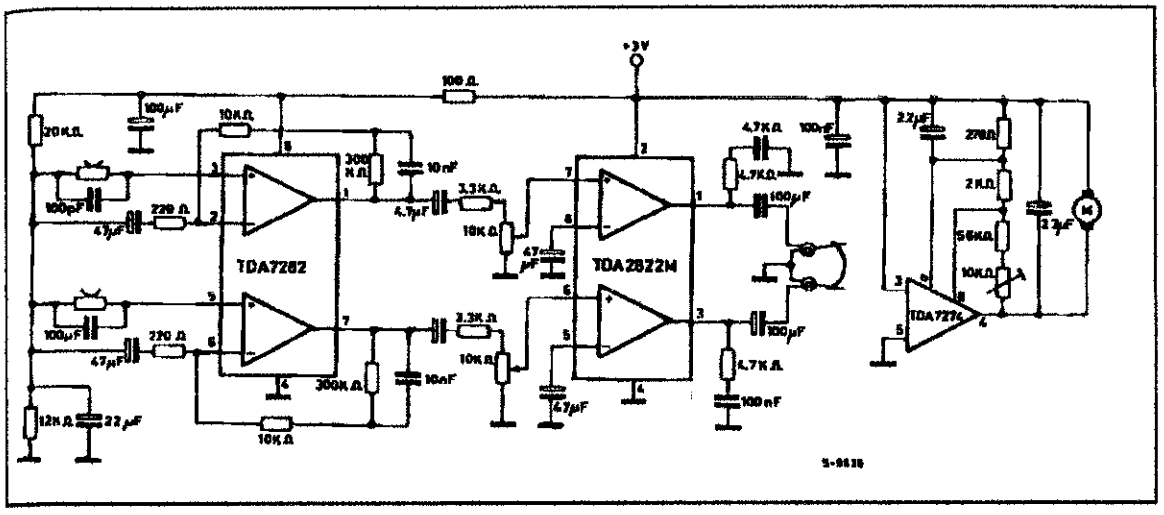
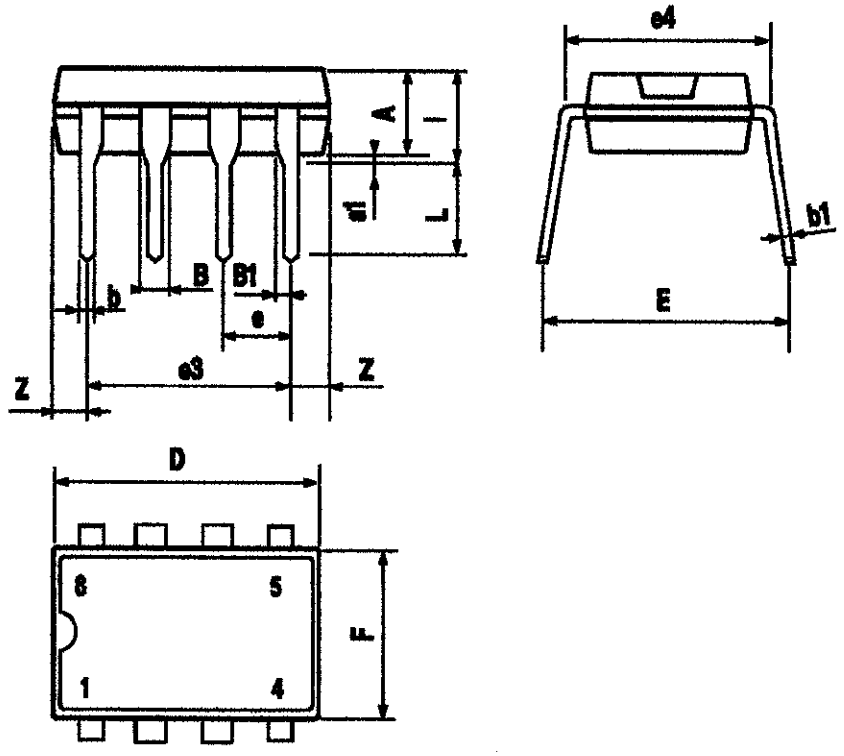


Figure 21 : 3V Stereo Cassette Player with Motot Speed Control



MINIDIP PACKAGE MECHANICAL DATA

DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A		3.32			0.131	
a1	0.51			0.020		
B	1.15		1.65	0.045		0.065
b	0.356		0.55	0.014		0.022
b1	0.204		0.304	0.008		0.012
D			10.92			0.430
E	7.95		9.75	0.313		0.384
e		2.54			0.100	
e3		7.62			0.300	
e4		7.62			0.300	
F			6.6			0.260
I			5.08			0.200
L	3.18		3.81	0.125		0.150
Z			1.52			0.060



Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectronics.

© 1994 SGS-THOMSON Microelectronics - All Rights Reserved

SGS-THOMSON Microelectronics GROUP OF COMPANIES
Australia - Brazil - France - Germany - Hong Kong - Italy - Japan - Korea - Malaysia - Malta - Morocco - The Netherlands - Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A.

ศูนย์บรรณสารและสื่อการศึกษา
มหาวิทยาลัยเทคโนโลยีสุรนารี